

基于 CPLD 的计算机多声道通用声卡设计

黄帆, 李晓峰

(电子科技大学 通信与信息工程学院, 四川成都 610054)

摘要: 本文介绍了基于 ALTERA 公司 CPLD 的控制功能, 实现普通双声道计算机的多声道扩展。设计计算机的音频数据通过并行接口 (parallel port) 传输到外部多声道通用声卡, 声卡各声道的播放声音可以任意控制。由于各声道的声音互不影响, 一台计算机可以为多人提供相同或不同的双声道立体声, 也可提供 5.1 声道和 7.1 声道的环绕立体声。

关键词: CPLD; 并口; Quartus II; 多声道

Design of Computer Multi-channel Public Soundcard Based on CPLD

Abstract: This paper introduced how to change common computer's sounds from 2-channel to multi-channel based on CPLD's control function. Using parallel port to transport sounds data, and every channel's sounds could be controlled. After using the public soundcard, a computer can provide several groups of 2-channel sounds (maybe same or different), it also can provide 5.1 channels and 7.1 channels sounds.

Keywords: CPLD; parallel port; Quartus II; multi-channel

引言

在科技高度发达的二十一世纪, 计算机已经进入千家万户, 计算机已经和人们的工作、学习、娱乐、生活等融为一体, 密不可分。在声卡面世之前, 计算机只能靠 PC 喇叭发出简单的声音; 而自从新加坡创新公司 80 年代末发明声卡至今, 声卡已得到日益广泛的应用, 计算机游戏、多媒体教育软件、语音识别、人机对话、网上电话、电视会议、CD、VCD 和 DVD 等都离不开声卡。现在, 声卡已成为所有家用多媒体电脑和大部分商用电脑的必备设备。

声卡是多媒体技术中最基本的组成部分, 是实现声波 / 数字信号相互转换的硬件。声卡的基本功能是把来自话筒、磁带、光盘的原始声音信号加以转换, 输出到耳机、扬声器、扩音机、录音机等声响设备, 或通过音乐设备数字接口 (MIDI) 使乐器发出美妙的声音。

但通常使用的内置集成在主板上的软声卡只能播放双声道声音, 如果有多人要同时欣赏音乐就只能各自使用一台计算机, 这就浪费了计算机资源, 如果能使多人同时使用一台计算机听音乐, 就可以大大提高计算机的资源利用率, 并节约能源; 如果要想在计算机上欣赏高品质的 5.1 声道或 7.1 声道立体声, 就必须安装昂贵的专用声卡, 但专用声卡不可扩展 (如 5.1 声卡不可扩展, 无法播放 7.1 声道的声音), 而且各个声道的增益、滤波器等是固定的, 所以多声道专用声卡也不可设置成多个双声道使用, 造成多声道声卡的通用性比较差。本文通过对计算机并口传输、声卡工作原理等的分析研究, 基于 EPM7128AETI 型 CPLD 的控制功能, 设计出通用声卡。只需要改变软件程序, 通用声卡就可以满足多人接听不同双声道声音的要求, 也可以满足听者欣赏多声道环绕立体声的要求。

本文以四声道通用声卡为例介绍设计方法, 同理可将其扩展为更多通道的声卡。

一、设计思想

计算机并行接口简称并口，它是一个标准的 25 针 D 型插座，包含一个八位二进制数据端口，即第 2 脚到第 9 脚，所谓“并行”，是指 8 位数据同时通过并行线进行传送，这样数据传送速度大大提高；一个输入控制端口，即第 15 脚、13 脚、12 脚、10 脚、11 脚，其另外低三位无定义；一个输出控制口，即第 1 脚、14 脚、16 脚、17 脚，其另外高四位无定义。设计中采用允许 8 位双向半双工数据传送的 EPP 增强型并行口，它的传输速率可达 2Mbps。

声卡的工作原理就是实现麦克风、喇叭所用的模拟信号和计算机能处理的数字信号的相互转换。从结构上分，声卡可分为模数转换电路和数模转换电路两部分，模数转换电路负责将麦克风等声音输入设备采集到的模拟声音信号转换为电脑能处理的数字信号；而数模转换电路负责将电脑使用的数字声音信号转换为喇叭等设备能使用的模拟信号。

在我们的设计中，只需要播放计算机硬盘上的数字化声音文件，所以不需要实现声卡的声音采集功能，只需要设计数模转换电路。

设计所使用的数字声音信号的采样频率为 44.1kHz，量化精度为 14bit。数字声音信号通过计算机并口传输给外部通用声卡。

通用声卡的系统总体框图如图 1 所示：

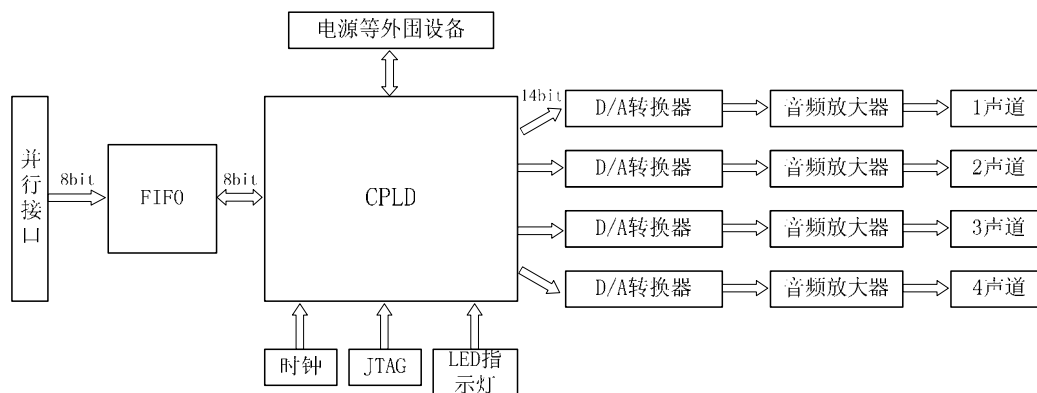


图 1 系统总体框图

计算机通过并口将数字声音信号和控制信号等传输给通用声卡，实现计算机与外部的通信；由并口传来的数据首先经过 FIFO 缓冲，当 FIFO 的储存空间非空时，在时钟上升延将数据传给 CPLD；然后 CPLD 对数据进行合并处理，选择正确的声音通道后，再将 14bit 的数据传输给对应的 D/A 变换器，将数字声音信号还原为模拟声音信号；模拟信号经过音频放大器后，听者就可以外接耳机听到各个声道的声音。

二、 系统实现

2.1. 主要器件特性描述

CPLD：采用 ALTERA 公司的 EPM7128AETI^[1]，它是基于先进的第二代多阵列矩阵（MAX）结构体系的高性能 3.3V 电可擦除可编程只读存储器（EEPROM）结构的 CPLD。完全符合 IEEE 1149.1 JTAG 边界扫描标准，具有 3.3V ISP 的功能；具有 600 个可用逻辑门，最小 4.5ns 的引脚到引脚的逻辑时延，最高可达 227.3MHz 的计数频率；引脚可配置为开漏输出；每个宏单元都有独立的可编程电源控制，最多可以节省 50% 的功耗；宏单元内的寄存器具有单独的时钟和复位等信号，并支持多种电压接口。

FIFO：采用 IDT72291 型 FIFO，具有 9 个通道，每个通道有 128kbit 的存储深度；读写时钟分离，周期可达 10ns；并具有空、满和半满标志位。

D/A 转换器：采用 AD7840，它是 14 位高性能并行 DAC，数据更新速率 400kSPS，信噪比 80dB，最小读写脉冲宽度 45ns；与简单采样保持电路相连后，有效信号频率带宽可高达

20kHz。

2.2. 数据帧结构

计算机并口在每个时钟周期可传输 8bit 数据（标记为 D0 ~ D7），使用前 7 位（D0 ~ D6）传输声音数据，最后 1 位（D7）作为标志位，如果它是“1”，表示并口此次传输的是第一声道的前 7 位数据，其余时候它都为“0”；数据的采样速率为 44.1kHz，数字声音信号的一帧为 14bit（即是将模拟声音信号的最小幅度量化为 0，最大幅度量化为 2^{13} 。而任一时刻的声音量化值为此范围中的一个值，是一个 14bit 数据），并口的两次传输正好可以组合成一帧数字声音信号。

2.3. 系统软硬件设计

系统主要部分电路图如图 2 所示（只画出了第 1 声道的 DAC 连接电路，其它声道的 DAC 连接电路与此类似）：

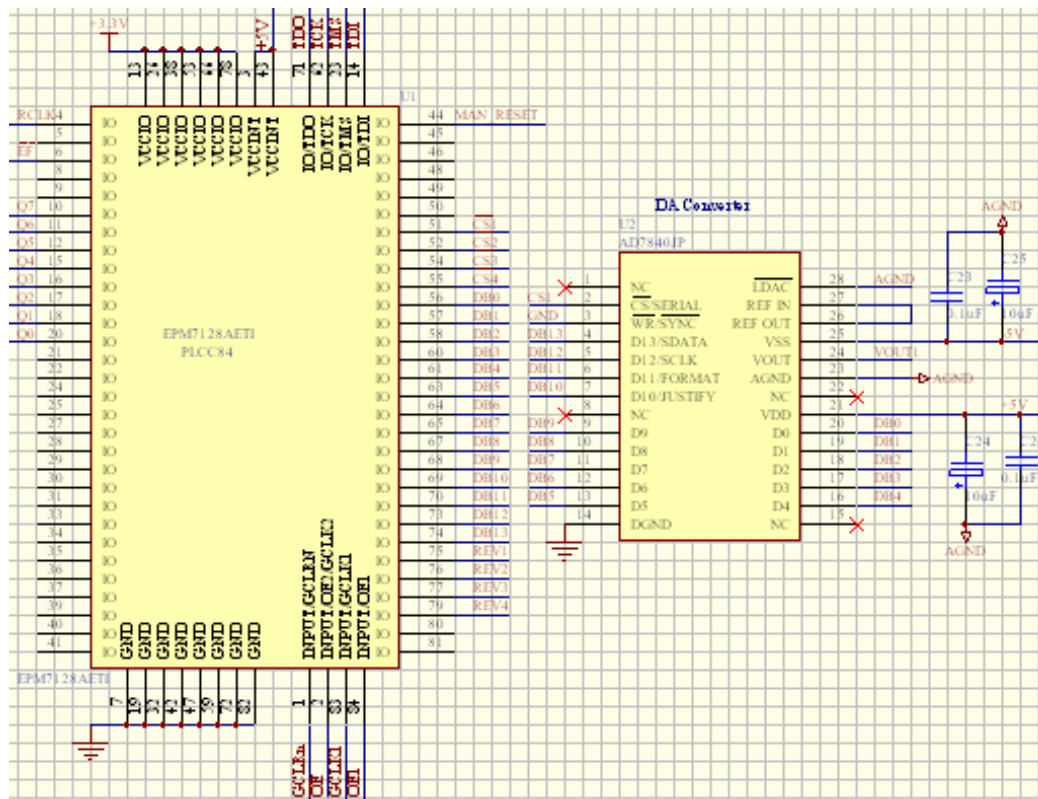


图 2 主要部分电路图

CPLD^[2]上除了跟 FIFO 的数据接口（Q0 ~ Q7）和跟 DAC 的数据接口（DB0 ~ DB13）外，还和各 DAC 的片选信号（CS1 ~ CS4）相连，当 CPLD 控制 CS_n 为低时，第 n 个 DAC 工作，CPLD 将数据送到此 DAC 进行数模变换，然后经过音频放大器的放大作用后，可以通过耳机听到声音。

接下来对 CPLD 进行编程，程序预实现的功能如图 3 所示：

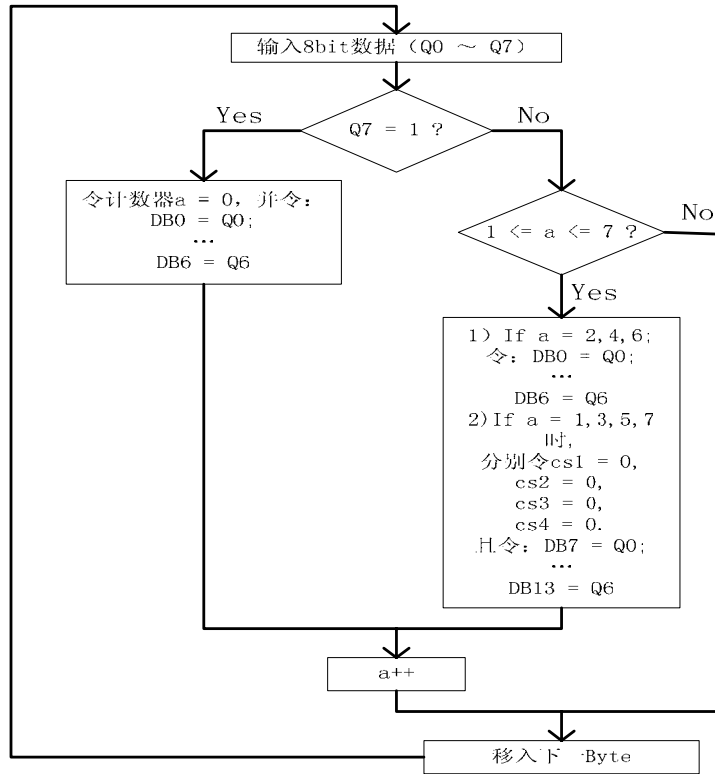


图 3 CPLD 的功能框图

在 Quartus II 中, 选用 VHDL^{[3] [4]} 进行硬件编程, 对 CPLD 的接口描述如下:

```

ENTITY CPLD is
PORT
(
in0, in1, in2, in3, in4, in5, in6, in7:in std_logic; --输入端口
clrn: in std_logic; --clear, 0 有效
clk: in std_logic; --时钟
fifo_efn:in std_logic; --fifo 空, 0 有效
fifo_oen:out std_logic; --fifo 输出允许 output enable,0 有效
fifo_relk:out std_logic; --fifo 的读时钟, 上升沿有效
out0, out1, out2, out3, out4, out5, out6, out7, out8, out9, out10, out11, out12,
out13:out std_logic; --输出端口
cs1n, cs2n, cs3n, cs4n:out std_logic; --DA 片选信号, 0 有效
cpld_clk:buffer std_logic --cpld 的时钟
);
END CPLD;

```

核心实现代码如下 (只列出了第 1 声道的程序, 其它声道与此类似):

<pre> main:process(cpld_clk, clrn, fifo_efn) variable in_reg:std_logic_vector(7 downto 0); </pre>	<pre> if(in_reg(7) = '1') then counter := "000"; cs1n <= '1'; </pre>
---	---

<pre> variable out_reg:std_logic_vector(13 downto 0); variable counter:std_logic_vector(2 downto 0); variable clk_counter:std_logic_vector(2 downto 0); begin if(clrn = '0') then out0 <= '0'; ...--省略中间类似部分 out13 <= '0'; elseif fifo_efn = '0' then --clrn 等于 1 fifo_oen <= '1'; elseif cpld_clk'event and cpld_clk = '1' then -clrn=1 , fifo_efn=1 fifo_oen <= '0'; in_reg(0) := in0; ...--省略中间类似部分 in_reg(7) := in7; </pre>	<pre> cs2n <= '1'; cs3n <= '1'; cs4n <= '1'; out_reg(6 downto 0) := in_reg(6 downto 0); counter := counter + '1'; elseif(counter = "001") then cs1n <= '1'; cs2n <= '1'; cs3n <= '1'; cs4n <= '1'; out_reg(13 downto 7) := in_reg(6 downto 0); cs1n <= '0'; counter := counter + '1'; out0 <= out_reg(0); ...--省略中间类似部分 out13 <= out_reg(13); </pre>
---	---

2.4. 功能仿真

用 Quartus II 对程序进行功能仿真，波形如图 4 所示：



图 4 系统仿真波形

三、 系统特点

通常计算机内置软声卡仅能播放双声道立体声,而 5.1 声道和 7.1 声道专用声卡又存在价格昂贵、不可扩展、不可设置成多个双声道的缺点。本文设计了一种简单的多声道通用声卡,既可播放多个互不影响的双声道立体声,又可播放 5.1 声道和 7.1 声道环绕立体声;而且声卡与计算机并口连接,不会干扰计算机自带声卡的使用。

四、 小节

本文针对主板集成软声卡及专用多声道声卡所固有的缺点,通过对并口传输、声卡工作原理等的分析研究,以一块 EPM7128AETI 型 CPLD 芯片为核心,设计出一种多声道通用声卡的实现方案。

本设计具有成本低廉、结构简单、通用性强、扩展改造简单等优点。本系统为了简化描述,只设计了四声道系统,读者可以进一步将其扩展为更多声道的通用声卡系统。

参考文献

- [1] Altera Company. MAX 7000A Programmable Logic Device Handbook (Ver. 4. 5, Sep 2003)
- [2] 吴继华 《Altera FPGA/CPLD 设计 (高级篇)》 人民邮电出版社.
- [3] 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西安: 西安电子科技大学出版社, 1999.
- [4] 卢毅, 赖杰. VHDL 与数字电路设计. 北京: 科学出版社, 2001.

原创性声明: 本文中的核心思想以及算法实现、仿真和功能验证都是本人在导师指导下取得的研究成果。据我所知,除本文特别加以标注的地方外,文中不包含其他人已经发表或撰写过的研究成果。

黄帆

2006. 8. 1

作者简介：**黄帆**（1982- ）男，电子科技大学在读硕士研究生，主要研究方向为图像与语音技术处理。

李晓峰（1963- ）男，电子科技大学教授，硕士生导师，主要研究方向为无线通信技术、图像与语音信号处理技术、DSP 实时实现技术、通信系统实现技术。

联系方式：地址：四川省成都市电子科技大学通信与信息工程学院 2004201050 班（黄帆 收）

邮编：610054

E-mail: huangfan210@etang.com

电话：13880727450