

基于双 NIOS II 的 IP 无线收发机

(Wireless IP/Ethernet Transceiver)

(北京航空航天大学) 王鹏 常青 (导师)

Wang Peng Chang Qing

摘要: 介绍了基于 NIOS II 软核处理器的 SOPC 技术,分析了传统方法和基于 SOPC 技术的方法实现扩频收发机的优劣,详细说明了嵌有双 NIOS II 的 SOPC 技术的方案设计。该设计增强了系统功能,改善了系统的灵活性,并提高了其适应不同应用需求的伸缩性。

Abstract: Introduce the technique of SOPC with softcore processor NIOS II . Analyze the traditional design and the SOPC design in a Direction-Sequence Spread-Spectrum Receiver And Transmitter system. Explain the design with SOPC method in which two NIOS II are embedded. The functions are enhanced , while the flexibility and scalability is extended.

Keywords: SOPC; NIOS II; Spread-Spectrum Receivers And Transmitter

一：概述

目前,日益蓬勃发展的网络技术促使许多应用产品向新一代工业及商务网络应用方向发展。一些不带网络功能的产品越来越不符合当今产品的需要。具有更多功能的集成、支持网络协议已成为目前产品研发的主流^[1]。

传统的无线收发机具有体积大,可配置性差,功耗高,成本大,开发时间长等缺点,且不支持网络。

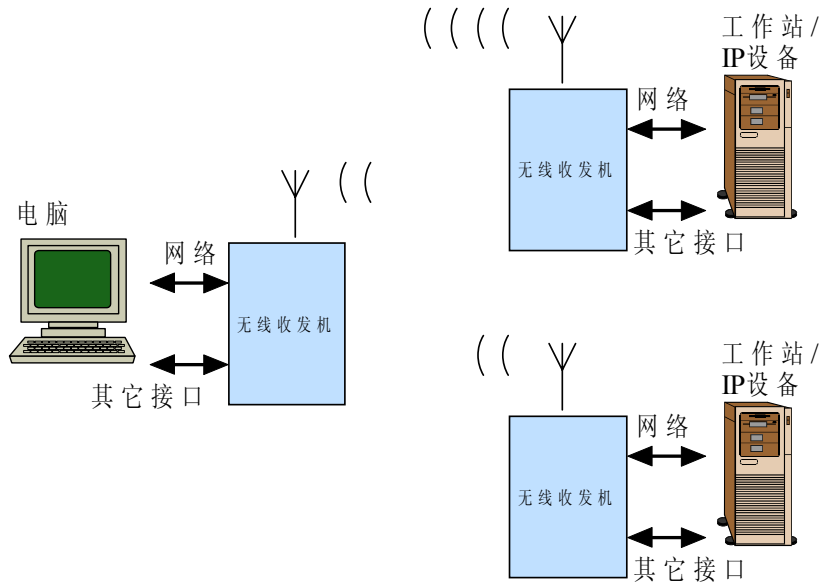
基于以上诸多因素考虑,我们将设计一个新式的支持网络的便携式的无线收发机来取代传统的收发机。该系统是无线网络的解决方案,采用先进的扩频技术,实现长距离数据传输。本系统是基于双 NIOS II 核的扩频收发机。该系统以全双工的方式进行无线方式的收发,并通过以太口进行网络传输。发射方面,系统通过网络收到数据进行扩频调制,经由射频装置从天线发射出去,完成发射部分。接收方面,系统从天线收到远端的信号,进行解调解扩并传给网络,完成接收部分。

其中一个 NIOS II 核完成无线收发机接收和发送的信号处理和运算,另一个核运行操作系统,完成以太网传输和其他相关控制。

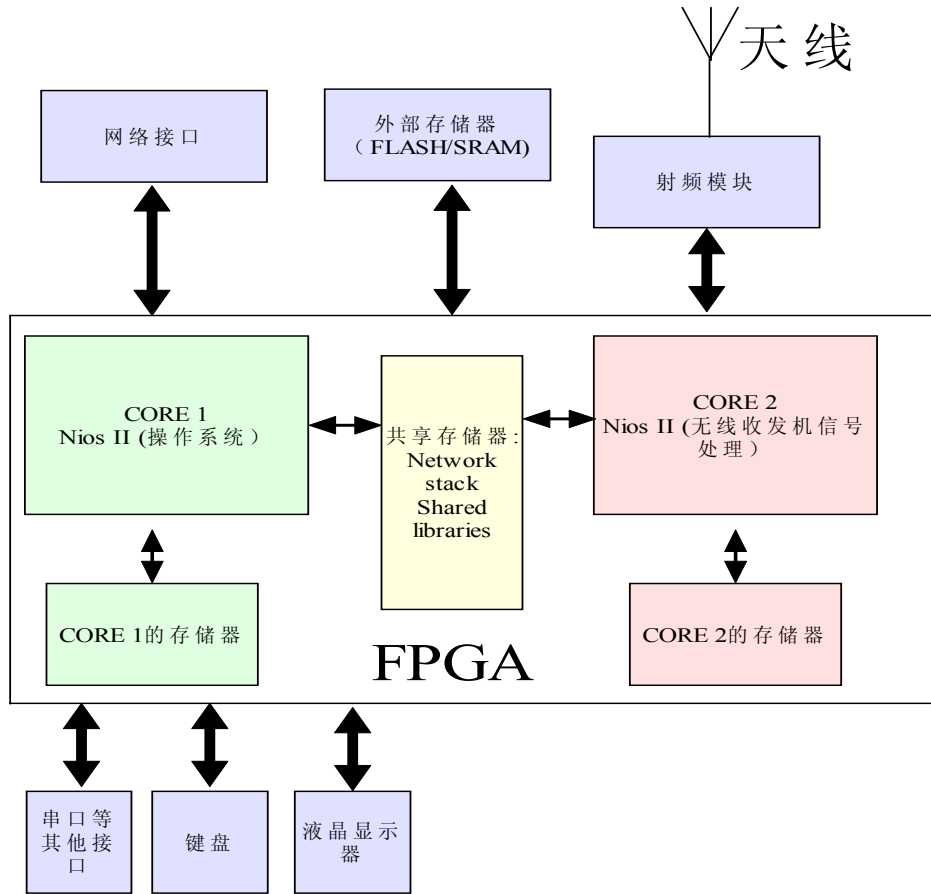
之所以选择使用 NIOS II 来完成该系统,而不选择目前通用的 (MCU+DSP) 方式,我们主要考虑是首先双 NIOS II 的处理能力完全能够完成任务且开发方便,周期短。另外 SOPC 硬件线路可以规划到芯片内部,有效缩小 PCB 面积,减小体积。还有,由于 NIOS II 的软硬件自由配置空间极大,可以方便的调整系统不断提到系统性能。这几乎能够克服传统无线收发机的所有不足。另外 NIOS II 内核的可编程性,为以后支持更多网络协议等附加功能可能。

二：功能描述

本系统是基于 IP 的无线收发装置，具备网络功能的收发机其应用范围将大大增加。系统提供由键盘和液晶显示器组成的人机界面，可以实现本地系统设置，实现码分多址，在允许的作用距离内，设备间可以通过配置实现点对点 and 组网传输。



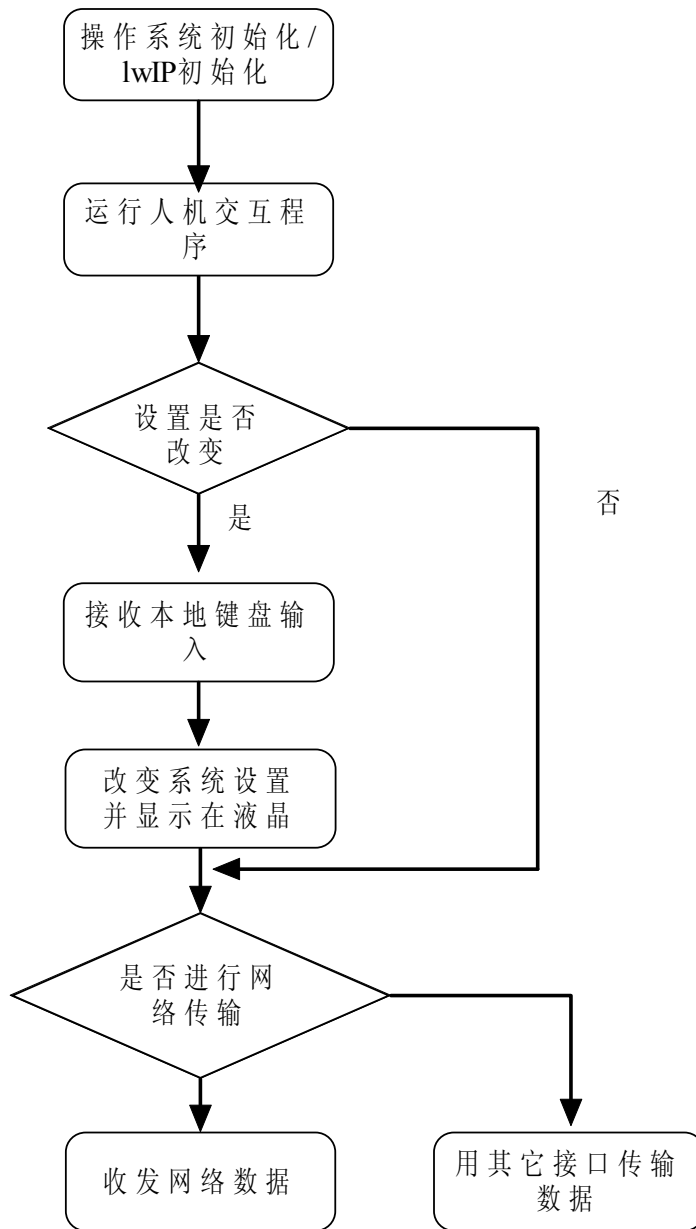
本系统是基于双 NIOS II 核的结构，其中一个核(CORE 1)运行操作系统，完成以太网传输，其他相关控制和人机交互任务。另一个 NIOS II 核 (CORE 2) 完成无线收发机接收和发送的信号处理和运算。两个 NIOS II 的数据和命令交互是通过 FPGA 内部的共享内存 (双口 RAM) 来实现的。见下图：



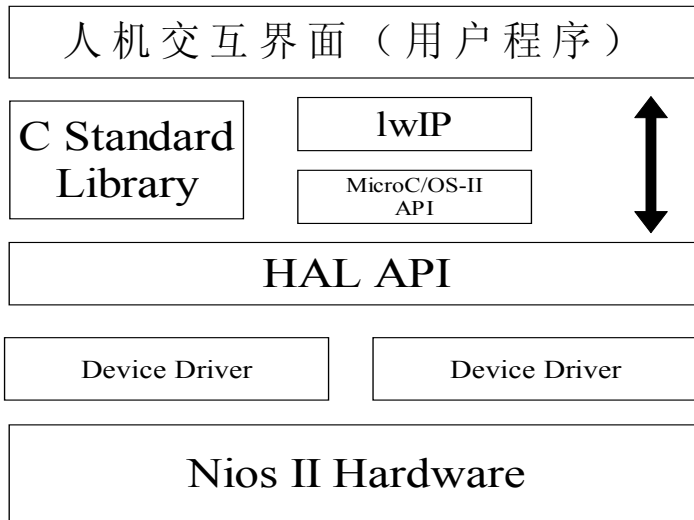
三：各模块详细说明：

1 NIOS II CORE 1 功能说明

CORE 1 运行 MicroC/OS-II 操作系统，进行以太网传输，人机交互，控制等方面的处理。首先在上电后 NIOS II 初始化操作系统，初始化 lwIP 和其它的一些外设并初始化液晶显示器执行人机界面程序。在该用户程序中，通过用户的键盘输入对系统进行设置，调整系统的运行方式，同时将系统状态显示到液晶显示器。其中人机交互程序的系统的设置包括：数据传输方式配置（串口，以太口等），发射功率的选择，网络的配置，扩频序列的选择，环路参数的选择等等。其软件流程图如下：



在该系统中，人机交互程序是用户的顶层程序，实现该程序的功能需要操作系统，lwIP，NIOS II 的 HAL，驱动程序等的支持。为实现程序要调用各层次的接口并编写驱动程序。其中的大部分程序直接移植 altera 公司提供的 HAL 即可。其关系如下：

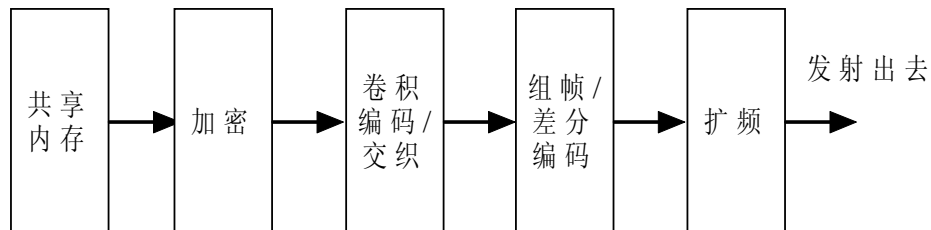


2 NIOS II CORE 2 功能说明

CORE 2 主要是完成直序扩频收发的信号的处理和运算，是收发机的核心按功能分为接收和发送部分。

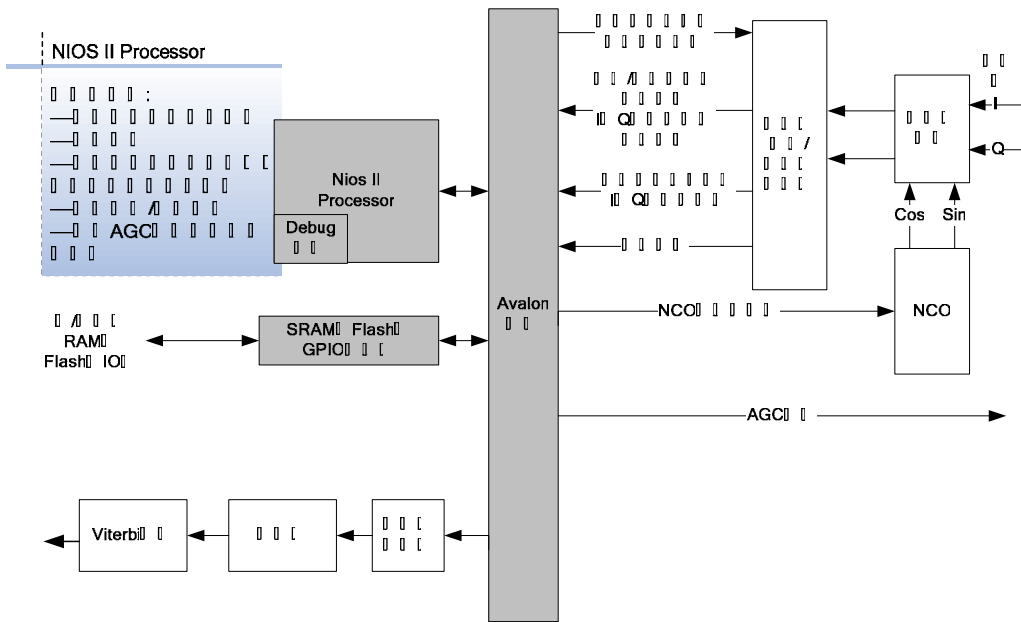
发送部分：从共享内存中取来来自网络的数据（也可以来自其它接口），形成一路数字信号，然后加密，卷积编码（2，1，7），交织，组帧，差分，再扩频（127 位），成型滤波，BPSK 调制后通过射频模块发射出去。

功能框图：



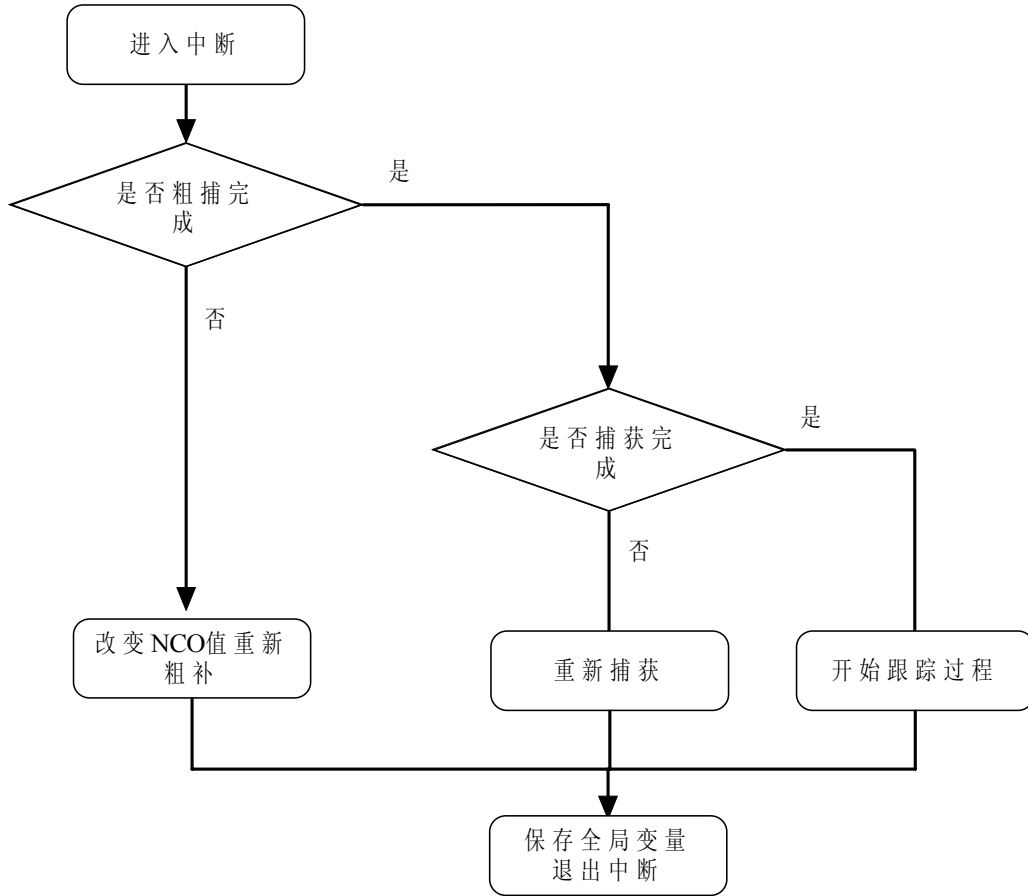
接收部分：接收部分接收来自射频的模拟信号经过 AD 后，复数下变频，相关器（匹配滤波），然后又积鉴频，然后环路滤波，解帧，解交织，然后解卷积，解密等将一路数据信号存入共享内存供另一个核读取传输。

功能框图：



2. 1 软件流程图:

接收通道中的载波和码的捕获跟踪控制比较复杂，运算较多所以在软核上用软件实现，流程图如下：



2. 2 成形滤波器

(1) 设计实现^[2]

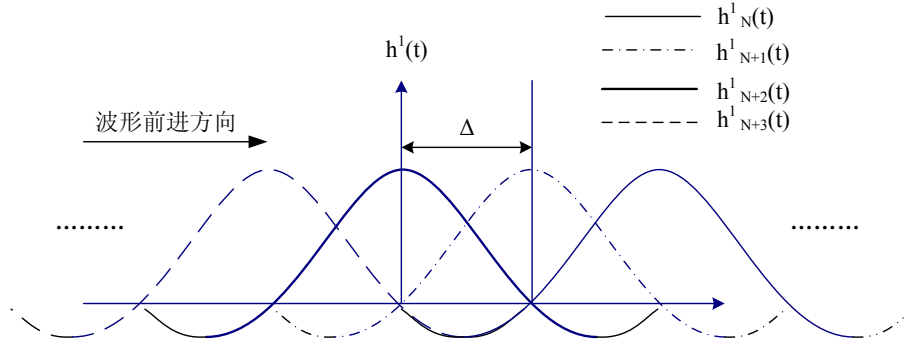
用数字方法进行基带频谱成形，一般采用 BTF(二进制横向滤波器)法和查表法。查表法即预先存储所有可能的基带成形波形的样本值，根据发送的数据序列，在存储器中查找相应的波形输出。BTF 法则根据输入的数据序列实时计算输出波形。当基带信号为二进制数据时，采用这两种方法可以达到较高的性能价格比。

本文成形滤波器采用查表方式实现，系统的输入数据为二进制双极性数据，映射逻辑为：

$Logic "1" \rightarrow Real "-1"$ ， $Logic "0" \rightarrow Real "+1"$ 。采用滚降系数为 $\alpha = 0.5$ 的升余弦滤波器，升余弦滚降函数的系统函数为：

$$h_{RC}(t) = \left(\frac{\sin(\pi t / T_s)}{\pi t} \right) \left(\frac{\cos(\pi \alpha t / T_s)}{1 - (4\alpha t / (2T_s))^2} \right),$$

取波形的截短长度为输入数据码元宽度的四倍，则当输入信号为“1111”时，系统的输出波形如图所示。



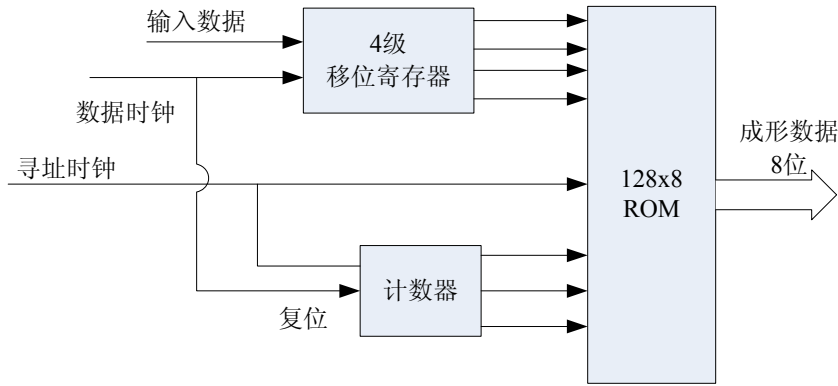
输入信号为“1111”，系统输出波形

图中, $h^1(t)$ 为 $h(t)$ 的截短。可以看出, Δ 时间段的波形为前后时刻波形的叠加, 即连续输入的四个信号才能确定一段波形。若在一个 Δ 时间段内采 8 个样点, 因为每个样点有 2^4 个可能值, 所以共需要 $2^4 \times 8 = 128$ 个数据。这些样点值可以由上式计算得出, 将它们以二进制补码表示, 存入 ROM 中, 就构成了查找表。样点数据存储格式见下图。

Addr	+000	+001	+010	+011	+100	+101	+110	+111
0000000	10110000	10110011	10110110	10110111	10110111	10110110	10110011	10110000
0001000	10110000	10100011	10011100	10011100	10011111	10100101	10101011	10110000
0010000	01010000	01001110	01000000	00101000	00001011	11101010	11001011	10110000
0011000	01010000	00111101	00100110	00001101	11110011	11011010	11000011	10110000
0100000	10110000	11001011	11101010	00001011	00101000	01000000	01001110	01010000
0101000	10110000	10111010	11010001	11101111	00010001	00101111	01000110	01010000
0110000	01010000	01100101	01110100	01111100	01111100	01110100	01100101	01010000
0111000	01010000	01010101	01011011	01100001	01100100	01100100	01011101	01010000
1000000	10110000	10101011	10100101	10011111	10011100	10011100	10100011	10110000
1001000	10110000	10011011	10001100	10000100	10000100	10001100	10011011	10110000
1010000	01010000	01000110	00101111	00010001	11101111	11010001	10111010	10110000
1011000	01010000	00110101	00010110	11110101	11011000	11000000	10110010	10110000
1100000	10110000	11000011	11011010	11110011	00001101	00100110	00111101	01010000
1101000	10110000	10110010	11000000	11011000	11110101	00010110	00110101	01010000
1110000	01010000	01011101	01100100	01100100	01100001	01011011	01010101	01010000
1111000	01010000	01001101	01001010	01001001	01001001	01001010	01001101	01010000

图 波形数据存储格式

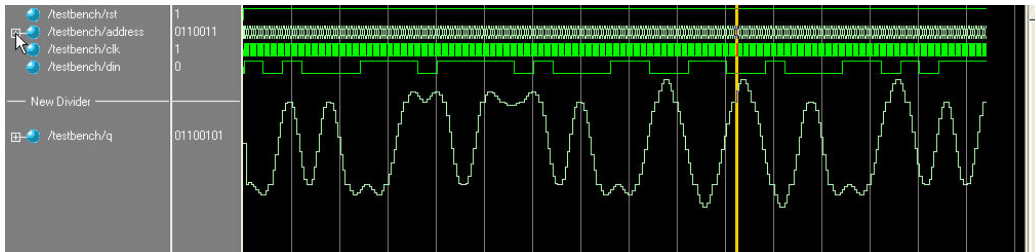
本系统所实现的成形滤波器主要由移位寄存器、计数器和查找表组成, 输出为 8 比特的波形数据, 硬件结构如下图所示。其中查找表为一个地址宽度为 7 比特, 输出为 8 位比特的 ROM, 在 FPGA 内部实现。移位寄存器由 4 个带异步复位端的 D 触发器级联而成, 基带数据串行输入, 并行输出, 其输出构成查找表的高 4 位地址, 而低 3 位的地址由一个八进制计数器输出, 其计数频率为基带数据频率的 8 倍, 复位端连接数据时钟, 即每送进来一位数据, 计数器便清零。



成形滤波器实现框图

(2) 仿真实验

为了验证成形滤波器模块，在其数据输入端加入一数据源作激励，并将模块输出转化为十进制数，以模拟形式表示。仿真结果如下，其中 din 为输入二进制数据，q 为输出的成形数据。可以看出，各个取样点之间的串扰很小，达到了基带成形的目的。



2.3 相关器

本系统使用匹配滤波其进行相关，其特点是捕获速度快，但同时消耗资源较多，该模块的设计难点是在不降低速度的前提下，尽可能的减小资源消耗。所以我们采用折叠型滤波器当伪码长度较长或硬件资源紧张时，可以对倒置型滤波器进行“折叠”处理来进一步压缩资源。折叠滤波器是一种改进的倒置型滤波器，其实现原理基于以下等式：

$$y(n) = \sum_{k=0}^{N-1} x(n-k)h(k)$$

$$= (\dots((\sum_{k=0}^{M-1} x(n-k)h(k)) + \sum_{k=M}^{2M-1} x(n-k)h(k)) + \sum_{k=2M}^{3M-1} x(n-k)h(k)) + \dots) + \sum_{k=(m-1)M}^{N-1} x(n-k)h(k) \quad (5.6)$$

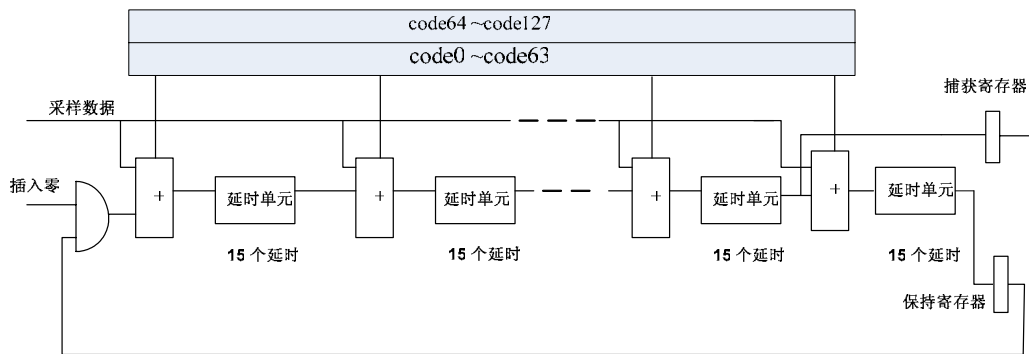
其中 $N = m \times M$ ， m 为折叠次数。

折叠型滤波器的工作时钟同步于输入采样时钟，即每进入一个采样数据，加法链中的数据向后移动一级。如式 x 所示， m 次折叠滤波器将相关运算分为 m 步进行，每一步的相关运算长度为整个相关运算的 $1/m$ 。在采样速率不变的情况下，折叠滤波器必须在一个采样时钟内执行完所有步骤。这就需提高折叠滤波器的处理时钟，折叠几次，处理时钟就变为原来的几倍。另外如图 x 所示，倒置型滤波器的结构具有重复对称性，所示可以重复利用 $1/m$ 长的相关运算单元完成整个相关运算。在 FPGA 的设计中，这种方法称为以速度换取面积，通过提高处理时钟节省了大量的硬件资源。下图所示为本系统所采用的 2 次折叠匹配滤波

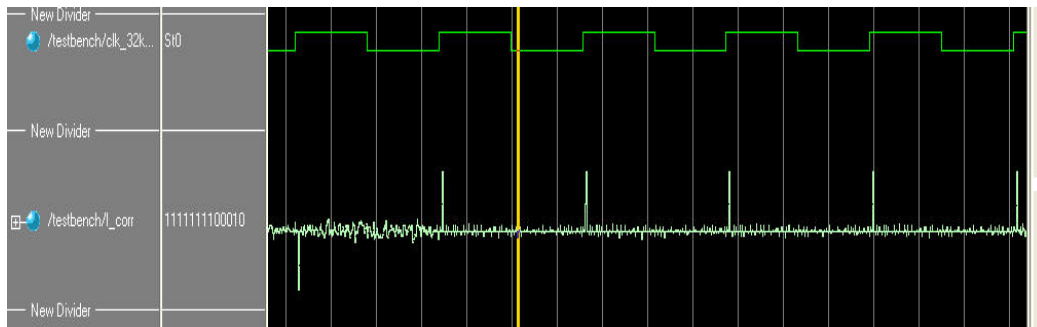
器，用 64 抽头实现了 127 位码长 8 倍过采样匹配滤波器。

由图 x 可知，折叠匹配滤波器主要由加法器、延时单元、伪码寄存器和反馈逻辑组成。其中本地 127 位伪码通过末尾添零变成 128 位，以折叠格式存放在伪码寄存器中。因为采用 8 倍过采样并且折叠系数为 2，加法链每级之间的延时应该为 16 个处理时钟单位，但加法器本身占用了 1 个时钟延时，所以延时单元只需产生 15 个时钟延时即可。

折叠匹配滤波器的处理时钟为采样速率的两倍，每两个时钟周期出现一个采样数据。在第一个时钟周期，code0 到 code63 被送入 64 个抽头单元中，同时 code0 加法器的反馈输入端被置为零。第一个时钟周期结束时，加法器的结果移入保存寄存器中。在第二个时钟周期，code64 到 code127 送入抽头单元，code64 加法器的输入来自保持寄存器。第二个时钟周期结束，最终结果送入捕获寄存器。

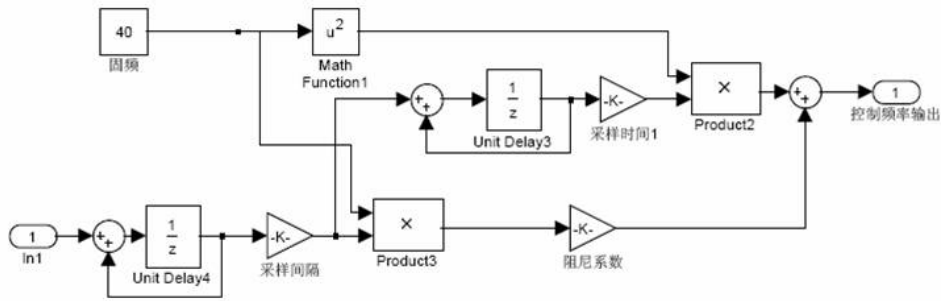


以下为时序仿真图，综合工具 quartus5.0，仿真工具 modelsim 5.8。其中 clk_32k 为发送符号时钟，I_corr 为匹配滤波器输出的相关值。可以看出，在每一个符号周期内，相关结果都会出现一个峰值。

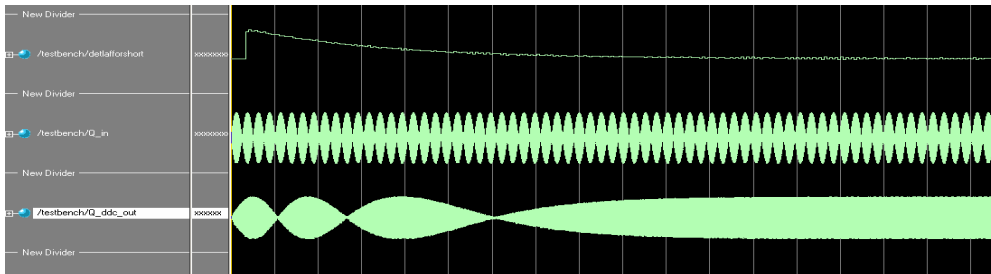


2. 4 叉积鉴频

该模块是频率鉴别器，当输入同向和正交两个分量的时候，输出为当时的频差，其结果在送入环路滤波器进行闭环的反馈。



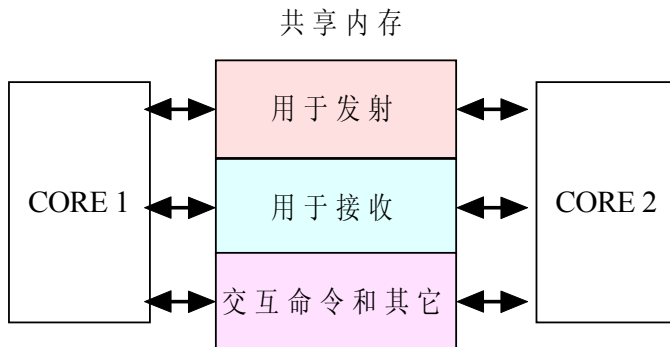
其仿真图如下:



上图是在 modelsim5.7 上的布线后仿真图, 第一个信号是频差, 第二个信号是未下变频的信号, 第三个信号是下变频以后的信号。由图可见频差在不断缩小变成零, 下变频信号最后频率消失, 同步成为一条直线^[3]。

3 CORE 1 与 CORE 2 通讯

CORE 1 与 CORE 2 的通讯: 采用 FPGA 内部的双口 RAM 形成一块共享内存, 进行数据交互。其中接收和发送分别拥有独立的存储空间, 另外一些交互命令也独立存储。如图:



三：设计特点

1 本系统是一种基于网络的无线收发机，通过网络使无线收发机的功能大大丰富。本系统可以实现点对点传输，一点对多点传输，和组网功能。大大增强了无线收发机的应用范围。

2 使用 SOPC 能够非常方便快捷的搭建很有特色双核 NIOS II 系统，同时 NIOS II 支持操作系统并提供 lwIP，对进行网络开发大大有利，这些都加快了系统开发进度。

3 我们做过评估，采用双核 NIOS II 完全可以胜任 IP 无线收发机。而不需要使用传统的（MCU+DSP）结构，不仅节省了成本，而且缩小了 PCB 面积，更重要的是功耗大大降低。

4 NIOS II 为我们提供了强大的软硬件选择性。在信号处理的接收方面，由于解扩解调计算复杂，对于环路滤波器和叉积鉴频中的一些运算使用了 NIOS II 的自定义指令。而能量捕获则作为硬件加速，完全在硬件中实现。

系统提供了键盘和液晶显示器，可以直接对系统的运行方式进行调整，并显示调整结果。综上：采用新方法实现的无线收发机在许多方面比传统方案都有所改进和提高，为今后实现无线收发机提供了一个新的方向。

参考文献：

- [1] SOPC/FPGA 教程 www.21control.com
- [2] 李博 直序扩频接收机数字中频模块的 FPGA 实现 北京航空航天大学硕士论文 2006
- [3] 姚廷燕 SOPC 技术在软件无线电平台中的应用 遥控遥测 2005. 7