

基于 SOPC 的任意波形发生器

林丹 肖启俊 郑小燕

指导教师：龚向东

(深圳大学 电子科学与技术学院 深圳 518060)

摘要：本设计实现了一个基于 SOPC 的任意波形发生器，不仅可以合成正弦、余弦、方波、三角波和锯齿波等常见波形，还可以通过 PC 端软件编辑任意波形数据，并下载到以 Nios II 嵌入式微处理器为核心的 SOPC 系统上用于产生任意波形，具有控制灵活，输出频率稳定、准确，波形质量好和输出频率范围宽等优点。

关键词：直接数字频率合成；可编程片上系统；NIOSEII

Arbitrary Waveform Generator Based on SOPC

Abstract : This paper describes an arbitrary waveform generator (AWG) based on SOPC, which can not only synthesize sine waveforms, cosine waveforms, square waveforms, triangle waveforms, sawtooth waveforms and other common waveforms, but also generate arbitrary waveforms with data edited and downloaded by PC software. It has advantages of easy control, stable output frequency, high quality waveform and wide bandwidth.

Keywords : DDS ; SOPC ; NIOSEII

1、引言

本设计采用直接数字频率合成（DDS）技术，通过基于 NIOS II 的 SOPC 系统实现一个任意波形发生器。DDS 技术是一种新颖的频率合成技术，具有易于程控，相位连续，输出频率稳定度高，频率转换速度快和分辨率高等优点。随着现代电子技术和大规模集成电路的发展，DDS 技术得到了飞速的发展，已成为最重要的频率合成技术。SOPC (system on a

programmable chip) 可编程片上系统^[1-2]是一种灵活、高效的 SOC 解决方案。它具有双重含义：首先它是片上系统 (SOC)，由单个芯片完成整个系统的主要逻辑功能；其次它是可编程系统，具有灵活的设计方式，可裁减，可扩充，可升级，并具有软硬件在系统可编程的功能。本设计通过 Altera 公司的 Nios II 嵌入式系统实现 SOPC。

2、采用 DDS 的任意波形发生器

采用 DDS 技术的任意波形发生器用高速存储器作为查找表，通过高速 D/A 转换器来合成存储在存储器内的波形。所以它不仅能产生各种常见波形，而且还可以利用各种编辑手段，产生传统函数发生器所不能产生的任意波形。DDS 的基本原理如图 1 所示^[3]。

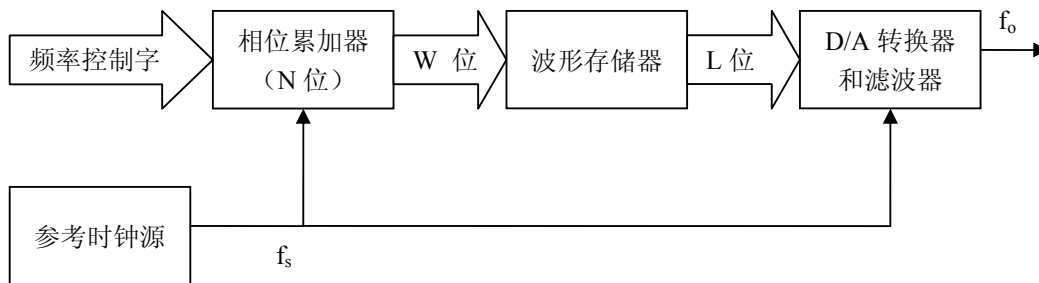


图 1 DDS 的基本原理框图

图中的参考时钟源是一个稳定的晶体振荡器，用它来同步合成器的各组成部分。相位累加器类似于一个简单的计数器，它由加法器和寄存器组成。在每一个参考时钟脉冲输入的时候，它的输出就增加一个步长的相位增量值（二进制编码）。这样累加器把频率控制字 FSW（Frequency Setting Word）的数据变换成相位抽样来确定输出合成频率的大小。相位增量的大小随外指令的变化而变化，一旦给定了相位增量，输出频率也就确定了。当用这样的数据寻址时，正弦查找表就把存储在相位累加器中的抽样数字值转换成近似正弦波幅度的数字量函数，然后 D/A 变换器把数字量变成模拟量。低通滤波器进一步平滑近似正弦波的锯齿阶梯，并衰减不需要的抽样分量和其他杂散信号。DDS 系统除了 D/A 转换和滤波器之外全都是数字集成电路，因此系统容易实现集成化和小型化。

DDS 输出频率和其他一些参数之间的关系如下：

f_s ：系统时钟频率，对应系统时钟周期为 T_s ；

f_o ：输出波形频率，对应输出信号周期为 T_o ；

FSW：频率控制字，其值用 P_{fsw} 表示。

设相位累加器的长度是 N 位，控制波形存储器产生一整周正弦波输出是 W 位（N 位中

的最高 W 位, $W < N$)。显然, 2^W 相当于 360° (2π rad), 因此 W 位中的 MSB (最高位有效位) 相当于 180° (π rad); W 位中的 LSB (最低有效位) 相当于 $360^\circ / 2^W$ rad)。同样, N 位中的 LSB 相当于 $2\pi / 2^N$ rad。这个 $2\pi / 2^N$ rad 就是最小的相位增量。于是, P_{fsw} 对应的相位增量就是 $P_{fsw} \times 2\pi / 2^N$ rad。这样, 完成一整周的正弦波输出需要经过 $2\pi / (P_{fsw} \times 2\pi / 2^N)$ 个系统时钟周期, 即 $2^N / P_{fsw}$ 个时钟周期。因此, 可以得到输出波形的周期 T_o 和频率 f_o 分别为:

$$T_o = \frac{2^N T_s}{P_{fsw}} \quad (2-1)$$

$$f_o = \frac{P_{fsw}}{2^N T_s} = \frac{P_{fsw} f_s}{2^N} \quad (2-2)$$

需要强调的是 P_{fsw} 对应的是相位增量, 而不是频率。这个值给出了相位变化的速度, 输出频率与 W 无关。

通常用频率增量来表示频率合成器的分辨率, 由式 (2-2) 可得到 DDS 的分辨率等于

$$\Delta f_{o\min} = \frac{f_s}{2^N} \quad (2-3)$$

这个增量也就是最低的合成频率。最高的基波合成频率受奈奎斯特抽样定理的限制(至少每周两次抽样才能重构波形), 所以有

$$f_{o\max} = \frac{f_s}{2} \quad (P_{fsw} = 2^{N-1}) \quad (2-4)$$

在实际中, 最大的输出频率为系统时钟频率的 40%。

采用 DDS 技术可以很容易地实现任意波形发生器, 只要将传统波形发生器的波形存储器 ROM 改为 RAM 就可以了。根据采样定理, 先对波形进行采样, 将采样后的数据数字化后存储到波形存储器 RAM 中, 然后输入频率控制字, 相位累加器在每个系统时钟到来的时候其输出就累加一次, 用累加器输出的高几位来寻址波形存储器, 波形数据将被送到 D/A 转换成模拟量输出, 波形就被重新合成了^[4-5]。

任何一个周期信号都可以用三个广义参数来定义: $\omega(t)$ 表示频率的变化; $A(t)$ 表示幅值的变化; $\phi(t)$ 表示相位的变化。利用 DDS 技术可以轻易地完成频率、幅值和相位的调制。频率的调制可以通过改变频率控制字来实现; 幅值的调制可以通过改变 D/A 转换器的参考电压来实现; 相位的调制可以通过在相位累加器的输出上加一个值来实现。DDS 技术的这一特点特别适合用计算机来控制, 如图 2 所示。首先在计算机上通过软件得到波形的采样点值, 然后通过计算机接口将波形采样点送到波形存储器, 再向波形发生器发出频率控制字、

幅度控制字和相位控制字，这样就可以产生任意波形^[6]。

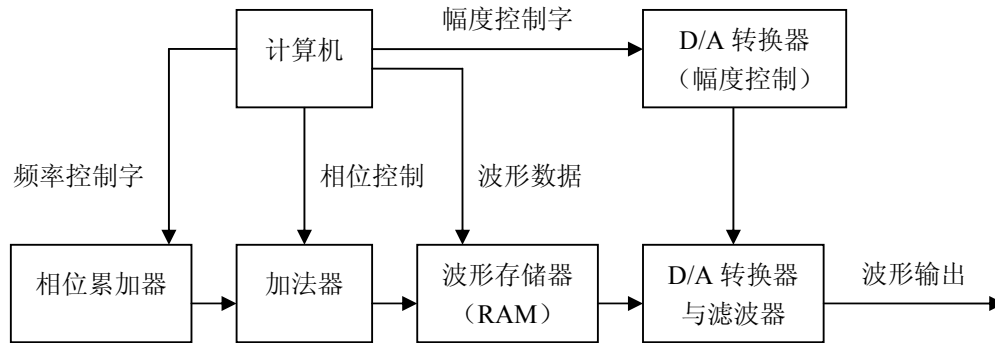


图 2 采用 DDS 的任意波形发生器

3、系统总体设计

本设计实现一个基于 SOPC 的任意波形发生器，不仅可以合成标准的方波、正弦波、三角波、锯齿波等常见波形，还可以通过 PC 端软件合成用函数表达式描述的和手绘的任意波形。同时，波形的频率和幅度均可调节，输出频率范围为 0.1Hz~1MHz，频率分辨率为 0.1Hz，输出电压范围为 0~10V。

系统由三部分组成：SOPC 片上系统、D/A 转换与滤波电路和 PC 端软件。系统框图如图 3 所示。

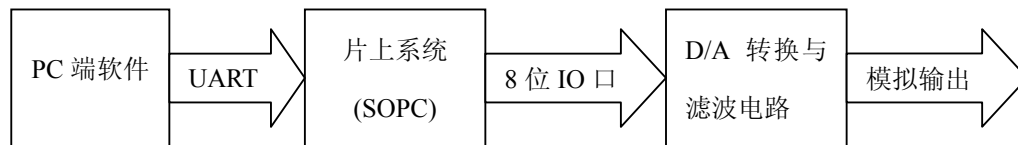


图 3 系统框图

片上系统在 Altera Cyclone II 2C35 FPGA 上实现，构建了一个基于 NIOS II 的 SOPC 系统，完成系统控制、DDS 信号发生和与 PC 机通讯的功能；D/A 转换与滤波电路完成将片上系统数字输出转换为模拟输出、放大、滤波和幅度控制的功能；PC 端软件由 Matlab 编程实现，完成图形用户界面（GUI）、编辑产生波形数据、频率控制和与片上系统通讯等功能。

3.1、片上系统设计

片上系统为一个基于 NIOS II 的 SOPC 系统，由四部分组成：NIOS II 模块、DDS 模块、PLL 模块和片上 RAM 模块。如图 4 所示，在 Quartus II 中的顶层设计图如图 5 所示。

3.1.1、NIOS II 模块

该模块通过在 SOPC Builder^[7]中调用 IP 库组件实现，主要由 NIOS II CPU、UART 接口、SDRAM 控制器和 PIO 接口组成。系统时钟频率为 50MHz。

1、NIOS II CPU

NIOS II CPU 具有三种内核类型：经济型 NIOS II/e、标准型 NIOS II/s 和快速型 NIOS II/f。快速型内核具有最高的处理性能，经济型内核具有最低的资源占用，而标准型在性能和资源占用之间平衡。用户可以根据自己的设计性能或成本要求，灵活的增加或裁减一些系统特性。本设计中，由于 NIOS II CPU 主要只负责 UART 串口的数据传输和简单的 I/O 接口控制，所以选用经济型 NIOS II/e 内核，以达到节省资源占用的目的。

2、UART 接口

本设计中，波特率设置为 9600，数据位为 8 位，停止位为 1 位，无奇偶校验位。

3、SDRAM 控制器

本设计中，SDRAM 控制器用来连接 DE2 开发板上集成的 8MByte SDRAM。注意 SDRAM 控制器的数据端 dq[15..0]必须连接输入输出端口 bidir。

4、PIO 接口

本设计中，NIOS II 模块对 DDS 模块的控制和对片上 RAM 模块的读写都通过 PIO 接口实现，分为频率控制字 FSW 控制线 24 位，片上 RAM 寻址线 12 位，片上 RAM 数据线 8 位和片上 RAM 写入选通线 1 位。

3.1.2、DDS 模块

该模块通过 VHDL 语言直接编程，用于完成频率控制字的相位累加和截断输出，从而实现波形数据的输出和频率调制功能，是整个系统的核心模块。由于其采用 VHDL 语言编写，所以必须将其转换为图形符号，加入设计顶层图中，如图 6 所示。

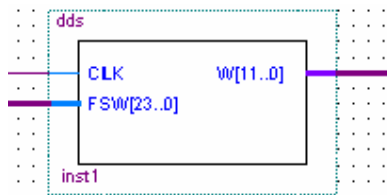


图 6 DDS 模块

本设计中，相位累加器的位数 N 为 29 位，高 12 位（即 W）截断输出到片上 RAM 的地址线进行寻址。因为系统时钟频率为 50MHz，则由式（2-4）得，频率分辨率为 0.1Hz。

频率控制字 FSW 的位数为 24 位，最大频率控制字为 101000111101011100001010，则由式 (2-2) 得，最大输出频率为 1MHz。DDS 模块的输入端为 CLK 时钟和 24 位 FSW 频率控制字，输出端为 12 位片上 RAM 寻址线。其中，输入端 FSW 频率控制字对系统的输出频率进行调制，输出端 W 位地址线对存储于片上 RAM 的波形数据进行输出。

首先模块由 CLK 时钟输入触发而不断进行相位累加，相位累加器值为 N，不断累加 FSW。24 位 FSW 值由 NIOS II CPU 进行输入。当 N 第 29 位为 1 时，相位累加器清零。然后将相位累加器高 12 位，即第 17 位到第 28 位截断赋予 W，最后输出。

3.1.3、PLL 模块

该模块通过调用 Quartus II 内嵌的器件函数实现。Quartus II 内嵌了许多常用器件的函数，用户只需要进行设置即可直接调用，而不需要自己编程，这大大提高了系统开发的效率。SDRAM 芯片必须和 Avalon 接口一样以相同的时钟驱动，片内的锁相环 (PLL) 通常用于调整 SDRAM 控制器内核与 SDRAM 芯片之间的时钟相位差。由于 PLL 不是包括在 SDRAM 控制器内，所以必须手动添加生成 PLL 模块。本设计中，片外 SDRAM 的时钟输入必须比系统的时钟滞后 90 度相位。

3.1.4、片上 RAM 模块

该模块也通过调用 Quartus II 内嵌的器件函数实现，用来存储一个周期的波形数据。本设计中，模块具有读写两个端口，通过两套地址系统，对片上 RAM 进行读写操作：NIOS II 模块对 RAM 进行写操作，更新波形数据；DDS 模块对 RAM 进行读操作，读取波形数据，产生幅度量化序列。片上 RAM 地址位为 12 位，数据位为 8 位，空间大小为 4KB，即存储了 4096 个 8 位数据。

3.1.5、片上系统软件设计

该片上系统的软件设计在 NIOS II IDE 中通过 C 语言编程实现。程序通过查询方式不断查询 UART 串口，接收 PC 机发送过来的一个 8 位控制字。如果 PC 机指示改变频率，则接收新的 24 位频率控制字值并发送给 DDS 模块；如果 PC 机指示改变波形，则接收新的 4096 个 8 位波形数据并依次发送给片上 RAM 模块。程序流程图如图 7 所示。

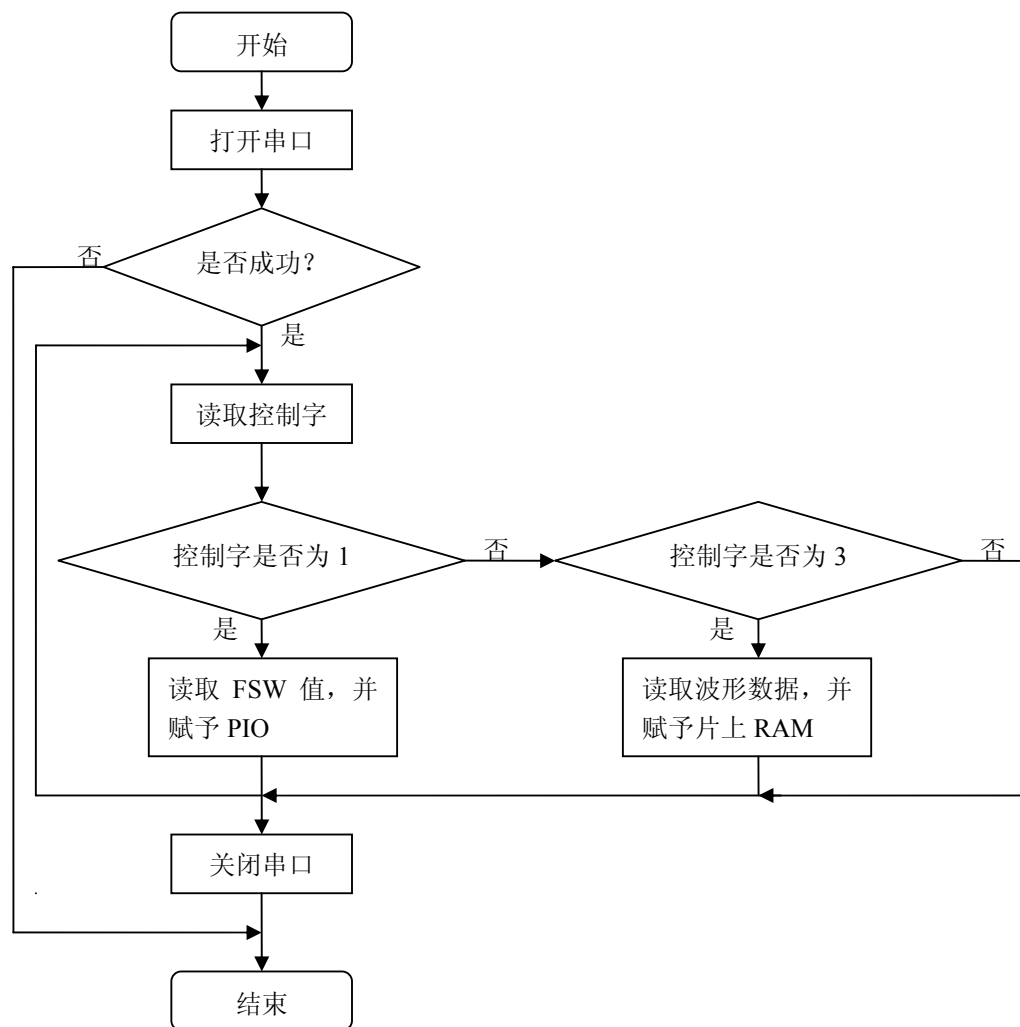


图 7 片上系统程序流程图

3.1.6、波形仿真

本系统采用 Quartus II 开发环境中集成的 Signal Tap II 嵌入式逻辑分析仪对信号进行仿真。利用 Signal Tap II 可以在系统运行时捕获 I/O 引脚和内部信号, 将采样到的数据通过 JTAG 接口上载到 Quartus II, 显示为二进制、十进制和波形等各种形式。Signal Tap II 是高级的仿真工具, 其必须连接硬件运行才能进行逻辑分析, 所以不同于功能仿真, 具有实时性和准确性, 大大方便了系统的调试。在本系统中, 产生的任意波形信号在尚未连接 D/A 转换与滤波电路的情况下, 可以通过 Signal Tap II 观察生成的波形, 而且逻辑分析结果随着信号变化而实时变化。系统产生的所有任意波形都可以通过 Signal Tap II 仿真出来。图 8 和图 9 所示分别为产生正弦信号和方波信号时的仿真结果。

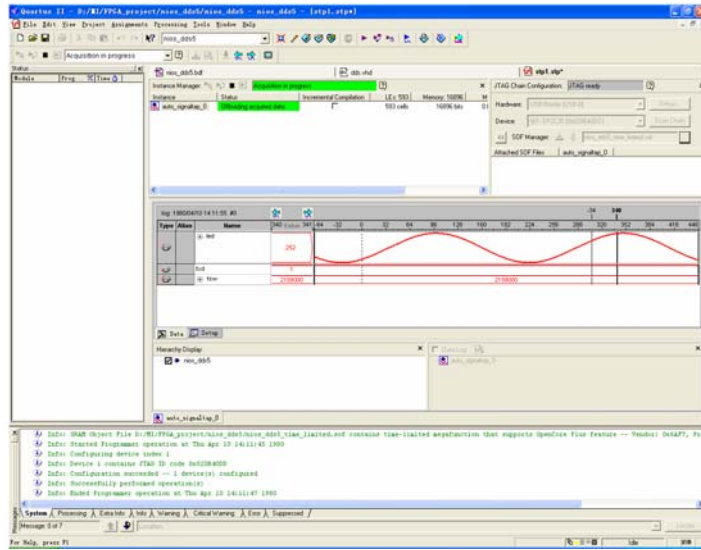


图8 产生正弦信号时 Signal Tap II 的仿真结果

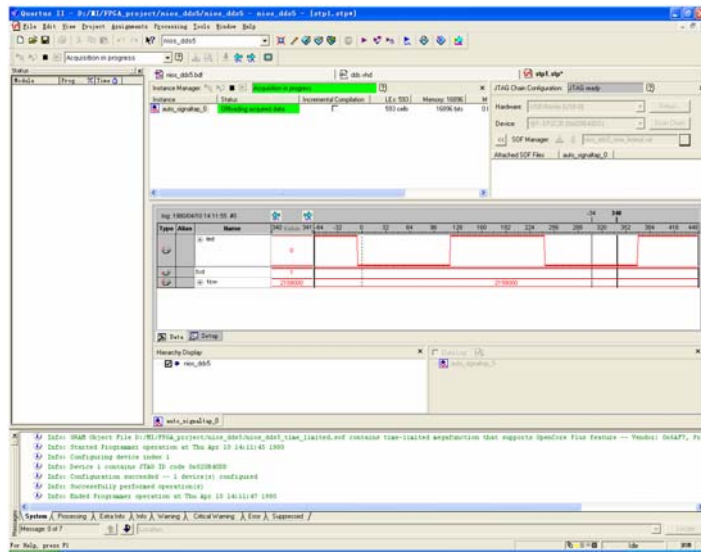


图9 产生方波信号时 Signal Tap II 的仿真结果

3.2、 D/A 转换与滤波电路

D/A 转换与滤波电路主要由 D/A 转换、滤波、幅值调节和电源模块部分组成。D/A 转换器采用飞利浦公司的 8 位 D/A 转换器 TDA8702。D/A 输出的两路模拟信号经过差分放大电路后，由模拟开关 CD4053 选择送入不同的滤波器完成对不同类型波形的滤波。滤波后，对输出信号幅值和偏移量进行调节。电路原理图如图 10 所示。

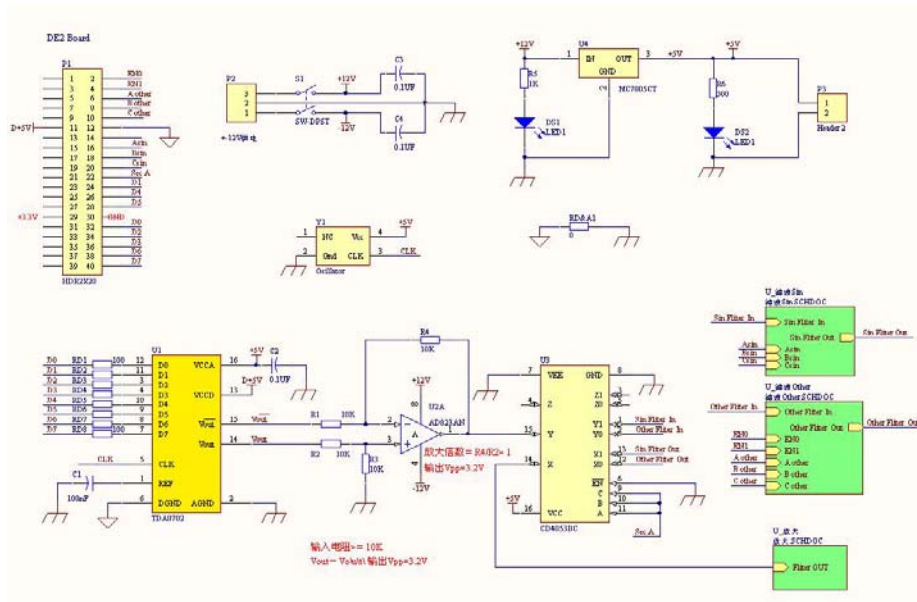


图 10 D/A 转换与滤波电路原理图

TDA8702 的数模转换速度最高可达 30MHz。它兼容 TTL 电平输入，内部集成模拟电压参考源和数据锁存器，具有两路互补模拟电压输出端，+5V 电源供电，外围电路简单，外部只需接一个 100nF 去藕电容即可。由于 D/A 转换器的两路模拟输出均有直流偏移量，所以，第一级放大电路采用差分求和电路，来消去直流偏移值，

设计中，系统输出信号频率上限为 1MHz。正弦信号单频输出时，理想的频谱为一条单一谱线。这就要求设计的滤波器过渡特性要比较陡峭，同时考虑降低设计的复杂性，为此选用二阶压控低通有源滤波器完成对正弦信号的滤波；对于方波、锯齿波、三角波和任意波，信号本身的频谱不再是单一的谱线，其谐波成分复杂，这时已经不能按输出信号重复频率来决定滤波器的截止频率。因此选用滤波过渡特性平缓一阶低通有源滤波器完成对除正弦信号外的其他信号的滤波。由于频率覆盖范围较大(0.08Hz~1MHz)，为了使整个频率范围内都可以有较理想的滤波效果，系统采用分段低通滤波的方式。不同频率的信号由软件控制送入不同截至频率的低通滤波器，电路框图如图 11 所示。

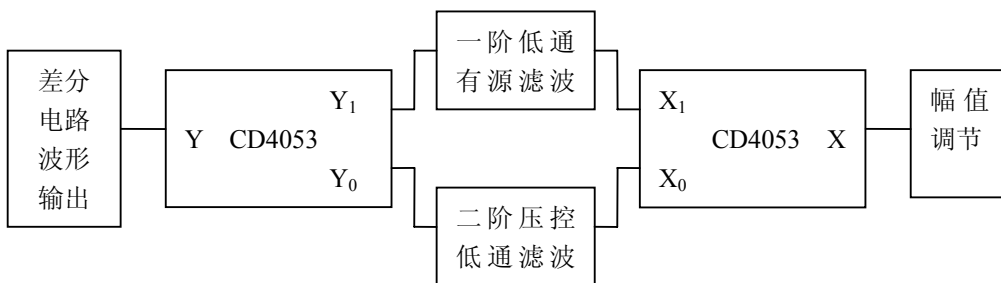


图 11 低通滤波选择电路框图

图 12 为二阶压控低通滤波电路。为计算方便和试验时调试，令 RC 网络的电阻、电容值取相同。CD4051 相当于一个单刀八掷开关，开关接通哪一通道，由输入的 3 位地址码 ABC 来决定。两个 CD4051 的片选接地，地址码 ABC 同时接到控制线 Asin、Bsin、Csin 上，由控制线选择不同的通道而选择不同的电容，从而使滤波器的截止频率不同。

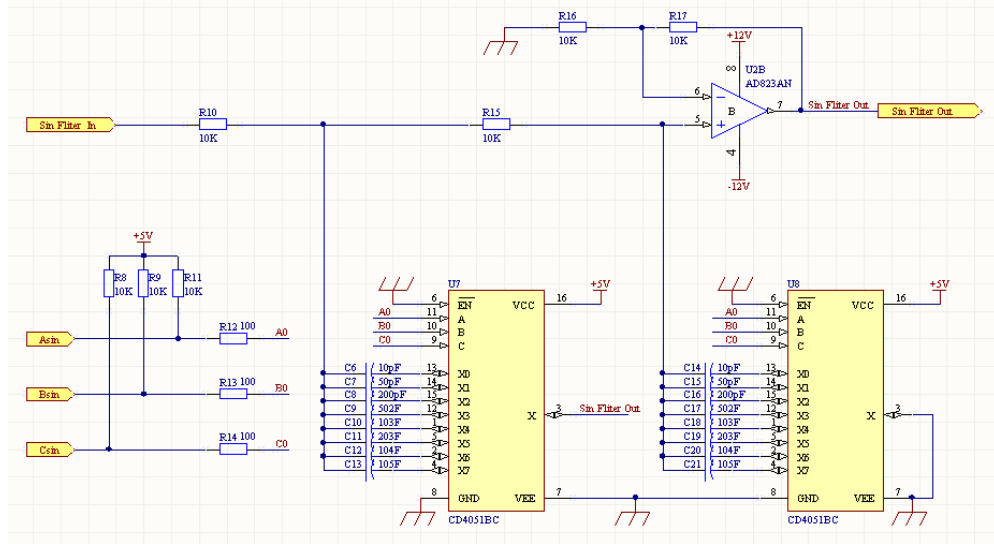


图12 二阶压控低通滤波电路

一阶低通有源滤波电路如图13所示。控制线Aother、Bother、Cother选择不同的通道，从而改变滤波器的截止频率。

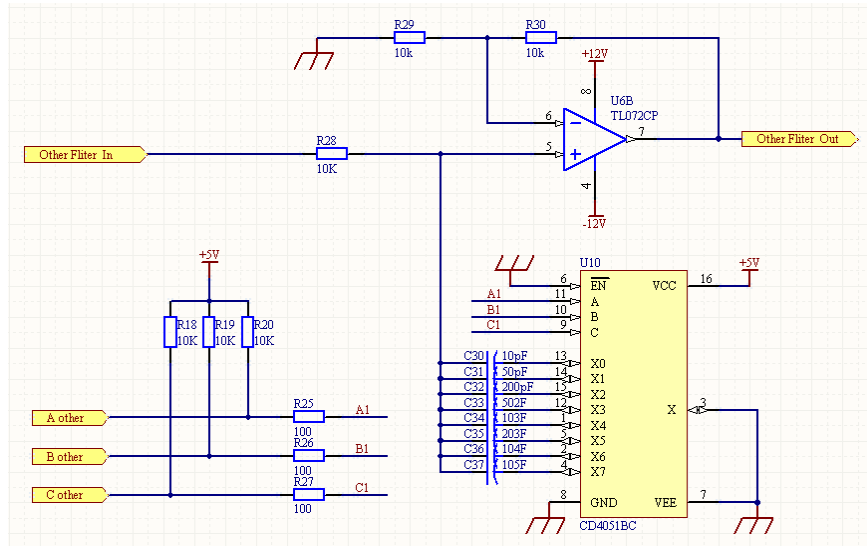


图13 一阶低通有源滤波电路

在幅值调节电路中，调节U5抽头位置可以调节输出信号的幅值，调节R7抽头位置可以调节输出信号的直流偏移量。

3.3、 PC 端软件

3.3.1、任意波形信号的编辑

本设计关键在于产生任意波形,相对于普通的波形发生器它的灵活性更高,实用性更强。用户可以根据自己的需要设定不同的波形,为了使用户更容易的得到自己想要的信号波形,在这里设计了两个可以产生任意波形的方法。一种方法是绘图法,用户可以自己画出想得到的波形的图形,但是用这种方法产生出来的信号精度不高,适用于对产生的信号要求不高的用户,其优点是简单方便。另一种方法是公式法,根据用户输入的公式或者函数语句产生波形信号,这种方法比较科学,精度较高。

在绘图法中,主要用到MATLAB中的两个函数: `ginput` (鼠标输入图形)和`spline` (三次样条多项式拟合)。结合这两个函数,交互式创建二维曲线。首先,利用`ginput`函数在figure图上选择一系列点 $[x, y]$,这样就得到一些分散的数据点,为了从这些分散的数据点中找到其内在的规律性,然后通过这些点进行样条平滑,就要运用到`spline`函数来产生一系列点来逼近这些已知点。结合`ginput`和`spline`函数设计程序,用户就可以根据自己的需要在图上任意画出波形,如图14所示。描述的点越多,则输出的波形越接近真实波形;如果描述的数据点少,则有可能改变波形形状及趋势。绘图法中使用鼠标取点的方法主要是避免用鼠标直接画波形时的不灵活性和不好控制性。

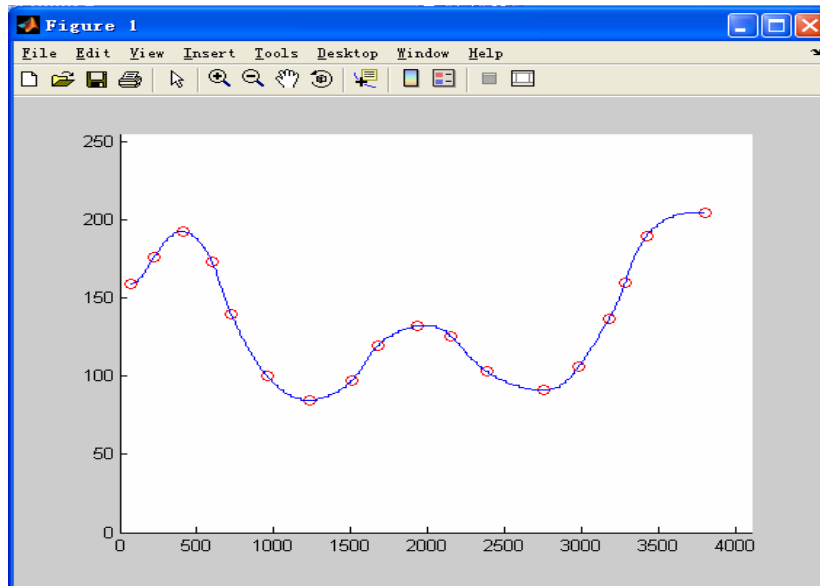


图14 手绘波形的拟合

如果波形可以数学描述,就可以采用公式波这种方法。在GUI界面中,设置了公式波的公式输入文本编辑框,只需要在文本编辑框中输入公式,根据它已有的条件就可以产生信号

波形。在本设计中,由于输入的公式是用户自定义的,用户可以使用多种算法或者运用MATLAB自带的函数库。在MATLAB的界面设计中,文本编辑框里输入文本后,MATLAB会把输入的文本默认成字符串。当想对这些输入在文本编辑框里的公式进行计算时,MATLAB无法识别。在这里使用eval函数对字符串进行处理。eval函数将符号表达式转化为数值表达式,这样就能使MATLAB执行该公式。公式法产生的波形更精确。

3.3.2、数据处理

发送到SOPC片上系统的数据类型要求为无符号字节型,地址宽度为12位。在GUI用户界面上产生波形信号数据后,需要对数据进行处理:首先在纵坐标值范围为0到1之间的坐标轴上设计产生出4096个数据,然后把它们按比例缩放到0到255之间,再对这些数据进行取整,最后产生所要求的数据格式,当对这些数据处理完后就可以通过串口传送到硬件上。

3.3.3、串口设置

本设计通过串行通信来实现PC机与嵌入式可编程系统之间的数据传输,为了保证准确传输数据,必须规定串行通信的数据格式,设置串口属性。在串行通信中,必须保证通信双方采用相同的传输速率或波特率。当串口对象和设备连接成功,就可以读写数据,如图15所示。程序开始时,系统向SOPC片上系统发送命令字节,SOPC接收到命令字节后对它进行判断,“03”为改变波形,“01”为改变频率。

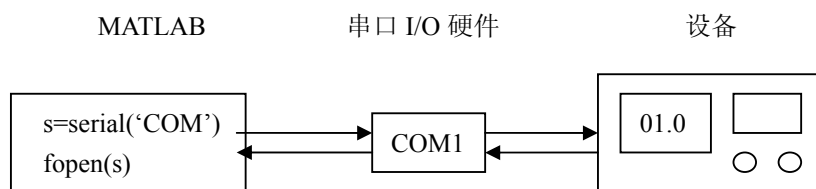


图 15 MATLAB 与设备之间读写数据

3.3.4、GUI界面设计

本用户界面友好,采用按钮、滑条等输入方式,用户使用简单方便,用户软件的界面如图16所示。

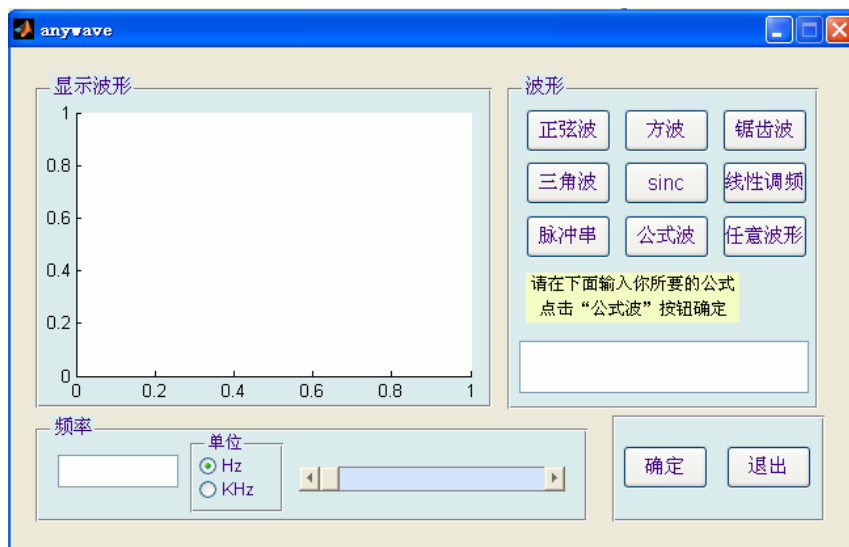


图 16 用户软件界面

用户界面的功能描述如下：

1、波形选择：本信号波形发生器按照常用的波形信号设计有多个波形选择按钮，用户可以选择正弦波、方波、锯齿波、三角波、sinc波、线性调频信号、脉冲串，选择波形的同时即将波形数据发送给信号发生器。

2、任意波形的编辑：用户也可以按照本软件的规定编辑波形，有公式法编辑和绘图法编辑。使用绘图法编辑波形，只需点击“任意波形”按钮，然后按照提示在坐标轴内点击鼠标右键取点画出所要波形的大概形状，再点击鼠标左键就可以产生用户想要的波形；当使用公式法编辑波形，只需按提示在编辑框中写入所要产生的波形公式，点击“公式波”按钮，系统就会立刻对输入公式进行计算，并向硬件传送改变波形类型的字符，然后再把数据发送到硬件上。

3、频率设置：用户可以设置频率在 0.08 到 1MHz 之间，也可以拖动滑条进行微调。

4、实验结果

本节所有实验结果均由 RIGOL 公司 DS5022M 数字存储示波器采样所得。

图 17 所示为输出频率 100kHz 的方波和 1MHz 的正弦波。图 18 所示为输出频率 20kHz 的三角波和 1kHz 的锯齿波，图 19 所示为输出频率 10kHz 的 sinc 波和 200Hz 的线性调制波。

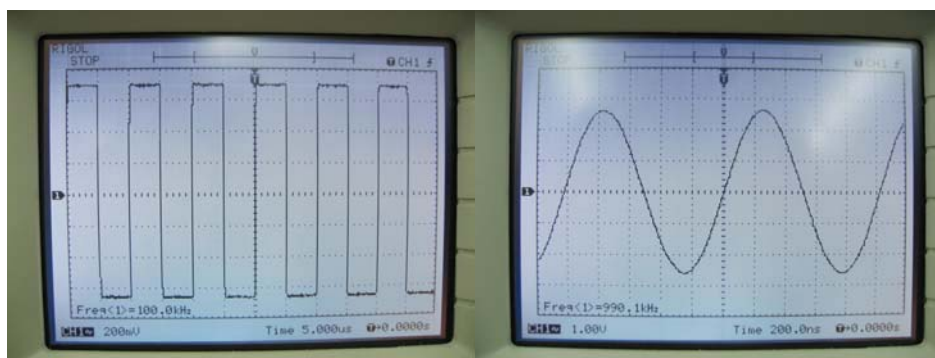


图 17 100kHz 方波和 1MHz 正弦波

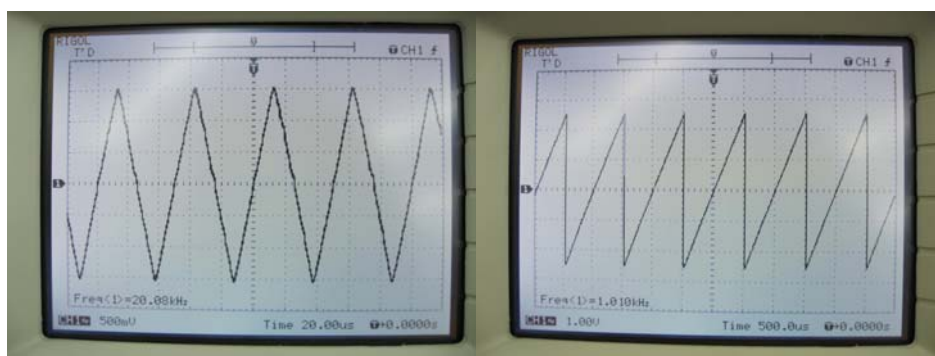


图 18 20kHz 三角波和 1kHz 锯齿波

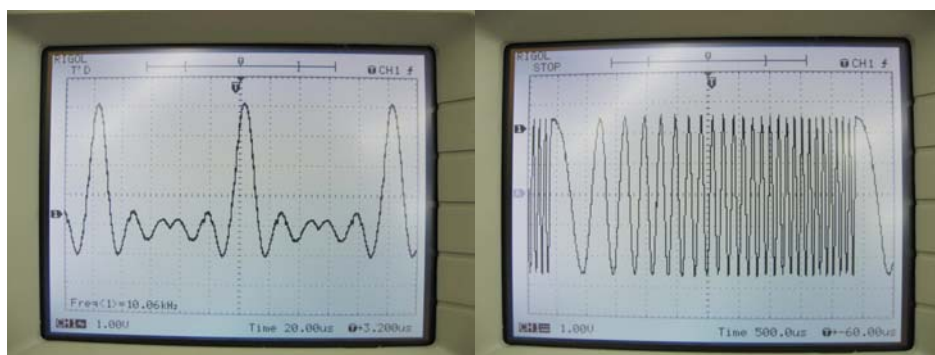


图 19 10kHz sinc 波和 200Hz 线性调制波

图 20 所示为采用公式法输入的 GUI 界面和产生的相应 1kHz 任意波形，输入公式为 $\sin(2*\pi*x)+\sin(4*\pi*x)$ ，其中变量 x 的范围为 0 到 1。

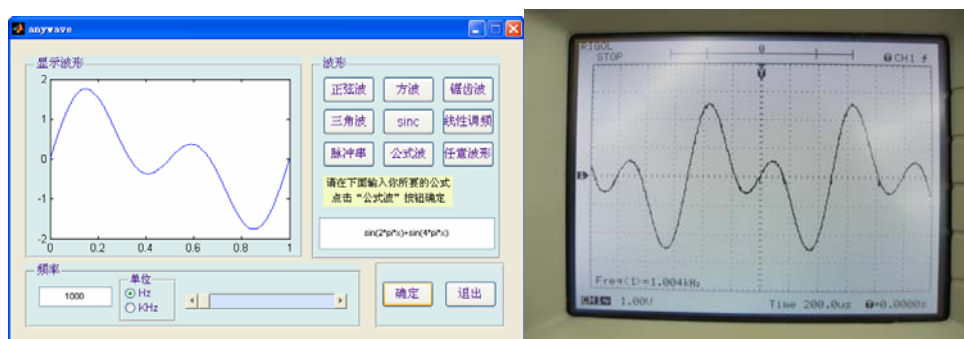


图 20 公式法输入的 GUI 界面和产生的任意波形

图 21 所示为采用绘图法输入的 GUI 界面和产生的相应 50kHz 任意波形。

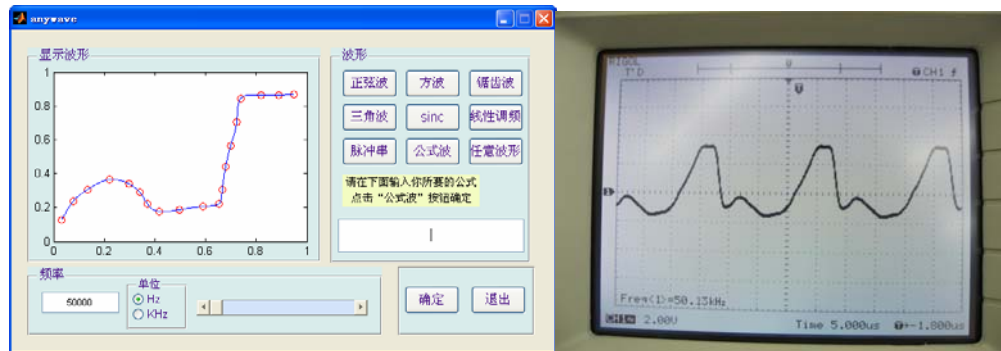


图 21 绘图法输入的 GUI 界面和产生的任意波形

可以看到，本系统不仅可以产生方波、正弦波、三角波、锯齿波等常见波形，还可以实现真正意义上的任意波形。系统频率误差小于 1%，且具有很高的频率调制精度，实验结果符合各项设计指标。

5、总结

本系统采用 DDS 技术，通过基于 NIOS II 的 SOPC 系统实现了任意波形发生器。DDS 技术在相对带宽、频率转换时间、相位连续性、正交输出、高分辨率及集成化等一系列性能指标方面远远超过了传统频率合成技术所能达到的水平，为系统提供了优于模拟信号源的性能；而基于 NIOS II 的 SOPC 系统可以根据用户需要自由定制 CPU 及其外设，其灵活性和通用性使其成为未来系统设计的一大趋势。

本设计完成了任意波形发生器的软硬件设计和调试，实验结果表明，该波形发生器基本达到了设计要求。

参考文献

- [1] 李兰英等，NiosII 嵌入式软核 SOPC 设计原理及应用，北京航空航天大学出版社，2006
- [2] 江国强，SOPC 技术与应用，机械工业出版社，2006
- [3] Analog Devices, Inc., A technical tutorial on digital signal synthesis, 1999
- [4] 丁纪峰，任意波形信号发生器的研制，硕士论文（哈尔滨工业大学），2005
- [5] 王文华，基于 DDS 技术的任意波形发生器研究，硕士论文（浙江大学），2002
- [6] 刘成尧等，基于 CPLD 集成芯片 FLEX6016 实现 DDS 技术的任意波形发生器的研制，电测与仪表，

[7] Altera Corp., Quartus II V.6 Handbook Volume 4: SOPC Builder, 2006

原创性声明

本人声明所呈交的论文是本人在导师指导下进行的本科毕业设计工作及取得的研究成果。据我们所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果。

林丹、肖启俊、郑小燕

2007. 5

作者简介：

林丹：男，深圳大学电子科学与技术学院本科生

肖启俊：男，深圳大学电子科学与技术学院本科生

郑小燕：女，深圳大学电子科学与技术学院本科生

指导教师：龚向东，男，深圳大学电子科学与技术学院教授

作者联系方式：

姓名：林丹

单位：深圳大学电子科学与技术学院 03 级电子科学与技术专业

地址：广东省深圳大学学生宿舍西南一栋 304 号

邮编：518060

手机：13590483027

E-mail: mimi53880@163.com