

# 数字基带预失真系统中环路延迟估计的FPGA实现

作者：刘正平

指导老师：夏威，何子述

(电子科技大学 电子工程学院 成都 611731)

**摘要：**在数字基带预失真（DPD）系统中，反馈信号相对于输入信号有一段时间延迟，该延迟破坏了预失真系统的稳定性，故必须对其进行估计和补偿。本文基于 FPGA 芯片 Stratix II EP2S60F672C4 设计实现了数字基带预失真系统中的环路延迟估计模块。该模块运用了一种环路延迟估计新方法，此方法易于 FPGA 实现的同时在信号失真的情况下也能给出正确的估计结果。由 Modelsim SE 6.5c 的时序仿真和 SignalTaps II 的硬件调试结果验证了本文所设计模块的有效性。

**关键词：**功率放大器；数字基带预失真；相关；环路延时估计；FPGA

中图分类号：TN919.8

文献标识码：A

## An FPGA Implementation of Loop Delay Estimation in Digital Predistortion System

Author: LIU Zheng-ping

Tutor: XIA Wei, HE Zi-shu

(University of Electronic Science and Technology of China, School of Electronic Engineering, Chengdu 611731)

**Abstract:** In digital predistortion system, there exists loop-delay between feedback signal and input signal, which will destroy the stability of digital predistortion system. Therefore, it is important to estimate and compensate this loop-delay. Based on FPGA chip Stratix II EP2S60F672C, this paper designed and implemented a loop-delay estimation model in predistortion system. This model used a novel method of estimate the loop-delay, which is easy to implement in FPGA, and can give the right loop-delay estimation value under the condition of signal distortion. The timing simulation result of Modelsim SE 6.5c and hardware debugging result of SignalTap II verified the valid of the model designed in this paper.

**Key words:** Power Amplifier (PA); Digital Pre-distortion (DPD); Correlation; Loop-delay Estimation; FPGA

### 1 引言

随着现代无线通信产业的快速发展，为了充分利用有限的无线频谱资源，现代通信系统广泛采用正交调制和多载波技术。然而这些技术对发射端前置高功率放大器（HPA）的线性度提出了非常高的要求<sup>[1]</sup>。在功率回退技术、负反馈法、前馈线性化技术和数字预失真技术等常用的线性化技术中，数字基带预失真技术因为其成本低廉而得到了广泛的应用<sup>[2-3]</sup>。

基于查找表(LUT)数字基带预失真（DPD）系统<sup>[4-6]</sup>的结构框图如图 1 所示。在学习过程中，DPD 需要正确对比输入信号  $x(n)$  和功率放大器输出端的反馈信号  $z(n)$ ，通常反馈信号相对于输入信号有一段时间延迟，这就破坏了预失真系统的稳定性，因此正确估计环路延时并对其进行补偿就显得十分必要。

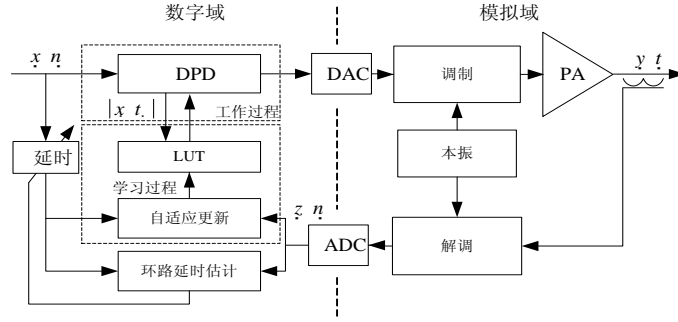


图 1 基于查找表(LUT)的数字基带预失真(DPD)系统的结构框图

近年来，国内外学者对环路延时估计进行了分析并提出了一些估计算法，如迭代法(Nagata algorithm)<sup>[4]</sup>、延时锁定环路法(DLL method)<sup>[7]</sup>、相关检测法(Correlation method)<sup>[8]</sup>和周期分量法<sup>[9]</sup>等等，它们都有各自的优缺点。本文结合文献[10]提出的幅度差相关法(Amplitude-difference correlation function)和文献[11]根据数据流相关运算提出的改进算法，提出了新的方法。该方法在用于 FPGA 实现时其难度要低于文献[10]，同时在信号失真的情况下也能给出正确的估计值。

## 2 环路延时估计算法

环路延时是指信号从系统输入端到反馈输出端所产生的时间延迟，如图 1 所示。通常，反馈信号  $z(n)$  相对于输入信号  $x(n)$  都会有一段时间的延迟，并且该延迟会随着时间和温度的改变而改变，故需要对其进行实时估计。

### 2.1 文献[10]和[11]提出的环路延时估计算法

文献[10]提出的幅度差相关法(Amplitude-difference correlation function):

$$R(m) = \sum_{n=0}^N D[x(n)]D[z(n-m)] \quad (1)$$

其中  $N$  为采样数据长度， $m$  为输入信号  $x(n)$  与反馈信号  $z(n)$  之间的时间差，取值范围为： $m \in [0, N]$ ，幅度差函数  $D[g]$  的定义为：

$$D[x(n)] = \text{sign}(|x(n)| - |x(n-1)|) \quad (2)$$

其中  $|x(n)|$  为信号的幅度， $\text{sign}(g)$  的定义为：

$$\text{sign}(d) = \begin{cases} 1 & d > 0 \\ 0 & d = 0 \\ -1 & d < 0 \end{cases} \quad (3)$$

此算法是通过搜索  $R(m)$  的最大值得到延迟的估计值。其通过对信号幅度的差取符号，大大减少了运算量，但由文献[12]可知，其在 FPGA 实现时，需要复杂的时序控制，可实现度不高。

数据流相关运算的表达式如(4)所示：

$$R(m) = \sum_{n=1}^N x(n+m)z^*(n) \quad (4)$$

文献[11]根据数据流相关运算提出了改进算法，仅用减法器就可实现整数倍的延迟估计。其表达式如(5)所示：

$$R(m) = \sum_{n=1}^m \left\{ |\operatorname{Re}(z(n)) - \operatorname{Re}(x(n+m))| + |\operatorname{Im}(z(n)) - \operatorname{Im}(x(n+m))| \right\} \quad (5)$$

其中  $\operatorname{Re}(\square)$  和  $\operatorname{Im}(\square)$  分别表示取信号的实部和虚部， $|\square|$  表示取绝对值。

此算法，采用的是误差叠加的思路，通过误差的叠加尽量放大两信号之间的差异。当无整数倍延迟偏差时，两组数据差值最小，故可以通过搜索  $R(m)$  的最小值得到整数倍环路延迟的估计值。

由(5)式可知此算法具有运算复杂度低和易于实现的优点，但它要求反馈信号未经衰落信道畸变及高斯噪声影响。

## 2.2 提出的环路延迟估计方法

针对上述两种算法的不足，本文提出了新的方法。该方法不仅结合了上述两种算法的优点，同时克服了它们的不足。

$$R(m) = \sum_{n=1}^N |D[z(n)] - D[x(n-m)]| \quad (6)$$

其中  $|\square|$  表示取绝对值，其他符号的定义与文献[10]一样。

由 PA 输入、输出两组数据具有一定的相关性可知，当没有整数倍延迟偏差时，两组数据差值最小，故可以通过搜索  $R(m)$  的最小值得到整数倍环路延迟的估计值。

对比(6)式和(1)式可知，本方法在用于 FPGA 实现时比文献[10]要少一个求  $D[x(n)] - D[z(n-m)]$  的步骤；同时本方法在求相关时只涉及到加减运算，故其时序控制比文献[10]简单。对比(6)式和(5)式可知，本方法先通过(2)式保留信号的变化信息，再通过(6)式保留输入信号和反馈信号之间的相似性，故其不用像文献[11]那样要求反馈信号需未经衰落信道畸变及高斯噪声影响。不过，本方法和其他相关算法一样要求输入信号的周期必须大于环路延时的值。

## 3 Matlab仿真结果及分析

为了验证本文所提方法的有效性，本节对第 2.2 部分提出的算法进行了仿真分析。仿真所采用的系统框图如图 2 所示，其中 PA 行为模型采用的是并行维纳结构，OFDM 信号延迟了 22 个周期。为了验证算法的鲁棒性，本文还给出了算法在反馈信号  $z(n)$  相对于输入信号  $x(n)$  失真不同程度的情况下的环路延迟估计值。

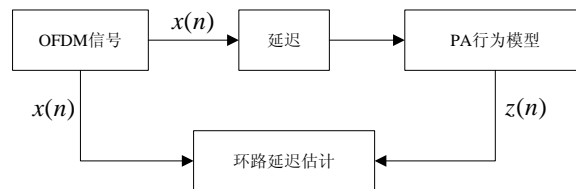


图 2 仿真所用的系统框图

图 3 到图 5 是 MATLAB 的仿真结果。图 3 是输入信号  $x(n)$  的功率谱密度，图 4 分别是输入信号经过 PA 后未加噪声、加了  $\text{SNR}=30\text{dB}$  和  $\text{SNR}=20\text{dB}$  的高斯白噪声后，反馈信号  $z(n)$  的功率谱密度图。对比图 3 和图 4 可看出，反馈信号  $z(n)$  相对于输入信号  $x(n)$  的失真

情况。

图 5 是用本文所提出的方法，对图 3 和图 4 中的信号进行环路延迟估计给出的估计值。由图 5 可知，当反馈信号的失真变严重时，本文提出的方法也能给出正确的环路延迟估计值，从而证明了本文所提方法的有效性。

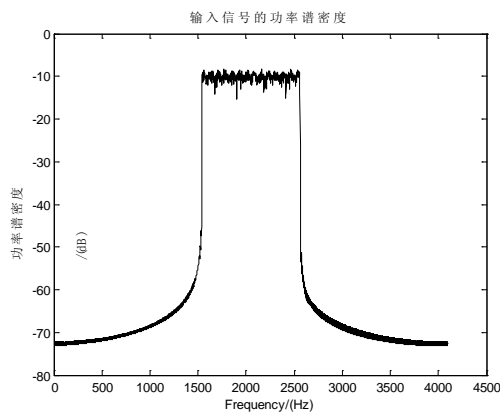


图 3 输入信号  $x(n)$  的功率谱密度

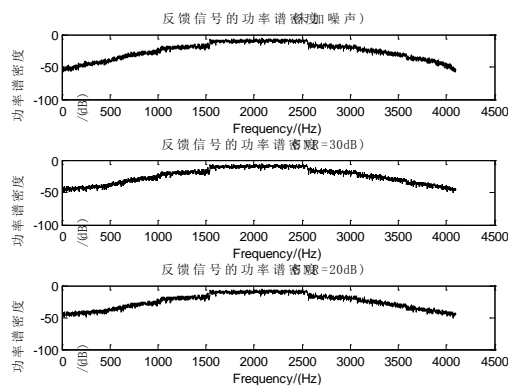


图 4 输入信号经过 PA 后未加噪声、加了 SNR=30dB 和 SNR=20dB 高斯白噪声后反馈信号  $z(n)$  的功率谱密度

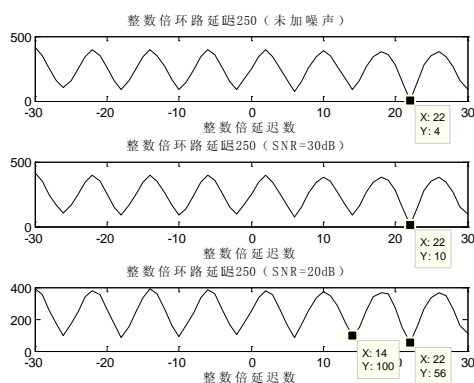


图 5 输入信号相同，PA 输出信号不同的情况下，用本文所提出的方法给出的估计值

## 4 环路延时估计的FPGA实现

根据实际数字基带失真系统的需要，环路延时估计在用 FPGA 芯片 Stratix II EP2S60F672C4 实现时，“相关窗”的长度  $L$  取 250，一共做了 60 次相关即  $k \hat{1} (0,60)$ ，其实现的结构框图如图 6 所示。本模块的输入为 16Bit 速率为 30Msps 的数字基带信号，输出数据的速率为 120Ksps。

由图 6 可知，环路延时估计共分为 6 个子模块来实现，其中除了搜索最小项模块的时钟是 12kHz 外，其他模块均使用的是 30MHz 的时钟。

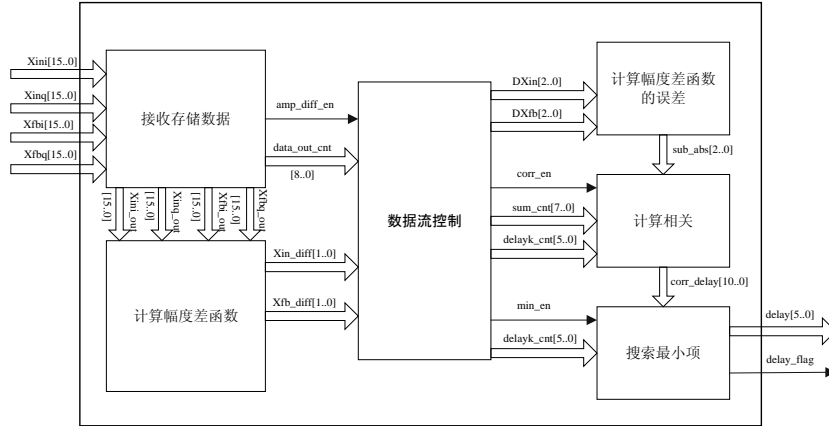


图 6 整数倍环路延迟估计的实现结构图

### 4.1 接收存储数据模块

为了提高估计精度，需把最初收到的 200 个数据丢掉，故在 4 块 RAM 中分别存入 510 (200 + 250 + 60) 个位宽为 16 位的  $X_{ini}$ 、 $X_{inq}$  和  $X_{fbi}$ 、 $X_{fbq}$  四路信号，其中  $X_{ini}$ 、 $X_{inq}$  为输入信号的 I、Q 两路， $X_{fbi}$ 、 $X_{fbq}$  为反馈信号的 I、Q 两路。

### 4.2 计算幅度差函数模块

由于使用信号幅度的平方代替幅度计算幅度差函数不改变幅度差函数  $D[\cdot]$  的计算结果，同时 FPGA 中实现幅度的平方比幅度的复杂度更低；故本模块先对 311 个数据根据(7)式计算出幅度的平方，再根据(2)式的变形(8)式计算出幅度差函数  $D[\cdot]$  的值。

$$|x(n)|^2 = x_i^2(n) + x_q^2(n) \quad (7)$$

$$D[x(n)] = \text{sign} \frac{\text{当前}}{\text{前}} |x(n)|^2 - |x(n-1)|^2 \quad (8)$$

### 4.3 计算幅度差函数的误差模块

本模块的功能是求出  $|D_{\text{当前}}(n) - D[x_{in}(n-k)]|$  的值，以供计算相关模块使用。

### 4.4 计算相关模块

本模块是根据(6)式计算相关，其中  $L=250$ ， $k \hat{1} (0,60)$ ，其流程图如所示，其中  $\text{sum\_cnt}$  和  $\text{delayk\_cnt}$  分别为求和和计算相关的计数器，它们是由数据流控制模块产生的， $\text{corr\_delay}$  和  $\text{corr\_delay\_reg}$  分别为相关值和计算相关中间值的寄存器。最后将计算出来的相关值 ( $\text{corr\_delay}$ ) 直接输入到搜索最小项模块中找出最小值。

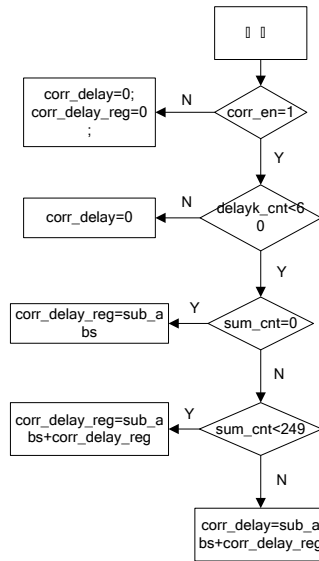


图 7 计算相关模块的流程图

#### 4.5 搜索最小项模块

由于计算相关模块是对250个数求和，故搜索最小项模块的时钟频率为前面几个模块时钟频率的1/250即12kHz。本模块采用的是最简单的数据比对存储实现法，即当然输入的数据与前一个输入的数据相比较，存储较小的数据及其自变量m的值，60组数据比对完成后，存储在FPGA寄存器中的m值即是所要估计的整数倍环路延迟数目。本模块的流程图如图7所示，其中delay和delay\_flag为输出的延迟数和标志位，delay\_reg为delay的寄存器，corr\_delay为相关模块求出的相关值，corr\_delay\_reg初始化为第一个corr\_delay的值，之后就寄存较小的相关值用于比较，delay\_cnt为输入corr\_delay的计数器。

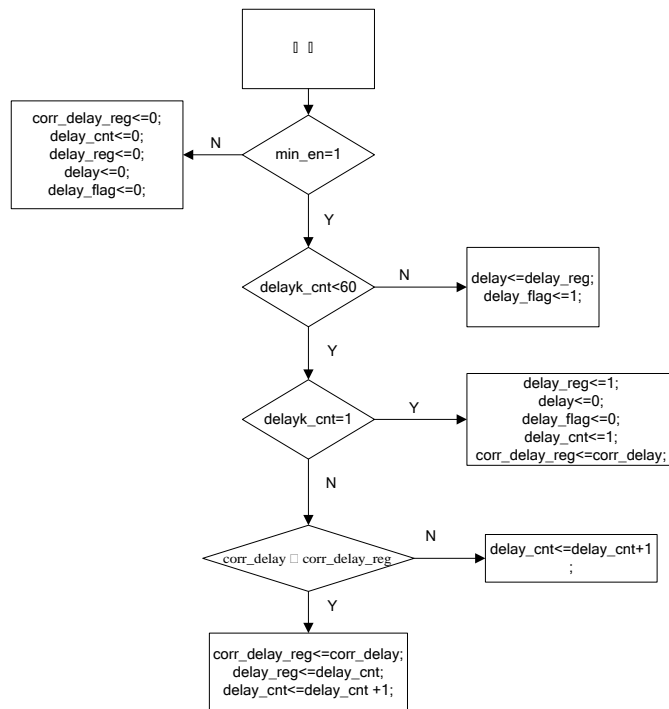


图 8 搜索最小项模块的流程图

## 4.6 数据流控制模块

为了保证各个模块能按既定的顺序工作，需增加一个数据流控制模块，其流程图如图8所示。其中receive\_en、amp\_diff\_en、corr\_en和min\_en分别为接收存储数据模块、计算幅度差函数模块、计算相关模块和搜索最小项模块的使能信号，receive\_cnt和data\_out\_cnt分别为接收数据的计数器和从接收存储数据模块输出数据到计算幅度差函数模块的数据输出计数器。由于本模块中用了两个always块，故有两个流程图。

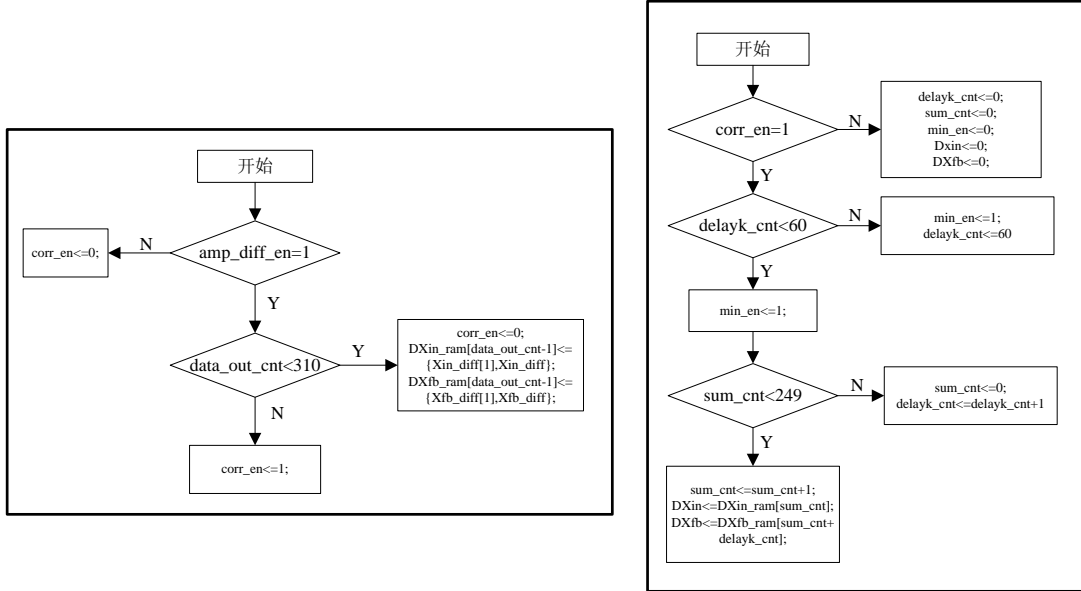


图 9 数据流控制模块的流程图

## 5 系统调试与全文总结

### 5.1 系统调试

本文的设计经 Quartus II 7.2 全编译之后，其编译报告如图 9 所示。由图可知，此模块只使用了很少一部分资源，这就为数字基带预失真系统其他模块的设计提供了足够的资源。

Flow Status	Successful - Thu May 12 16:33:29 2011
Quartus II Version	7.2 Build 151 09/26/2007 SJ Full Version
Revision Name	data_amplitude_delay
Top-level Entity Name	data_amplitude_delay
Family	Stratix II
Device	EP2S60P672C4
Timing Models	Final
Met timing requirements	Yes
Logic utilization	4 %
Combinational ALUTs	1,144 / 48,352 ( 2 % )
Dedicated logic registers	1,251 / 48,352 ( 3 % )
Total registers	1251
Total pins	79 / 493 ( 16 % )
Total virtual pins	0
Total block memory bits	295,756 / 2,544,192 ( 12 % )
DSP block 9-bit elements	8 / 268 ( 3 % )
Total PLLs	0 / 6 ( 0 % )
Total DLLs	0 / 2 ( 0 % )

图 10 系统资源占用情况

为了验证所设计模块的通用性，本文对比了输入信号分别为八音信号和OFDM信号时，输入信号没有激发PA的非线性和激发了PA的非线性四种情况下，整数倍环路延时估计模块给出的估计值，输入信号和反馈信号的功率谱如图10-图13所示。

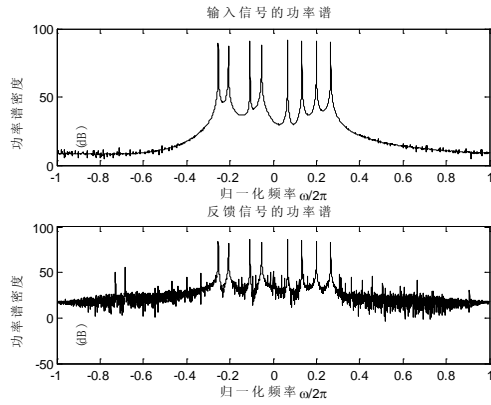


图 11 PA 输入和输出信号的功率谱，该八音信号没有激发 PA 的非线性

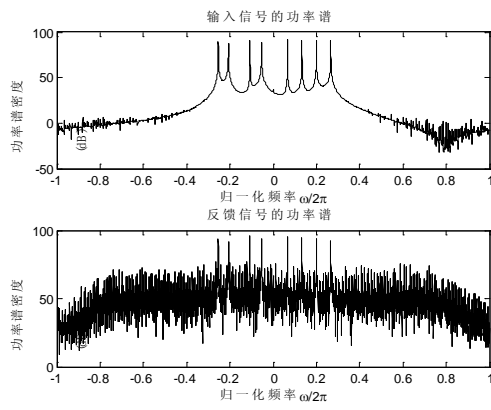


图 12 PA 输入和输出信号的功率谱，该八音信号激发了 PA 的非线性

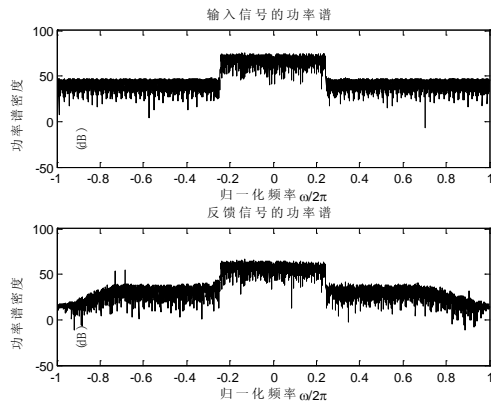


图 13 PA 输入和输出信号的功率谱，该 OFDM 信号没有激发 PA 的非线性

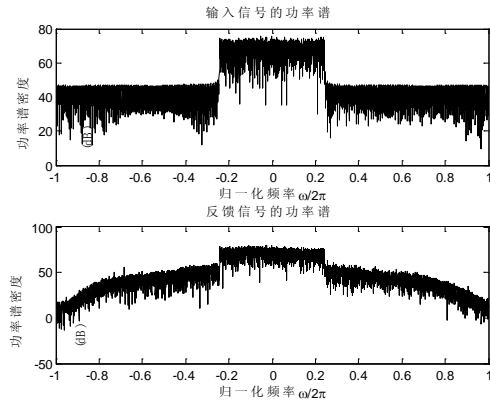


图 14 PA 输入和输出信号的功率谱，该 OFDM 信号激发了 PA 的非线性

将图10-图13中的信号导入Modelsim SE 6.5c进行时序仿真，仿真结果分别如图14-图17所示。同时，它们在MATLAB中理论仿真结果如图18-图21所示。对比图14-图21可知，本文所设计的实现方法是正确的。

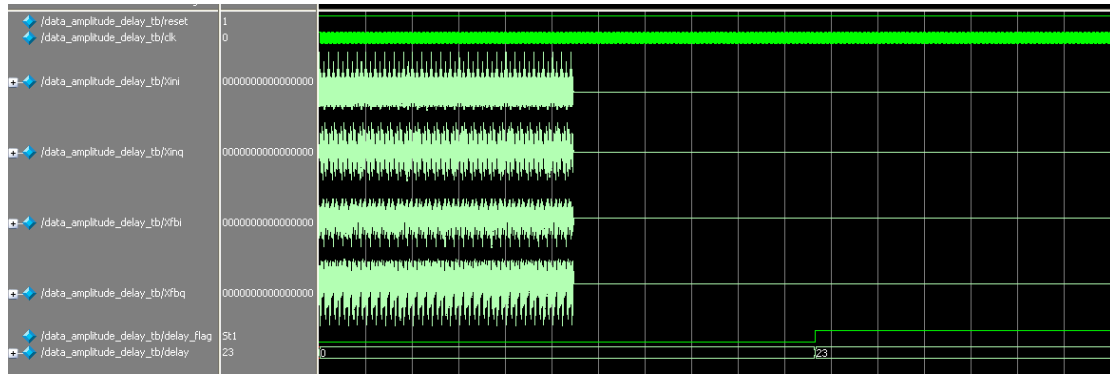


图 15 八音信号没有激发 PA 非线性的情况下的整数倍环路延迟估计

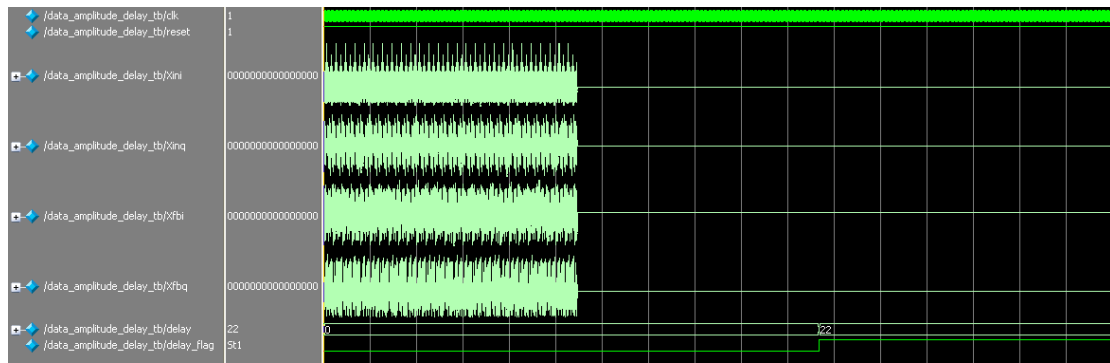


图 16 八音信号激发了 PA 非线性的情况下的整数倍环路延迟估计

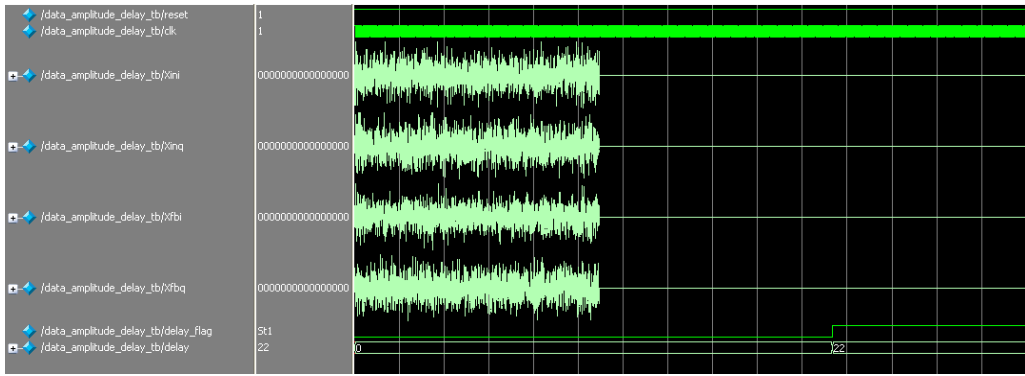


图 17 OFDM 信号没有激发 PA 非线性的情况下的整数倍环路延迟估计

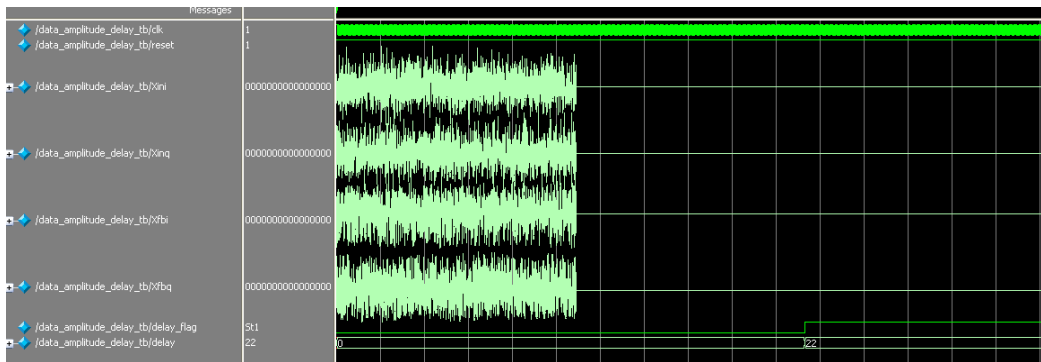


图 18 OFDM 信号激发了 PA 非线性的情况下的整数倍环路延迟估计

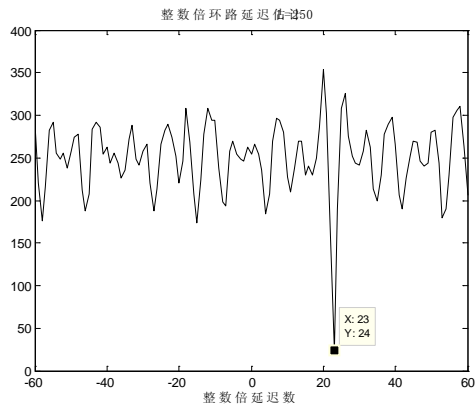


图 19 八音信号没有激发 PA 非线性的情况下的整数倍环路延迟估计

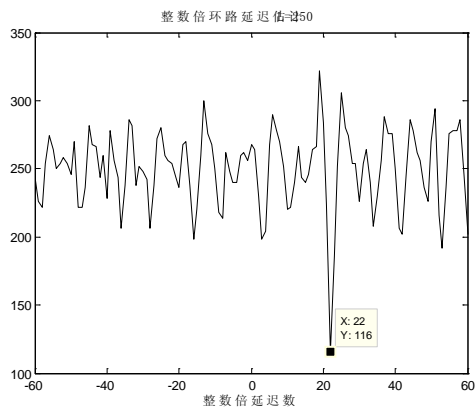


图 20 八音信号激发了 PA 非线性的情况下的整数倍环路延迟估计

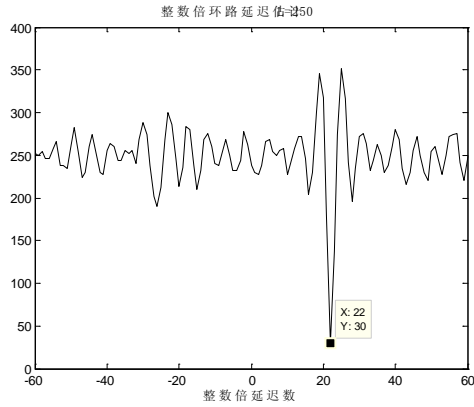


图 21 OFDM 信号没有激发 PA 非线性的情况下的整数倍环路延迟估计

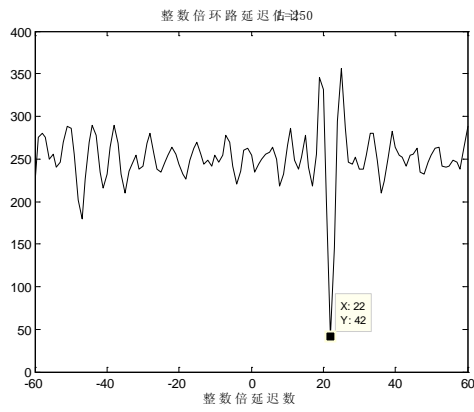


图 22 OFDM 信号激发了 PA 非线性的情况下的整数倍环路延迟估计

最后把本文所设计的整数倍环路延迟估计模块加入到数字基带预失真系统中,进行系统测试。系统测试框图如图22所示,其中信号源产生的信号为八音信号,该信号激发了PA的非线性特性,DDC和DUC分别为数字下变频和数字上变频。在SignalTap II中抓取的结果如图23所示,由图可知,该模块的功能是正确的。

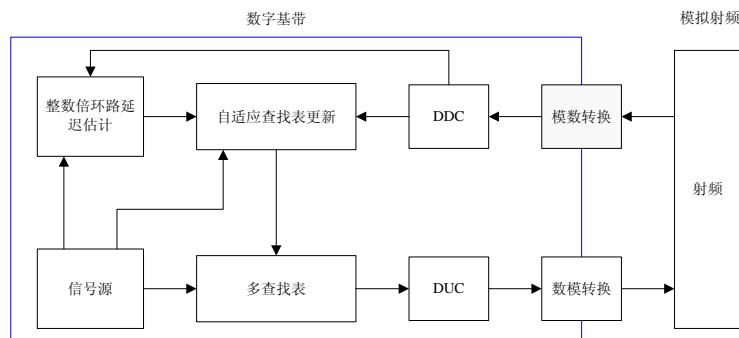


图 23 数字基带预失真系统的系统框图

Type	Alias	Name	0	4096	8192	12288	16384	20480	24576	28672	32768	
		delay	22									
		delay_flag										
		reset										

图 24 SignalTap II 中整数倍环路延迟估计模块给出的估计值

## 5.2 全文总结

本文针对数字基带预失真系统中的延迟估计问题，提出了一种易于 FPGA 实现的整数倍环路延迟估计的方法。由 MATLAB 仿真结果可知，本文所提出的方法，在信号失真的情况下能正确给出环路延时的估计值，从而证明了该方法的有效性。最后，本文基于 FPGA 芯片 Stratix II EP2S60F672C4 设计实现了整数倍环路延迟估计模块，由 Modelsim SE 6.5c 时序仿真和 SignalTap II 的硬件调试结果与 MATLAB 理论仿真结果对比可知，该实现方法是可行的。本文设计的环路延迟估计模块已经应用于数字基带预失真系统。

## 参考文献

- [1] Ai B, Yang Z X, Pan C Y, et al. Improved LUT technique for HPA nonlinear pre-distortion in OFDM systems [J]. Wireless Personal Communications (S0929-6212), 2006, 38(4): 495-507.
- [2] Z. Anding, P. J. Draxler, J. J. Yan, et al. Open-loop digital predistorter for RF power amplifiers using dynamic deviation reduction-based Volterra Series. Microwave Theory and Techniques, IEEE Transactions on, vol. 56, no. 7, pp. 1524-1534, 2008.
- [3] G. Montoro, P. L. Gilabert, E. Bertran, et al. A new digital predictive predistorter for behavioral power amplifier linearization. Microwave and Wireless Components Letters, IEEE, vol. 17, no. 6, pp. 448-450, 2007.
- [4] Y. Nagata. Linear amplification technique for digital mobile communications. In Vehicular Technology Conference, 1989, IEEE 39th, 1989, pp. 159-164 vol.1.
- [5] J. K. Cavers. Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements. IEEE Transactions on Vehicular Technology, vol. 39, no. 4, pp. 374-382, Nov. 1990.
- [6] K. J. Muhonen, M. Kavehrad, and R. Krishnamoorthy. Look-up table technique for adaptive digital predistortion: A development and comparison. IEEE Transactions on Vehicular Technology, vol. 49, no. 9, pp. 1995-2002, sep. 2000.
- [7] T. Shigang, G. Ke, W. Jun, et al. Loop delay correction for adaptive digital linearization of power amplifiers. In Wireless Communications and Networking Conference, 2007.WCNC 2007. IEEE, 2007, pp. 1987-1990.
- [8] Jeckeln, et al. Adaptive digital predistortion for power amplifiers with real time modeling of memoryless complex gains. Jun, 2002, US Patent No.6, 072, 364.
- [9] FAULKNER M, JOHANSSON M. Adaptive linearization using predistortion2experimental results. IEEE Transactions on Vehicular Technology, November 1994, 43(2).
- [10] Hao Li, Dae Hyun Kwon, Deming Chen, et al. A fast digital predistortion algorithm for radio-frequency power amplifier linearization with loop delay compensation. IEEE Journal of selected topics in signal processing, vol.3, No.3, pp. 374-383, June 2009.
- [11] 艾渤, 钟章队, 朱刚, 许荣涛, 丁建文. 放大器预失真系统中的环路延迟估计. 系统仿真学报, 2007, 19(19): 4487-4489
- [12] 戈立军, 吴军, 金宇昂. 一种低复杂度数字互相关器的设计及其FPGA实现. 南开大学学报(自然科学版), 2009, 42(4): 43-47

**原创性声明:** 本文作者郑重声明，该论文为原创性作品，是作者在导师的指导下，在攻读硕士学位期间，进行研究工作所取得的成果。根据作者所知，论文中除了参考文献列举的地方外，不包含其他人已经发表或撰写过的研究成果。