

基于 CycloneII 系列 FPGA 的数字化弧焊逆变电源的设计

朱伟建, 陈国呈

上海大学电力电子与电力传动专业, 上海 200072

摘要: 本设计充分利用 ALTERA 公司的 Cyclone II 系列 FPGA 的特性, 构建了逆变弧焊电源的数字化控制系统。本设计在 FPGA 中实现数字化的 PI 和数字化的 PWM 控制。数字化控制实现了焊接过程信息实时提取处理, 而且对输出电流有很好的控制。

关键词: 数字化; 现场可编程门阵列逻辑器件; 脉宽调制; 逆变

中图分类号: TM924 文献标识码: A 文章编号:

Digital Design of Arc Welding Inverter Power Supply Based on CycloneII

ZHU Wei-jian, CHEN Guo-cheng

Shanghai University Power Electronics and Electrical Transmission, Shanghai, 200072

Abstract: This paper introduces the digital control system of arc welding inverter power supply which based on the high-performance CycloneII series FPGA and the microcontroller, and then presents the phase-shifting PWM waveform generation method which can be inserted by dead-time is designed based on FPGA, gives the simulation waves of the design, and finally analyses the merit of the FPGA-based strategy and the results have proved the correctness of the analysis and design. The application of digital PID and the digital PWM method is the paper's emphases. The results have verified the practicality and validity of the design. This design is also suitable for the high-power switching power supply with high current and low voltage output.

Keywords: Digital Control; Field Programmable Gate Array (FPGA); Pulse Width Modulator (PWM) ; Inverter

原创性声明:

本人声明: 所呈交的论文系本人在导师指导下独立研究所取得的成果, 本文系本人独自设计的未曾公开发表过的原创性作品。

1 引言

电力电子技术近年来迅猛发展, 随着对逆变电源性能以及效率等要求的越来越高, 在中大功率场合应用中, 对全桥电路的控制方式的研究也在不断改进, 其中移相控制方式作为一种理想的控制方式已成为大功率全桥 DC/DC 变换器的发展趋势。它的主要控制思想是: 在全桥逆变拓扑中, 每个桥臂上的两个开关管带死区的互补导通, 桥臂之间的位于对角线上的开关管导通相差一个移相角 α , 其中超前导通的桥臂一般被称为超前臂 (也叫固定臂), 另一个桥臂被成为滞后臂 (也称为移相臂)。目前在通信电源等开关电源领域, 移相全桥软开关拓扑是首选的电路结构之一, 专用的移相控制芯片也已在这些

场合大量应用。但针对中大功率应用领域, 目前的专用移相控制芯片仍然存在一定的不足。

本文采用 Altera 公司的 CycloneII 系列 FPGA 芯片实现了基于移相 PWM 全桥控制模式的脉宽调制输出实现了大功率逆变电源的设计, 简化了控制电路, 提高了可靠性, 并且本设计可应用于其他低压大电流输出的中大功率逆变电源场合 (即数字化开关电源领域), 应用领域广泛。

2 专用移相控制芯片

目前市场上常见的专用移相控制芯片主要有: Micro Leaner 公司的 ML4828, 以及 TI 公司的 UC3875 系列、UC3879、UCC3895 等等。

这几款专用移相控制芯片的关键性能参数如表 1 所示：

表 1 几款专用移相控制芯片的性能对比

参 数	ML4828	UC3875	UC3879	UC3895	单位
误差放大器 增益带宽	10M	11M	10M	6.5M	Hz
输出最大驱动电流	100	200	100	100	mA
可调死区时间	240~315	150~400	300~600	450~600	nS
过电流保护	1	2.5	2.5	2.5	V
软启动	支持	支持	支持	支持	

几款移相控制芯片的性能参数或多或少存在一定的区别，但它们基本的工作方式以及控制原理是完全相同的。下面以 UC3875 为例，其内部主要由脉宽调制信号产生电路、移相形成电路以及辅助电路 3 大部分构成。其中，脉宽调制部分由振荡电路、误差放大器及锯齿波发生器构成，其产生移相脉冲逻辑如图 1 所示。

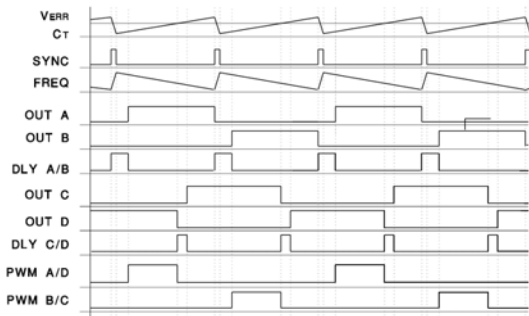


图 1 产生移相脉冲时序逻辑图

本设计之初的思路是利用现有专用移相控制芯片作为大功率逆变电源的控制核心，实现大功率逆变电源的移相全桥控制。在实际研究中，发现移相全桥控制芯片在应用到大功率逆变电源领域时存在不足。主要缺点有如下两点：

- 1、可设置的死区时间范围较小，可调死区时间过窄，
- 2、由于其芯片设计原理的根本性缺陷，存在临界点的滞环振荡问题。

其中，缺点 1 由表 1 的专用移相控制芯片的性能对比可以看出几款移相控制芯片可调范围无一例外的将其可调范围限定在

500nS 左右，而其可设置的死区时间均在 2~4μS 左右。这个时间等级在驱动以 MOSFET 高速器件为功率开关器件的中小功率逆变电源时是合适的，然而对于大功率逆变电源一般都以 IGBT 为开关器件，由于 IGBT 存在拖尾电流效应，其开关频率一般在 20kHz 至 60kHz，对于同一桥臂上下开关管的 IGBT 的死区时间必须大于 3 微秒，一般为 4~10 微秒。若使用目前的几款专用移相开关器件，均不符合要求。

缺点 2 则是在实际调试中发现的，由于移相芯片设计上固有的误差放大器内部输入阈值比较点，当移相控制芯片的误差输入给定端的输入值到达固定的该点时输出波形存在滞环振荡的现象。如图 2 所示为利用示波器无限余辉模式观测到的发生振荡时的 UC3875 输出 PWM 的抖动范围。

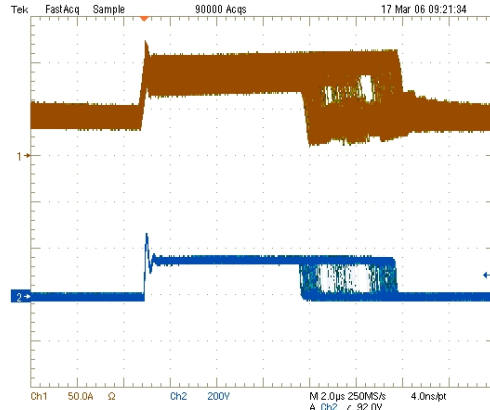


图 2 误差放大器输入值到达特定值点的滞环振荡

3 系统硬件设计

本设计采用的可编程逻辑芯片为 Altera 公司的 CycloneII 系列的 EP2C5T144C8 的 FPGA 芯片，其内部含有 4608 个逻辑单元、26 个 M4K 块（共计约 14K Bytes 的 RAM 存储单元）以及 2 个内嵌锁相环电路，EDA 设计环境为 Altera 公司的 Quartus II 集成开发环境，仿真软件为 ModelSim；单片机部分选用富士通公司的 16 位增强型单片机 MB90F352S。

可编程逻辑器件是指一切可以通过软件手段更改、配置器件内部连接结构和逻辑单元，完成既定设计功能的数字集成电路。随着电子工艺的不断改进，现代数字电路的发展速度很快，低成本高性能的 FPGA/CPLD 器件不断推陈出新，使其成为硬件设计的首选方式之一。目前常用的可编程逻辑器件主

要有复杂可编程逻辑器件 (CPLD) 和现场可编程逻辑阵列 (FPGA) 两种。本设计选用的 Cyclone II 的 EP2C5T144C8 器件提供了相当于 13 个 18 比特 x 18 比特的乘法器, 可以实现通用数字信号处理 (DSP) 功能, 如有限推动响应 (FIR) 滤波器、快速傅立叶变换 (FFT)、相关器、编/解码器和数字控制振荡器 (NCO)。与基于逻辑单元 (LE) 的乘法器相比, 嵌入式乘法器提供了更高的性能和逻辑效率。

把 FPGA/CPLD 应用于嵌入式控制系统, 同单片机结合起来, 更能体现其在系统可编程、使用方便灵活的特点。本文设计实现的数字化弧焊逆变电源, 利用单片机与可编程逻辑器件共同构建数字控制系统, 如图 3 所示, 单片机用以统筹整个焊接过程的控制管理, 而复杂的算法和逻辑控制包括 PID 算法和 PWM 生成策略均由可编程逻辑器件 FPGA 完成, 外围电路可以大大简化, 提高系统的可靠性。

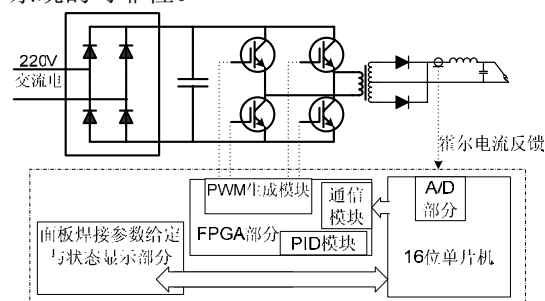


图 3 弧焊逆变电源数字控制系统框图

其主要控制思想为: 系统通过霍尔电流反馈实时采样输出电流信号, 将反馈通过 16 位富士通单片机中自带的 10 位 A/D 转换(最快转换速率达 3μS), 将模拟量转换为数字量并实时送入 FPGA 中。另外同时将面板参数给定也送入 FPGA 中, 通过在 FPGA 中的 PID 算法模块生成控制 PWM 模块占空比的参数给定, 最后由 PWM 模块输出四路驱动波形, 从而完成了整个系统的一个周期的运转。

4 FPGA中主要模块的设计

完整的 FPGA/CPLD 设计流程应包括: 电路设计与输入、功能仿真、综合、综合后仿真、实现、布线后仿真与验证、板级仿真验证与调试等主要步骤。

本设计通过 Verilog HDL 语言完成各部分模块的设计与生成, 仿真验证则是通过编

写测试文件 TestBench 在 ModelSim 环境下仿真, 最后均在 QuartusII 环境综合并下载到 EP2C5 中运行。限于篇幅, 以下各模块的说明中均未给出具体的 Verilog 语言的源程序, 仅说明各模块的具体功能和实现方法。

下面仅介绍本设计 FPGA 中主要的四个模块: PID 算法模块、PWM 生成模块、死区模块和安全互锁模块。

各模块连接框图如图 4 所示,

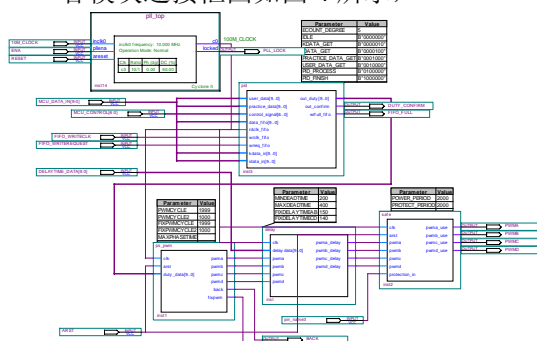


图 4 FPGA 中主要模块连接示意图

本设计中用到的主时钟为 10MHz 的有源晶振产生的时钟信号进入 FPGA 后经内部的 PLL 锁相环倍频至 100MHz。

下面按照连接顺序, 先介绍 PID 算法模块, 模块图例如下图 5 所示:

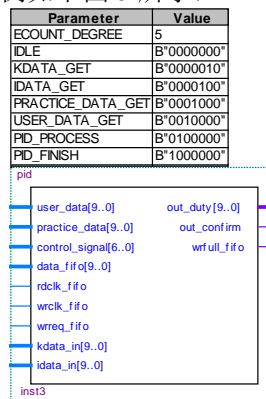


图 5 PID 模块

PID 控制以其控制思想简单、参数易于整定、发展成熟的特点, 广泛应用于工程实践之中。本设计中将连续时间范围内的 PID 控制器转换成离散的差分方程可得:

$$u(k) = K_p e(k) + K_i T \sum_{i=0}^k e(i) + \frac{K_D}{T} [e(k) - e(k-1)]$$

在 FPGA 中实现该功能的流程为: 通过单片机的控制信号决定状态机流程, 比例系数与积分系数都由单片机在开机后给定, 然后通过 FPGA 中 FIFO 存储器接口, 将反馈

电流值与给定值源源不断传送到 FPGA 中，在 FPGA 中通过对给定值与反馈值的误差累积作为积分系数的被乘数，并将实时的反馈值与当前给定值的误差值作为比例系数的被乘数，最终生成一个 10 位的占空比控制数据用于输出到 PWM 生成模块中，控制即时输出 PWM 的占空比大小。需要注意的是由于存在着饱和特性。当控制变量达到一定值后，系统的输出变量不再增长，系统进入饱和区。这就要求系统的控制输出量必须限制在最大占空比输出的范围之内，即对控制量的变化率也有限制，若计算得之控制量超出了上述范围，系统实际执行的不是控制量的计算值，而是控制量的最大值。尤其在开机或大幅度改变给定值的情况下需要采用限幅 PID 算法。

数字控制器的稳态性能会因 A/D 的灵敏度和固有延迟所影响。变换器采样输出电压，计算新的占空比及更新占空比需要一定的时间，所以有一定的时间延迟。最大的延迟不能超过一个开关周期，即确保每个开关周期都能受控。

图 6 所示为 PWM 生成模块的图例，其生成思想如下：

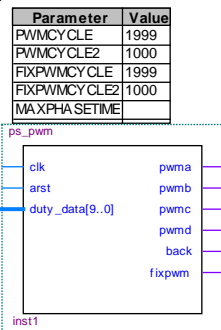


图 6 PWM 生成模块

首先依据锁相环输出的 100M 的主时钟作为基准时钟信号，对其进行计数分频得到 50K 的固定时钟信号，则此模块的四路输出信号均依据此恒定的 PWM 信号作为基准源得到，从根本上保证了四路输出的同步性。在生成策略上，则是对输出的每个开关周期对主时钟按照由 PID 模块给定的占空比数值进行计数，从而得到占空比大小跟随输出响应的 PWM 波形，最终得到的是四路占空比不断跟随输出反馈变化的 PWM 波形，其频率为 50KHz，占空比调整精度为 1/1000。此运转思想同样适用于其他数字化开关电源场合。

而图 7 则是死区生成模块和安全互锁用

于保护的模块，从根本上讲两个模块都是为了保证生成的 PWM 驱动波形不出现失调和防止由于一些意想不到的原因造成的失控，造成功率开关管的直通损坏。

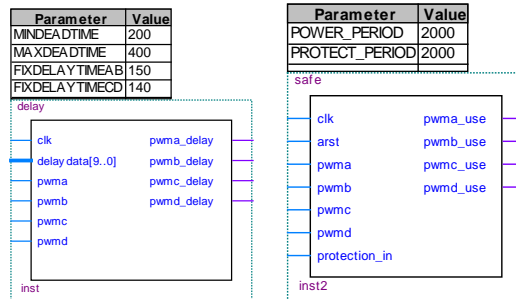


图 7 死区模块与保护模块

其中，死区模块的原理很简单，即在四路 PWM 波形的上升沿时都插入一个以主时钟计数的可调的低电平时间，最终输出则以每路 PWM 波形与每路生成的低电平相与，从而得到带死区的 PWM 波形，而且该死区时间可以任意调整，具有最大的灵活性，适用范围广泛。而保护模块的主要功能则是互锁每个桥臂上的波形，防止直通造成的损坏，同时它还根据整个逆变电源系统即时的运转状态在出现保护信号时如过热、过压、欠压等任一非正常状态出现时即封锁输出 PWM 脉冲保证整个逆变电源系统安全。

在本设计中用的 Cyclone II 中特定模块包括 PLL 锁相环、FIFO 寄存器、乘法器等均由 Quartus II 自带的工具 The MegaWizard Plug-in Manager 生成，既方便快捷，可综合性又好，建议能由该工具得到的功能块均使用之生成。

5 仿真与实验波形

下图 8、9、10 均为在 ModelSim 环境下得到的上述各模块的关键波形。仅截取部分波形供参考。

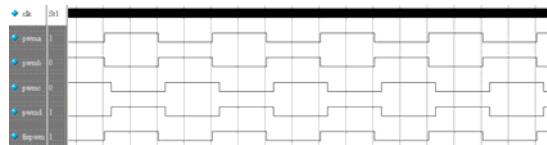


图 8 生成的 PWM 波形

图 8 为由 PWM 模块生成的波形，图中其中第一条波形为 100M 主时钟波形，由于太密集，已显现成一段黑块。最后一条波形则为固定的 50KHz 的 PWM 波形，作为相位参考基准，中间四路则为用于驱动模块的四路 PWM 脉冲，从图 8 可看出四路之间清晰

的移相关系。

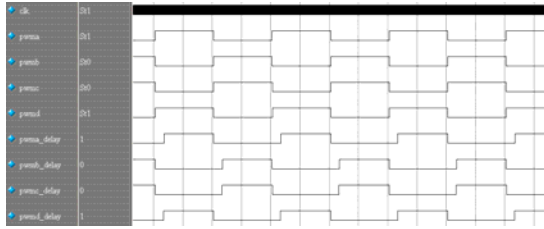


图 9 带死区的 PWM 波形

在图 9 中，除去第一条波形仍为主时钟信号外，前四路为 PWM 生成模块输出的四路波形，在此处作为死区模块的输入，而后四路波形为在前四路波形中加入死区后的波形输出。

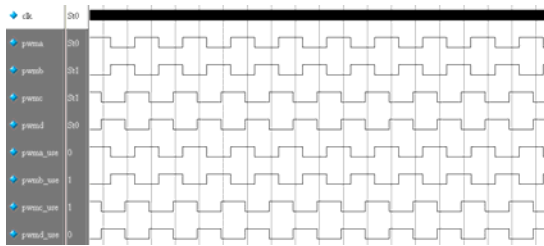


图 10 最终输出 PWM 波形

图 10 中，最后四路波形为最终输出用于驱动的四路 PWM 波形信号。

本设计所制作的主控板的实例照片如图 11 所示，



图 11 主控板实例照片

本设计的主控板在 WS-200 逆变弧焊电源上进行了验证，其输入电源电源为单相 AC220/230V 工频 (50Hz) 焊接电流的调节范围：10~200 安培，采用电流霍尔反馈。如下图 12、13 所示，其中图 12 中，通道 1 波形为输出电流波形曲线，通道 2 波形为霍尔电流反馈采样电阻上的电压波形曲线。通

道 1 每格为 50 安培，而通道 2 每格为 1 伏；可以看出，通过在宽负载范围中输出电流变化大范围变化时，本设计控制策略能够即时跟随输出变化，具有较快速的响应与跟随准确性。

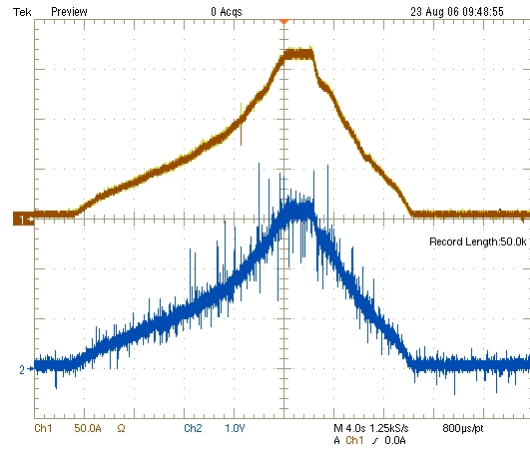


图 12 逆变电源输出电流波形

在下图 13 中，通道 1 波形同样为输出电流波形曲线，通道 2 波形为霍尔电流反馈采样电阻上的电压波形曲线。通道 1 每格为 50 安培，而通道 2 每格为 5 伏；可以看出，在正常焊接时恒定负载，输出的波形完全符合逆变电源恒流特性的输出设计要求。

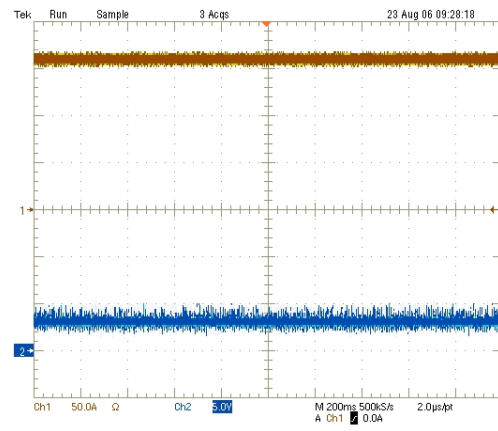


图 13 稳定输出时电流波形

6 总结

数字化 PI 的优势在于 PI 参数修改的方便性，这就使得电源在全负载区内均能获得良好的性能。由实际实验波形可看出，本设计获得较好的电流波形。在数字化的主控系统中配合数字化的 PWM，就避免了 D/A

转换环节,也提高了精度,另外,采用 FPGA 不仅可以实现数字化的 PWM,还可以实现一些所需的数字逻辑的数字电路功能,这就大大减小了控制板的面积和外扩元器件的数量,同时也使得系统的可靠性得以提高。

但是,从设计中也发现数字式 PWM 控制也存在不足,即数字式 PWM 以计数器当定时器,因此存在分辨率的问题,数字式 PWM 的定时器采用数字计数器,即若数字计数器的位数为 N (即计数值周期为 N+1;计数值周期不含时间概念,只有数值概念),则计数脉冲时钟的频率即为数字 PWM 的分辨率,而数字式 PWM 的分辨率就是其占空比可变化的最小值。用公式表示为:若计数器的计数值周期为 N+1,则数字 PWM 的分辨率为: $D=1/(N+1)$ 。模拟式控制时的 PWM 理论上可以为占空比区间内的任意值,不存在分辨率的问题,而数字式的 PWM 占空比为离散化的。

一点遗憾是,由于时间的关系,未能将本设计中的模块实现基于 WISHBONE 标准的 SOC 电路互连接口规范,否则本设计中的模块可以生成通用 IP,适用性更广。

下面则是本设计过程中的一些体会:

综合之前一定要进行仿真,这是因为仿真会暴露不少的逻辑错误,所以建议这样做。如果不做仿真,没有发现的逻辑错误会进入综合器,使综合的结果产生同样的逻辑错误。

阻塞和非阻塞赋值的语言结构是 Verilog 语言中最难理解概念之一,本人看到许多相关文献推荐可综合风格的 Verilog 模块阻塞和非阻塞赋值编程的八个原则,在本设计中严格遵守了它们,深感获益匪浅,在此也推荐出来:

- 1、时序电路建模时,用非阻塞赋值。
- 2、锁存器电路建模时,用非阻塞赋值。
- 3、用 always 块建立组合逻辑模型时,用阻塞赋值。
- 4、在同一个 always 块中建立时序和组合逻辑电路时,用非阻塞赋值。
- 5、在同一个 always 块中不要既用非阻塞赋值又用阻塞赋值。
- 6、不要在一个以上的 always 块中为同一个

变量赋值。

7、用 \$strobe 系统任务来显示用非阻塞赋值的变量值

8、在赋值时不要使用 #0 延迟

编写实用性强的模块是一件复杂而细致的工作,需要极其认真的工作态度和作风。另外,需要编写 testbench 对模块性能进行详尽完备的测试,才能保证其可靠性。

在本设计中,本人最喜欢使用的功能是 Quatus II 软件内嵌的 SignalTap II 嵌入式逻辑分析器。SignalTap II 逻辑分析仪在每个器件中支持逻辑分析仪 IP 函数的多个实例。此特性实现了器件中每个时钟域上单独且唯一的嵌入式逻辑分析仪功能。使用这个强大的功能总会带来意想不到的惊喜。

在本设计时,曾考虑到利用 Nios II 处理器设计集成性更强的片上可编程系统 (SOPC) 解决方案,但考虑到 FPGA 中并不内含 A/D 模拟部分,必须外加转换芯片。于是本设计选用了含有高速 A/D 转换的 16 位单片机作补充,于是就干脆未使用 Nios II 这个功能强大的内嵌处理器,甚感遗憾。给 ALTERA 公司一点建议是 希望将来能有一款内嵌 A/D 的 FPGA 芯片 (因为接口部分不可避免存在模拟量输入),这样 Nios II 内嵌处理器可以真正发挥性能,最终能做到单片片上可编程系统 (SSOPC)。

参考文献

- [1] 中国机械工程学会焊接学会编. 焊接手册. 焊接方法及设备: 第 1 卷 [M]. 北京: 机械工业出版社, 2001.
- [2] 陈国呈. 新型电力电子变换技术 [M]. 北京: 中国电力出版社, 2004.
- [3] Ulrich Nicolai...Ed. Application Manual Power Modules [M]. HongKong: SEMIKRON International. ISLE, 2000.
- [4] 王伟. Verilog HDL 程序设计与应用[M]. 北京: 人民邮电出版社, 2005.3
- [5] 刘光斌, 刘冬, 姚志成. 单片机系统实用抗干扰技术[M]. 北京: 人民邮电出版社, 2003.
- [6] ALTERA Corporation. Cyclone II Device Handbook [M]. July, 2005

- [7] 刘金琨. 先进 PID 控制及其 MATLAB 仿真 [M]. 北京: 电子工业出版社, 2003.1
- [8] 夏宇闻. Verilog 数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2003.7
- [9]张占松, 蔡宣三. 开关电源的原理与设计 (修订版) [M]. 北京: 电子工业出版社, 2004.
- [10]Ken Coffman (美) 著; 沈树群、张艳、吴京松译. 基于 Verilog 语言的实用 FPGA 设计[M]. 北京: 科学出版社, 2004.6
- [11]吴继华、王诚. Altera FPGA/CPLD 设计 (高级篇) [M]. 北京: 人民邮电出版社, 2005.7

作者简介

朱伟建 (1980-); 男; 山东籍; 硕士研究生; 研究方向: 电力电子与电力传动、逆变电源。

陈国呈 (1944-); 男; 福建籍; 教授; 博导; 主要从事电力电子变换及电机驱动, 高功率因数三相软开关PWM变流器, 太阳能、风能变频发电技术等。

联系方式:

姓名: 朱伟建

单位: 上海大学机电学院电力电子与电力传动专业

联系地址: 上海市延长路149号上海大学西部C3-207室

邮编: 200072

联系电话: 13162017985

E-mail地址: for.allen@gmail.com