

引言

便携式系统设计人员最关心怎样降低电池供电系统中所有元件的静态和动态电流。本应用笔记重点介绍 MAX[®] II CPLD 非常低的静态和动态功耗性能，回顾能够使 MAX II 器件达到零待机电流的电路设计方法。此外，MAX II 器件还可以用作智能功耗控制管理器，控制系统其他部分的上电和关电，实现零功耗。

电池供电便携式应用

在所有的电子设备中，功耗管理都非常关键，在便携式电池供电应用中这一问题尤其突出。最早的便携式电子设备包括计算器和收音机，近十年来已经发展为蜂窝电话、个人数字助理 (PDA) 和 MP3 播放器等流行的产品。便携功能不仅仅体现在消费类小产品上，许多商用设备也越来越多的采用了便携功能：

- 条形码扫描器
- 销售点终端
- 征税终端
- 电子收费读卡器
- PIN 识别系统
- 射频识别设备 (RFID) 读卡器 / 扫描器

随着蓝牙、无线保真 (WiFi) 和 802.11e 等无线标准的引入，许多工业应用不再受限于有线连接或者供电系统。无线革命促进了以下便携式工业应用的发展：

- 气体和有害物质传感器
- 全球定位系统 (GPS) 库存监控
- 产品线和监视摄像机
- 应变和应力仪
- 远程操作终端
- 虚拟专用网
- 测试测量设备
- 散热和空调 (HVAC) 监视控制系统

许多这类应用都是电池供电的。理想的电池是碱性电池、NiCad 以及锂聚合物电池。这些电池支持的工作电压范围在 3.2V (充满电时) 至 2.2V (放电时) 之间。在印刷电路板 (PCB) 上，工作范围最宽的器件效率也最高。本应用笔记介绍 MAX II CPLD 在电池供电便携式应用中的功耗优势，还介绍了 MAX II CPLD 系统中实现最佳功耗管理的参考电路和设计方法。

便携式系统中的功耗管理

功耗管理不是简单的获得最小待机功耗。功耗设计中有三个方面需要考虑：泄漏、简单性以及转换。

减少**泄漏**是系统设计人员最直接的功耗管理目标。功率泄漏有两个基本构成：静态功耗和动态功耗。在大多数应用中，动态功耗对于延长电池使用时间非常重要，而在某些应用中，静态功耗则更重要一些。对于电池供电不方便，设备只是偶尔运行的情况，静态功耗是最重要的因素。静态功耗比较重要的例子是远程 HVAC 控制面板。HVAC 控制面板只是偶尔使用，大部分时间处于休眠状态。动态功耗比较重要的例子是工业 PDA。PDA 处理器、显示器和背光光源都是必不可少的，是功耗的主要来源；而其他部分对总功耗和电池使用时间的贡献不大。而且，在 PDA 应用中，对电池使用时间进行优化，设备在电池放电期间工作，电池待机时间并不是大问题。

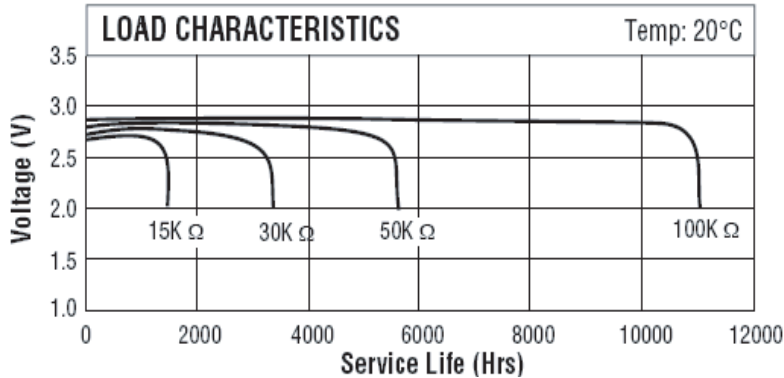
简单是功耗管理中另一个重要因素。虽然需要较低的动态和静态功耗，但是不能不考虑成本问题。电源系统应尽可能简单。在电池供电系统中，尽量不要采用多电源供电方式。有必要采用工作电压范围较宽的器件。将系统划分为多个电源域，每个电源域仅在工作时才启动——这是解决问题的一种方法。但是，多电源域系统必须具有灵活的控制机制，每一电源域容易上电和关电。MAX II 器件能够灵活的控制非常复杂的电源域。MAX II 对电源要求比较简单，具有热插拔特性，能够轻松管理动态受控电源域。

转换也是功耗管理的一个重要方面。一个典型的功耗管理系统经常从一种电源模式转换到另一种电源模式。系统中的元件从接通转换到关断，从关断转换到接通状态时，以及元件处于关断时，应认真考虑元件在不同状态下的特性。有的器件热插拔特性较差，在“关断”状态下可能会比“接通”状态下消耗更多的功率。Altera 对 MAX II 器件在所有状态和转换过程中的特性进行了研究，使设计人员能够针对具体应用选择最佳模式。

MAX II CPLD 功耗优势

MAX II 在电源系统中具有很多优势，有利于实现便携式应用。MAX II 器件提供两种内核电源选项。最常用的是具有内建内核电压稳压器的标准器件。180nm 内核 VCC 需要一个 1.8V 供电电压。支持 MultiVolt™ 内核的 MAX II 器件使用起来要比 CoolRunner II 方便的多。V_{CCINT} 范围达到 2.35V 至 3.6V，而内建稳压器为内核提供 1.8V 电源。如果实际应用比较适合采用 1.8V 内核电压，MAX II G 器件支持 1.65V 至 1.95V 的电源供电范围。电池供电系统的标准电压是 3.0V，既可以采用两节电池也可以采用一节锂聚合物电池。在这种系统中，电池供电在 3.2V 和 2.3V 之间变化，而 MAX II 器件能够连续工作。MAX II 器件还支持 MultiVolt I/O，V_{CCIO} 电压与内核电压稳压器范围相同。这样可以实现非常简单的电源系统，V_{CCIO} 和 V_{CCINT} 可以连接在一起，用于监控电池在其使用寿命范围内的电压下降。**图 1** 是锂聚合物电池典型的使用时间曲线。

图 1. 典型的锂聚合物电池使用时间曲线



在成本和功耗敏感的便携式系统中，MAX II 的 MultiVolt 内核特性非常有用。MultiVolt 内核稳压器需要一个典型值为 10mA 的额定偏置电流。虽然提供稳压器偏置电流有所不便，但是使用 MultiVolt 内核稳压器会带来更多的好处。支持宽工作范围 V_{CCINT} 的优势包括：

- 能够直接连接至电池供电
- 降低系统电源供电成本
- 支持更少的电源数量，简化 PCB 设计
- 单电源供电，不需要上电排序
- 简单的上电和关电控制

表 1 列出了各种可编程逻辑器件 (PLD) 的电源特性。第二列显示了电池供电的 3.3V I/O 便携式系统中所需的最少电源数量。在这种系统中，至少一个 I/O 块是 3.3V 供电。各种 PLD 的非 3.3V 内核以及各种辅助系统需要其他的电源供电。较少的电源供电数量具有明显的优势。MAX II 器件最少的电源供电数量是一个。而且，MAX II 器件为 2.5V 系统提供相同的单电源供电功能，甚至可以工作在电池供电便携式系统要求的 2.3V 至 3.2V 范围内。Cyclone 器件虽然需要双电源供电，但是在低成本 FPGA 中仍然是同类最佳的，较少的电源数量有助于实现低成本解决方案。

表 1 第三列是独立 I/O 块电压的数量。3.3V 是最常用的系统电压，有些应用利用 PLD 进行电压电平转换。与其他 CPLD 器件相比，MAX II 器件的 I/O 块数量最多。即使在只需要两个 V_{CCIO} 电平的情况下，四个 I/O 块也有优势，在为引脚分配电源时具有更大的灵活性。采用两个 V_{CCIO} 块，每一电源可分配一半的用户 I/O。如果第二块需要较少的信号，两个 V_{CCIO} 块会浪费一定的 I/O。四个 V_{CCIO} 块只需要四分之一的 I/O 分配给第二个 V_{CCIO} ，四分之三的 I/O 采用第一个 V_{CCIO} 。

表 1 第四列显示在上电时是否需要 VCC 电源进行排序。“否”是最好的，因为用户能够以任意顺序对 V_{CCIO} 、 V_{CCINT} 以及 V_{CCAUX} 进行上电或者关电。MAX II 对上电顺序没有限制。在 V_{CCIO} 和 V_{CCINT} 采用同一供电情况下，不需要进行上电或者关电排序。“是”表明如果不按照预先设定顺序进行上电，将导致出现电流浪涌、I/O 干扰，可能使系统进入暂停状态。要求特定的上电顺序会增加复杂度，提高系统总成本。不需要进行排序还避免了使用 PLD 来控制电路板上其他器件的上电排序。

表 1 第五列显示器件是否具有完全的热插拔保护。主要的热插拔问题是 PLD 没有加电时的 I/O 引脚泄漏。热插拔泄漏是当器件 V_{CCIO} 以及 V_{CCINT} 没有加电时，VCC 或者 GND 的 I/O 引脚漏电流。即使器件关断，热插拔漏电流也会流过 I/O 引脚，导致系统功耗增加。MAX II 器件具有非常低的静态热插拔漏电流，支持热插拔功能。设计人员在 PCB 上使用 3.3V、2.5V、1.8V 以及 1.5V 电压器件（这些器件以不同的模式进行关断）时，热插拔特性可以帮助他们轻松地进行设计。在便携式系统中，热插拔特性避免了 CPLD I/O 引脚上出现不需要的杂散漏电流通路，从而简化了系统的关断部分。

MAX II 器件的热插拔特性提供：

- 系统不需要关断便可以插入或者取出电路板和器件
- 支持任意上电顺序
- 热插入时，对系统总线的无影响 I/O 缓冲

热插拔特性具有多种优点。从电源角度考虑，最重要的优点体现在 V_{CCINT} 或者 V_{CCIO} 没有加电时通过 I/O 的漏电流上。MAX II 器件具有上面列出的热插拔三种特性，不需要外部元件或者进行专门的设计。热插拔的主要特点如下：

- 上电和关电前以及上电和关电期间可以驱动 I/O 引脚，不会造成损害。
- 上电期间 I/O 引脚保持三态；上电前以及上电期间不会驱动器件，不会影响其他总线的工作。
- 信号引脚不会驱动 V_{CCIO} 或者 V_{CCINT} 电源供电。
- 在 V_{CCIO} 或者 V_{CCINT} 加电前，如果将输入引脚驱动为高电平，不会出现静态漏电流（热插拔泄漏）。

最后一个特性对于便携式应用非常关键，利用这一特性使部分系统关断以延长电池使用时间。某些 CPLD 具有较高的漏电流，输入引脚驱动至 VCC 电平，而 V_{CCINT} 或者 V_{CCIO} 没有加电时，热插拔漏电流大约为 1mA 甚至更高。如果器件已经关断，但是系统另一部分还在工作，驱动 I/O 引脚为高

电平，那么 I/O 引脚上的漏电流要远远大于典型的待机电流。与某些竞争器件不同，MAX II 器件不通过其 I/O 加电，因此，可以关断，在系统其他工作部分对信号驱动状态的影响方面，没有复杂的限制。

表 1. 电源规格对比

系列	最少电源数量 (1)	最大 I/O 块数量	上电排序要求	热插拔泄漏
MAX II	1	4	否	否
MAX IIG	2	4	否	否
MachXO	2 (2)	4	否	是
MACH4000Z	2	2	否	是
CoolRunner II	2	2	是	是
Cyclone	2	4	否	否
Cyclone II	2	8	否	否
Spartan III	3	8	是	是

表 1 的注释：
 (1) 3.3-V I/O 电池供电系统中需要的电源数量
 (2) MachXO VCC 和 V_{CCIO} 工作在 1.71-3.465V 较大的范围内，而 VCCAUX 的工作在较小的 3.135-3.465V 范围内。

动态功耗优势

与传统 CPLD 器件相比，MAX II 的体系结构更接近 FPGA。在动态功耗方面，其体系结构具有多种优势，几乎没有缺点，甚至要优于互补金属氧化物半导体 (CMOS) CPLD 结构。MAX II CMOS FPGA 和 CMOS CPLD 体系结构之间不存在直流供电差别。

MAX II 器件在交流供电上的优点体现在逻辑实现上。MAX II 器件使用 4 输入查找表 (LUT) 来实现逻辑。级联 LUT 实现多于 4 输入的情况。CMOS 乘积项采用 CMOS 逻辑门串联实现。因此，即使一个 2 输入函数也需要串联 80 输入 CMOS 和逻辑门才能实现。MAX II 器件体系结构针对具体函数来进行逻辑实现。2 输入函数仅有两个输入工作，消耗的功率要少于 6 输入函数。而在实现 2 输入函数上，80 输入 CMOS 乘积项消耗的功率与 40 输入函数相同。由于统计分析显示典型应用的平均扇入为 2.5，因此，MAX II 器件体系结构具有明显的动态功耗优势。图 2 显示在 50MHz 时，MAX II 体系结构在性能上优于竞争 CPLD 结构 65%。所有器件都具有相同的降噪电路，没有输出切换，只采用了一个时钟输入触发。

图 2. MAX II 内核逻辑布线结构的动态功耗优势 (1)

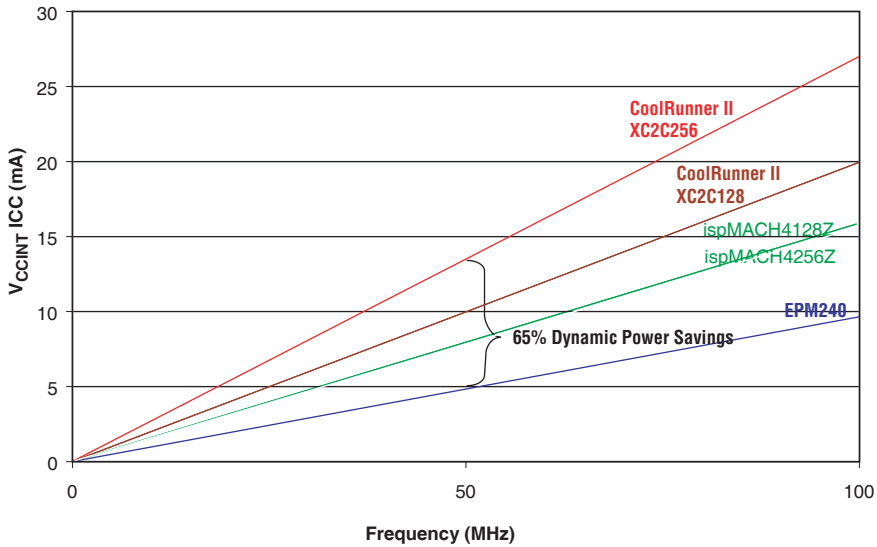


图 2 的注释：

(1) 8 个 16 位计数器的动态功耗。

MAX II 器件体系结构的信号走线与典型 CPLD 有很大不同。典型的 CPLD 采用中央布线系统，每一宏单元输入或者输入引脚可以连接至任一宏单元输入。在功耗方面，这种方式存在缺点。由于每一个宏单元输出或者输入引脚可以随意连接，因此具有较大的电容。虽然大部分信号只有有限的 2 至 4 个扇出，但实际上可以连接到数百个位置，导致 I/O 引脚和所有宏单元输出通过布线汇合形成反馈，出现较大的电容和较高的动态功耗。MAX II 布线结构是分块实现的。每一个宏单元输出连接至布线网络。软件集中实现最少数量的网络块。通过使用最少的布线，不超过需要的范围，MAX II 网络电容要远远低于传统的 CPLD。

图 3 对比了 MAX II 器件和竞争器件在 16 输入下的动态功耗。

图 3. MAX II 布线体系结构的输入动态功耗优势 (1)

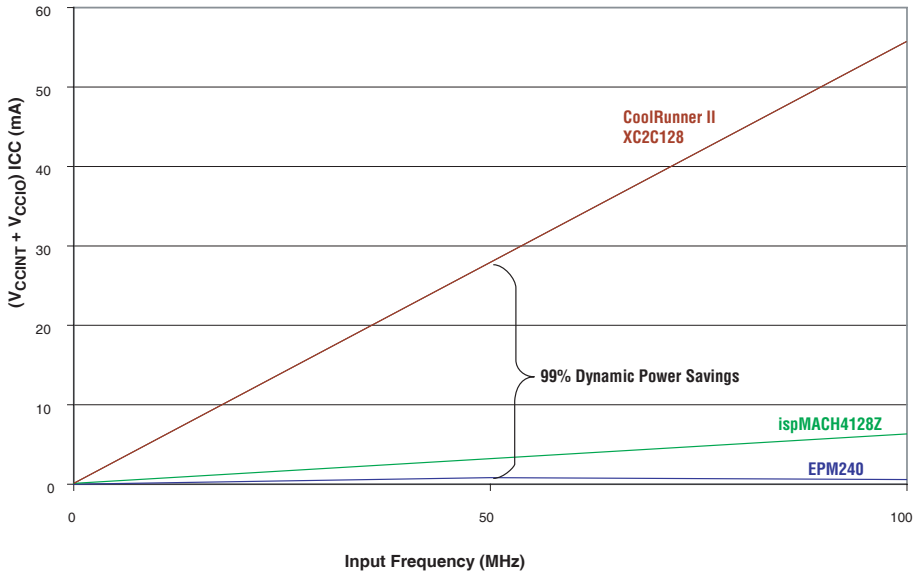


图 3 的注释：

(1) 16 输入开关的动态功耗

MAX II 器件不需要专门的门电路，动态功耗要比传统 CPLD 低 99%。不论每一输入的功能、扇出和布局如何，MAX II 减小了每一输入的动态功耗。

CPLD 体系结构只采用一种方式来布置和连接宏单元，而 MAX II 体系结构有多种选择。您可以根据性能、功率或者密度，利用 Quartus® II 软件选择最佳的互联和布局方法。传统的 CPLD 布线结构是无法做到这一点的。

MAX II 器件还具有 1.8V 内核电压优势。尽管外部 V_{CCINT} 是 3.3V，内核却工作在 1.8V。由于存在信号开关电容，动态电流是 CV^2 。因此，降低 VCC 对功耗的影响很大。MAX II 器件要比老工艺 CPLD 的 3.3V 内核电压有更强的优势。即使在电容相同的情况下，MAX II 由于内核工作电压低，功耗也要小 70%。

实际系统功耗

在大部分便携式系统中，设备要么按照用户要求运行，要么关闭，等待用户打开系统。因此，对于大部分便携式应用，关断降低待机电流，降低动态功耗对电池的使用时间影响最大。低内核电压的 PLD 的确能够降低系统的实际功耗。

PLD 消耗的功率是 $V_{CCINT} \cdot I_{CC}$ ，其中 I_{CC} 是 PLD 器件的动态和静态 I_{CC} 。 V_{CCINT} 电压来自低漏失 (LDO) 稳压器，该稳压器利用系统主电压产生内核电压。因此，PLD 的总功耗是 $V_{CCINT} \cdot I_{CC}$ 加上 LDO 消耗的功率。在电池供电系统中，LDO 上的功率是 $(V_{BAT} - V_{CCINT}) \cdot (I_{CC} + I_{LDO})$ ，其中 I_{LDO} 是 LDO 稳压器的直流偏置和交流稳压损耗。便携式系统的总功耗计算如下：

$$V_{CCINT} \times (I_{CC} + I_{LDO}) + (V_{BAT} - V_{CCINT}) \times (I_{CC} + I_{LDO}) = V_{BAT} \times (I_{CC} + I_{LDO})$$

您必须考虑系统总功耗，而不能只单独考虑 PLD 的功耗。图 4 对比了 MAX II 器件 (EPM240) 和 CoolRunner II 器件 (XC2C128) 的等价系统功耗。CoolRunner II 器件需要额外的 LDO 稳压器。图中显示使用 3.0V 锂聚合物电池时对应的系统功耗曲线，以及电池的总功耗。图中显示了 CoolRunner II 的静态功耗优势，但是在 5MHz 时，这种优势很快被 MAX II 低动态功耗优势超过。MAX II 器件在 50MHz 时，功耗要低 85%。实例设计具有相同数量的触发内核逻辑和触发 I/O 引脚。图中还显示了 V_{CCINT} 和 V_{CCIO} 电源之和。注意，并没有规定 ispMACH4128Z V_{CCIO} 电源，因此，实际的 ispMACH4128Z 电源会更差一些。没有考虑输出电源驱动电路板电容的问题，而所有产品中均存在这一问题。

图 4. 便携式应用实例，各种 CPLD 的功耗 (1)

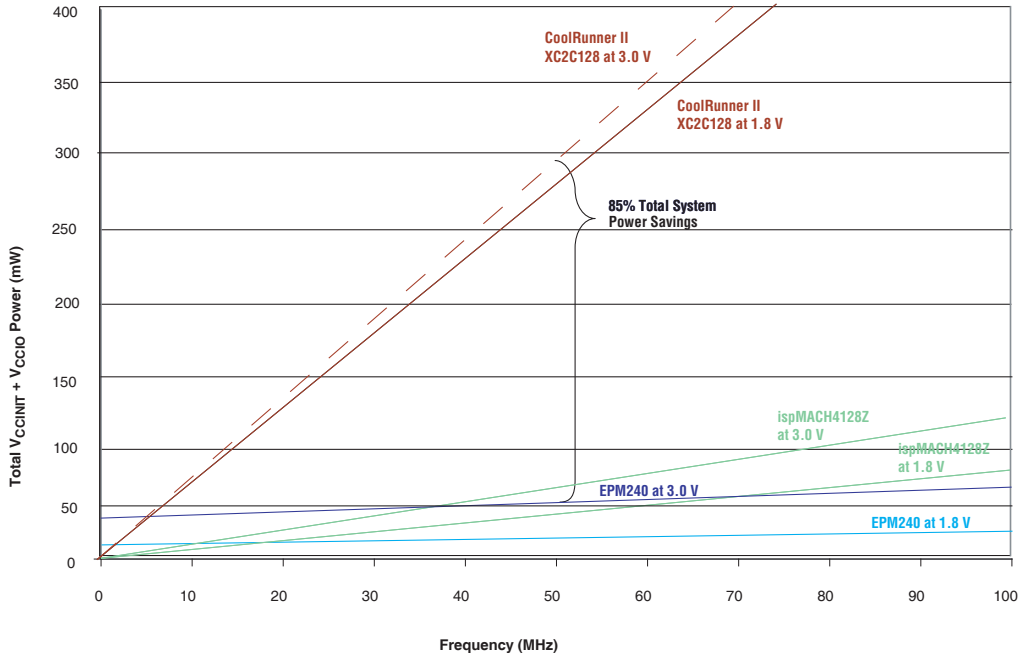


图 4 的注释：

(1) 内核逻辑和开关 I/O 的便携式应用实例

图 5 显示了 MAX II 器件由于具有热插拔功能，可以灵活的上电排序，并且采用了单电源供电方式，因此能够完全关断。在这个例子中，系统要么运行要么停止。竞争器件在 V_{CCIO} 和 V_{CCINT} 关电时，8 个 I/O 引脚电压仍然处于 VCC，这样漏电流通过 I/O，关断时的功耗要大于 MAX II 关断时的功耗。CoolRunner II 器件不只 8 个 I/O 引脚保持在 VCC 上，其待机功耗会更高一些。而多个 I/O 处于 VCC 或者 GND 对 MAX II 关断功耗的影响不大。

图 5. 便携式应用实例，带有关断功能的各种 CPLD 的功耗 (1)

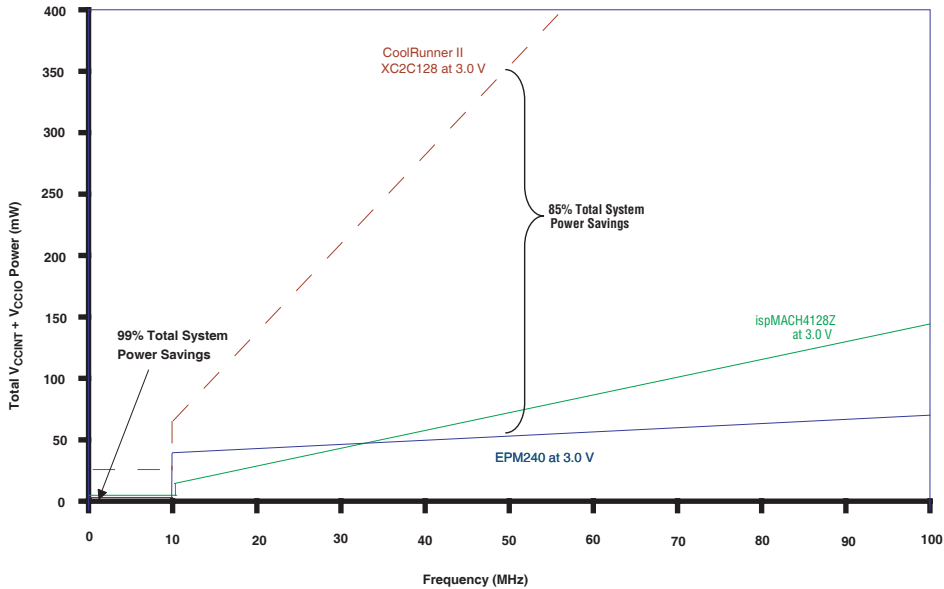


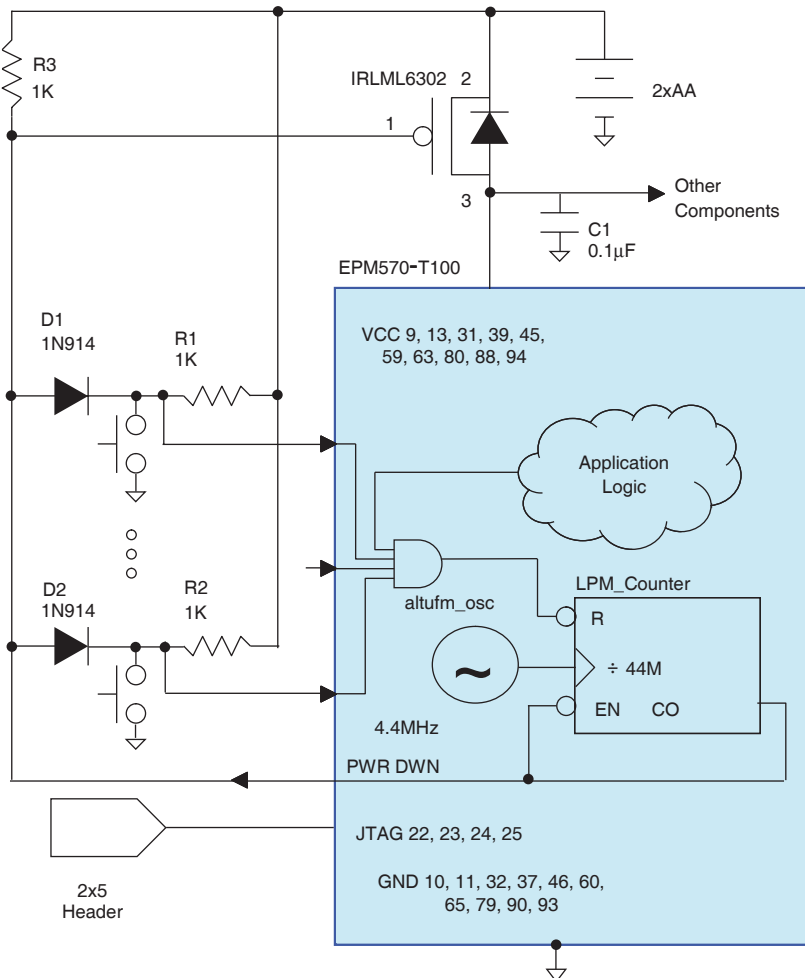
图 5 的注释：

(1) V_{CCINT} 和 V_{CCIO} 关电时的便携式应用实例

利用关断模式来降低 MAX II 的待机功耗

图 6 电路显示了采用 Altera EPM570-T100 CPLD 以及外部 P 沟道金属氧化物半导体场效应晶体管 (MOSFET)、二极管和电阻构成的关断系统。P 沟道 MOSFET 或者场效应晶体管 (FET) 控制电池对 CPLD 和系统中其他部分器件的供电。批量 MOSFET 器件的成本低于 0.10 美金，其成本总是低于 1.8V 内核 CPLD 器件所采用的低静态电流 LDO 稳压器的成本。系统中的 CPLD 和开关控制 FET 栅极。压动开关控制 FET 栅极。CPLD 提供一个小型嵌入式定时器来监控开关和系统工作状态。一旦探测到一个停止工作的特定周期，则禁止 FET，关断同一电源节点上的 CPLD 以及其他元件。

图 6. EPM570T100 自关断电路



FET 是 IRLML6302 或者等效器件。源极连接到 + 电池节点，漏极连接到 CPLD 的 VCC 引脚以及系统中需要关断的其他元件。CPLD VCC 引脚包括 V_{CCINT} 、 V_{CCIO1} 和 V_{CCIO2} 类型的引脚。FET 栅极上有一个 1K 上拉电阻 R3。电源关电时，R3 将栅极上拉至 VCC，使 FET $V_{GS}=0V$ ，将其切断。关断时，通过 CPLD PWR_DWN 引脚有一个泄漏至地的通路。EPM570-T100 的热插拔保护功能限制动态 I_{IOPIN} 小于 $300\mu A$ ，静态小于 $10\mu A$ 。因此，即使在最差情况下，FET 也不会接通，因为其最小阈值是 $V_{GS}=0.7V$ 。

按下开关将接通 FET, 在二极管 D1 (1N914 二极管或者等效的 1N5818 肖特基二极管) 和 FET 栅极之间建立通路。虽然 D1 上有 0.7V 的压降, FET $V_{GS} = -2.3V$ 也会很容易的将其接通。当电池放电至 2.35V 时, MAX II MultiVolt 内核供电系统建议最低工作电压是 $V_{GS} = -1.65V$ (FET 保持接通)。这可以使 CPLD 在 100 μ S 内上电。

掌握典型瞬时开关的工作特性有助于理解电路是如何工作的。即使最好的开关也有大约 3ms 的最小接通时间。用户一般按下释放的时间大于 30ms。大部分开关标准规定 3ms 为最小开关周期。由于用户响应时间相对较慢, CPLD 器件能够在开关释放之前对内部电路上电, 复位并驱动 PWR_DWN 引脚和 FET 栅极至实际 0V。

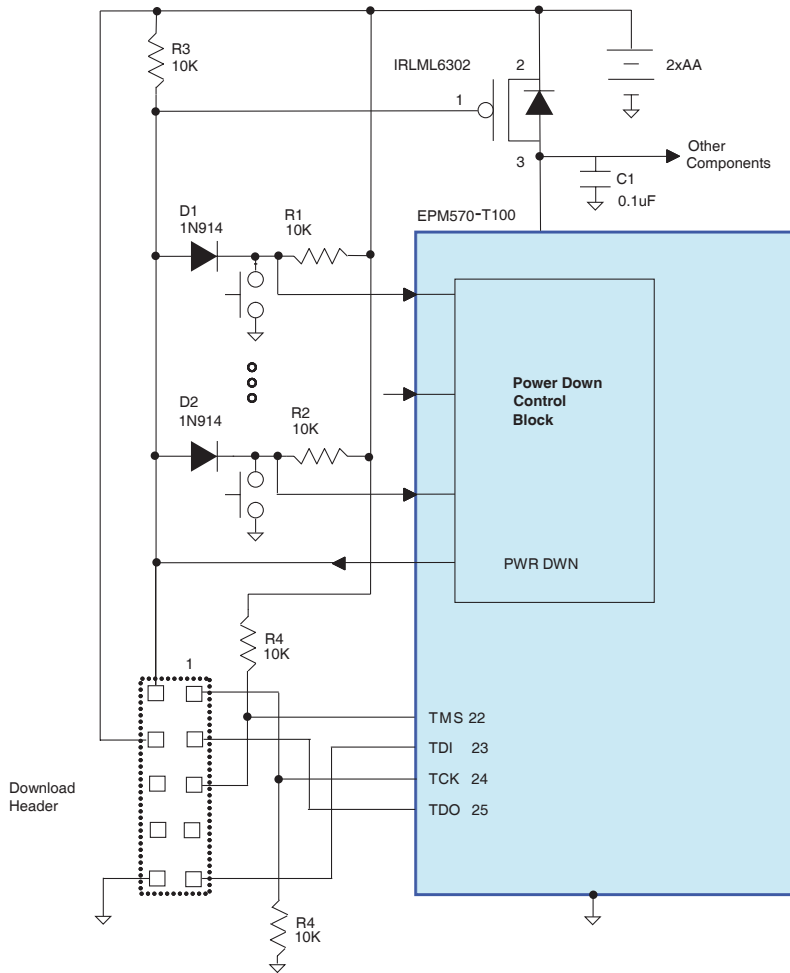
CPLD 器件的电路非常简单。首先, 采用内部 4.4MHz \pm 25% 振荡器 ALTUFM_OSC 来驱动模数为 44,000,000 的 LPM_counter。LPM_counter 和 ALTUFM_OSC 是 Quartus II 软件产生的标准参数化库宏功能。开关接通或者系统逻辑发出低电平信号将复位计数器。当 LPM_counter 复位时, Carry Out (CO) 信号变为低电平, 驱动 PWR_DWN 引脚。一旦去掉复位后, CO 信号反相, 使能 LPM_counter。

没有开关压下, 系统逻辑不工作时, CO 信号变为高电平之前, LPM_counter 计数至 44,000,000, 或者大约 10 秒钟, 然后禁止计数器, 保持 CO 引脚为高电平。这使得 PWR_DWN 引脚为 VCC。一旦 PWR_DWN 引脚达到 2.3V, FET 关断, 切断对 CPLD 的供电 (PWR_DWN 引脚为三态)。电阻 R3 继续将 FET 栅极上拉至 VCC。在 4.4MHz \pm 25% 内部振荡器的基础上修改计数器模数可以任意设置停止工作的时间。电源、地和 JTAG 引脚是专用的, 而开关输入和 PWR_DWN 输出可以是任何通用 CPLD I/O 引脚。

需要通过生产商提供的 2x5 插座, 将下载电缆连接至 JTAG 引脚, 对 EPM570-T100 进行编程, 在配置过程之前、进行中以及完毕之后需要按下开关, 以确保器件在配置过程中已经上电。

利用图 7 中下载电缆连接器引出线可以避免这一复杂的过程。下载电缆引脚 2 和 10 都是 GND。如果只有引脚 10 连接至 PCB GND, 引脚 2 连接至 PWR_DWN 节点, 那么当下载电缆连接至 FET 栅极时, 它被短路至 GND, 那么只要连接了下载电缆, 器件会一直保持上电状态。

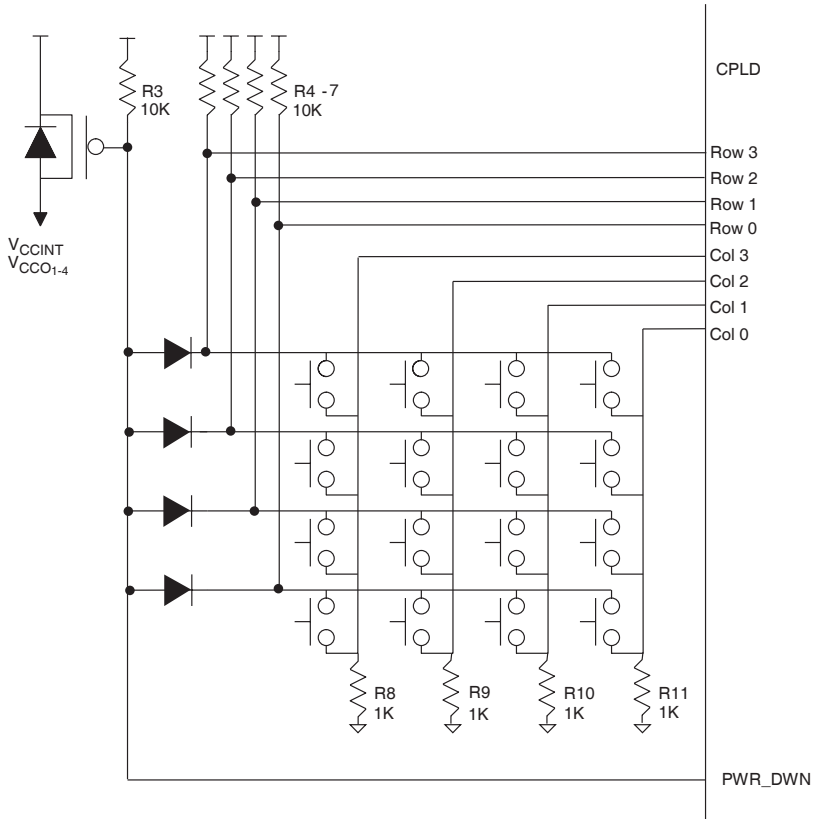
图 7. 利用下载电缆实现配置的上电使能



在系统中没有必要为每一个开关配置一个二极管。图 8 显示了可以有效利用一个 NxM 开关矩阵进行上电探测，仅使用了 N 个二极管。

在这个例子中，只有行通过二极管连接至 FET 栅极。增加了电阻 R8 至 R11，为每一列开关提供到地的通路。按下任一开关，会将 FET 栅极下拉至低电平，接通 CPLD。CPLD 上电非常快，在开关释放之前，足以扫描开关矩阵的行列，确定哪一开关被按下。在扫描过程中，电阻 R8 至 R11 的电流吸收时间非常短，在等待状态时，列信号为低电平，以减小供电电流。只采用了 0-3 行信号来复位 LPM_counter 停止工作定时器。

图 8. 关断电路开关矩阵的高效连接



MAX II 的优势

在便携式电池供电系统中采用 MAX II 器件的主要优势在于低成本、低功耗以及方便易用。MAX II 器件具有集成内核电压稳压器，上电顺序不受限制，并且具有优异的热插拔特性，使用起来非常方便。便携式系统设计人员采用 MAX II 后，不必再使用内核电压稳压器、上电振荡器和外部上电排序控制电路，能够实现成本最低的解决方案。即使采用真正的关断电路时，MAX II 也具有最低的成本，因为 MOSFET 开关要比零功率数字 LDO 稳压器便宜的多。与所有的 CPLD 相比，MAX II 在每 mm^2 PCB 上支持更多的 I/O 和更多的可编程逻辑门。最后，与任何 CPLD 和 FPGA 相比，MAX II 具有最低的动态功耗。

结论

MAX II 在功耗上要优于其他的 CPLD 和 FPGA。一般采用静态功耗来判断产品的功耗性能。静态功耗虽然很重要，其他的功耗也同样重要。本文提出的许多其他功耗问题对便携式系统的成本影响也很大。成本问题要比一个简单的待机功耗规范重要的多。当需要考虑待机功耗时，MAX II 器件可以自我关断，简单高效的实现真正的零功耗模式。

其他资源

如果需要更详细的信息，请参考

*<http://www.altera.com/support/examples/max/exm-power-down.html>
的 MAX II 关断设计*



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
literature@altera.com

版权 ©. 2006 Altera 公司。保留所有版权。Altera, The Programmable Solutions Company (可编程解决方案公司), stylized Altera logo (程式化 Altera 标识), specific device designations (专用器件名称) 和所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记, 可在一定司法权下注册。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。

