

引言

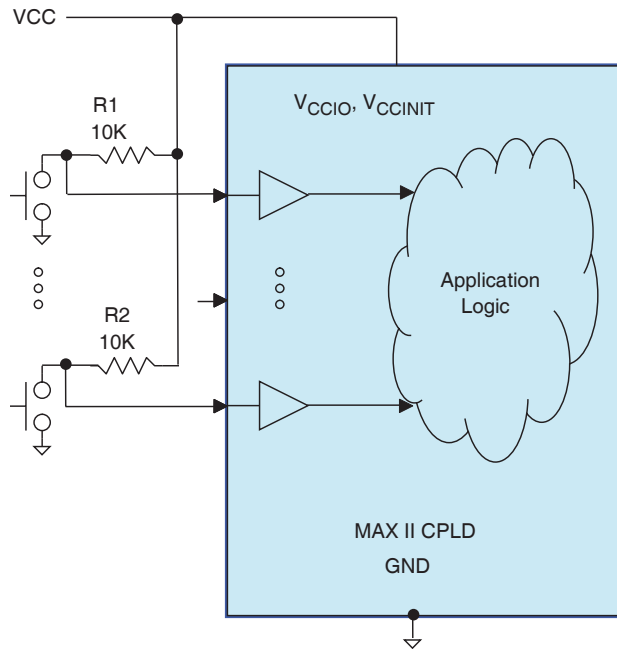
CPLD 最常见的应用是键盘编码器。处理器、ASSP 或者 ASIC 一般无法提供足够的引脚来实现键盘功能。I/O 扩展是 CPLD 很普通的功能, 使处理器采用很少的 I/O 便可以解码规模较大的键盘。虽然 MAX[®] 和 MAX[®] II 等 CPLD 可以提供足够的低成本 I/O, 但是在键盘解码时没有必要为每一开关提供一个 I/O。采用较少的连线进行键盘解码的优点在于减少了键盘到主电路板的走线数量, 降低了键盘区开关矩阵的复杂度。本应用笔记解释怎样利用 MAX II 器件资源来解码只有两个 I/O 和一个 GND 引脚的大规模开关键盘。采用的解码方法适用于最少 4 个开关、最多 48 个开关的情况。

键盘解码方法

CPLD 开关解码最常用的方法是采用一个简单电路, 将开关的一端连接至 GND, 另一端通过一个上拉电阻连接至 VCC, 上拉电阻一般取 10K Ω 。开关和电阻节点连接至 CPLD 输入引脚。对于普通的单刀单掷 (SPST) 开关按键, 当开关按下时, CPLD 输入通常由逻辑 1 跳变到逻辑 0。

图 1 电路中, 每个开关连接简单占用一个 CPLD I/O。您可以使用 MAX II 器件中的施密特触发输出缓冲来改进这一电路。施密特触发器输入减小了开关噪声, 更容易实现开关反跳。请参考 *AN 422: 利用 MAX II CPLD, 实现便携式系统的功耗管理*, 了解怎样将上电和关电机集成到开关解码电路中。

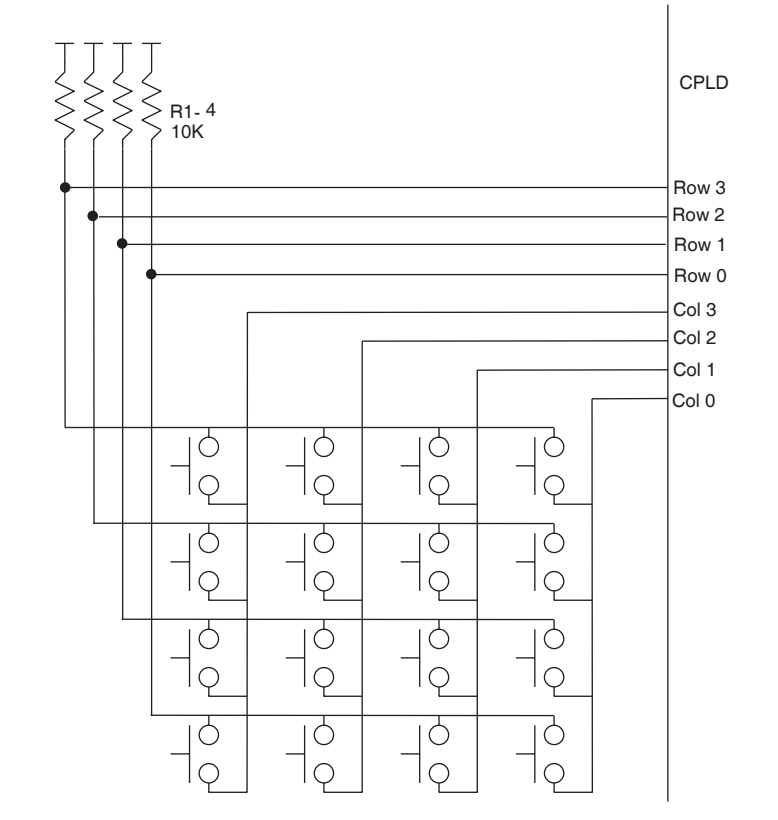
图 1. 简单采用每开关一个 CPLD I/O 的电路



减少大规模开关键盘解码所需 CPLD 引脚数量的常用方法是将开关连接成行列矩阵。采用这种方法，只要 $M+N$ 个 CPLD 引脚便可以解码 $M \times N$ 开关阵列。一个例子是 16 开关计算器键盘由一个 4×4 阵列构成，只占用 8 个引脚。与简单的一个引脚、一个开关的方法相比，这种方法只占用一半的引脚。

图 2 是一个行列开关阵列解码的典型电路结构。每个开关连接在各自的行列上。行上还有 $10K\Omega$ 的上拉电阻。MAX II 器件的可编程逻辑还增加了一个简单电路。

图 2. 使用行列方式的键盘解码常用电路



按键处于空闲状态时，CPLD 驱动列引脚至低电平。行引脚是输入，等待开关被按下。当开关被按下，行信号变为低电平，CPLD 中的逻辑开始扫描开关阵列，以确定哪个开关被按下。

CPLD 逻辑电路将所有的列驱动为高阻态，然后，依次驱动每一列为低电平。当某一列为低电平时，对应的行输入引脚指示被查询列中的开关是否按下。每一列的查询结果被存入到 4 位寄存器中。一旦扫描完 4 列之后，一个 16 位寄存器保存所有开关的逻辑值。这种方法可以探测单开关和多开关组合。当寄存器成为全零时，扫描逻辑电路恢复到空闲状态，驱动列至低电平，以节省功耗。

典型开关的最小 ON 脉冲大于 3ms。人手按下释放开关的最小响应时间大约是 30ms。CPLD 可以很容易的在 10 μ S 之内扫描开关阵列。因此，在用户释放开关之前，CPLD 完成开关解码应不成问题。



请参考 *AN 422 利用 MAX II CPLD, 实现便携式系统的功耗管理*, 了解如何将上电和关电机集成到开关阵列解码电路中。

新型两线按键 判决器

每开关一个引脚和行列开关阵列方法都可以很好的工作, 但是这些方法并不适用于所有的情况, 也有缺点。每开关一个引脚的方法具有以下缺点:

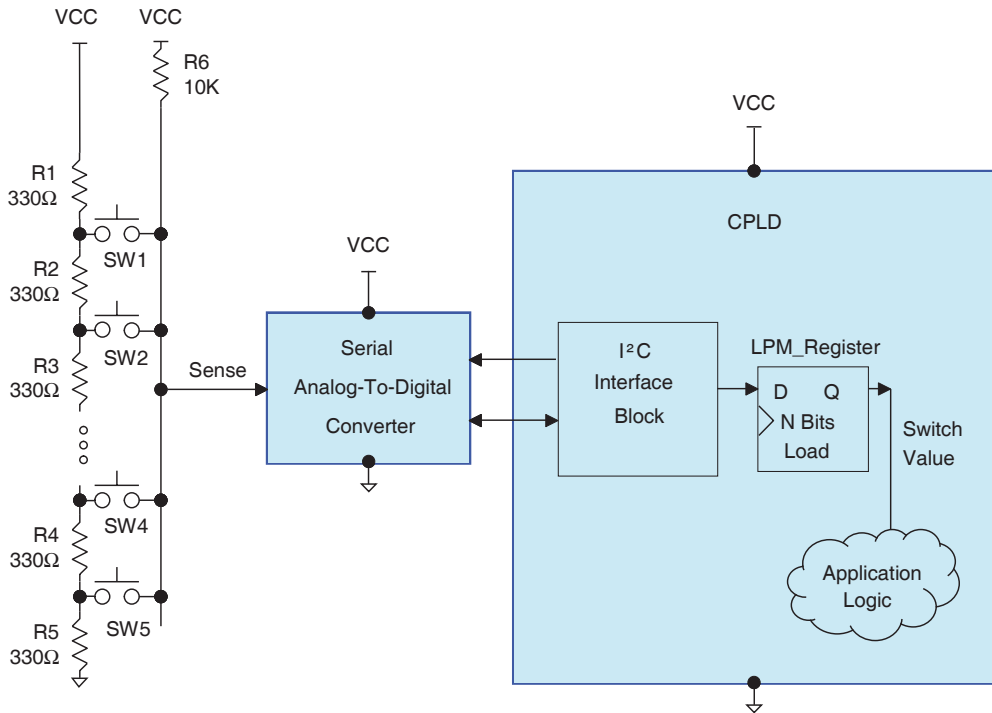
- 大型键盘需要较多的 CPLD I/O 引脚
- 需要大量并行 PCB 走线将开关连接至 CPLD
- 膜片开关和母板之间需要成本较高的引脚计数连接器
- 每个开关需要独立的电阻

行列开关阵列方法显著减少了所需的 CPLD 引脚数量, 减少了膜片开关和母板之间的连线数量。但是, 行列开关阵列方法也有一些缺点:

- 由于行列走线与开关正交连接, 因此需要两层 PCB
- 需要成本更高的两层膜片开关
- 对于小型键盘阵列, CPLD I/O 引脚数量减少有限

您可以使用模数转换器来解码开关阵列。当 VCC 和 GND 之间串联一组电阻, 开关分别连接至每一电阻抽头, 并连接在一个公共节点上时, 如果某个开关被按下, 电路产生的电压与开关在电阻堆叠中的位置成正比。您可以利用模数转换器输出来解码被按下的开关。这类解码方法示于图 3 中。

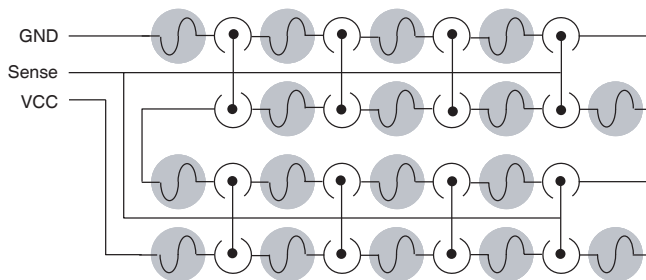
图 3. 带有模数转换器的开关阵列解码



在图 3 中，VCC 和 GND 之间连接了电阻堆叠。当开关被按下时，它接通了对应电阻和串联的模数转换器。您可以对 CPLD 编程，读取开关阵列传来的电压值。CPLD 以正确的命令和协议驱动模数转换器，采集数据，将数据存入并行寄存器中。这种方法实现了非常简单的开关阵列，只需要三条线：VCC、GND 和 Sense。

如图 4 所示，很容易将串联电阻集成到单层膜片开关中。您可以采用多种方法使膜片开关 PCB 上的走线成为电阻。可以使走线宽度非常窄，在电阻部分使用阻抗更高的导线，进一步刻蚀走线以增加阻抗。

图 4. 模拟解码的膜片开关 PCB 布板



这种方法简化了膜片开关和 PCB 开关布板，降低了成本，但是模数转换器增加的成本可能令人无法接受。可以不使用模数转换器，而采用 MAX II 器件来解码模拟开关。

使用 MAX II 器件的两线按键解码

MAX II 器件使用其内部振荡器、施密特触发器 I/O 和高密度算术可编程逻辑结构替代模数转换器，对模拟开关阵列进行解码。MAX II 器件只需要一个简单的低成本外部电容来完成这一功能。其自校准特性避免了使用高质量电容。电路使用和模数转换器解码相同的串联电阻结构。

图 5 中采用了串联电阻 R1 至 R5。电阻 R2–R5 的阻值均为 33Ω。R3 和 R4 之间可以连接多个电阻。电阻 R1 阻值是 33Ω 的倍数。采样开关时，R1 是最小的电阻。R5 连接至地。

电阻 R1 连接至 MAX II 器件的 PreCharge 节点。PreCharge 还与电容 C1 相连。电容 C1 的另一端连接至地。电阻堆叠 R1–R5 的每一个节点连接至打开的开关，然后连接至公共节点 Sense。Sense 通过上拉电阻 R1 连接至 VCC，并与 MAX II 相连。

设置 R2 至 R5 的数值，使 $R2 + R3 + \dots + R4 + R5$ 的总阻抗通过开关 1 短路至 Sense。总阻抗必须足够低，使 Sense 电压小于 MAX II 器件 Sense 的输入低阈值，如方程 1 所示。

$$(1) \quad V_{\text{Sense}} = \frac{(R2 + R3 + \dots + R4 + R5)}{(R2 + R3 + \dots + R4 + R5 + R6)} < V_{\text{IL}}$$

R1 的最小阻值必须足够大，实现 MAX II PreCharge 输出驱动，如方程 2 所示。

$$(2) \quad \frac{(VCC - V_{OH})}{R1} < I_{OH}$$

此外，开关 1 短路时，Sense 驱动必须足够强，如方程 3 所示。

$$(3) \quad \frac{(VCC - V_{OL})}{R1} < I_{OL}$$

当 Sense 处于三态，没有开关按下时，电阻堆叠 R1-R5 和电容 C1 形成一个 RC 时间常数，如方程 4 所示。

$$(4) \quad \tau = (R1 + R2 + R3 + \dots + R4 + R5) \times C1$$

当开关按下，Sense 变为低电平，RC 时间常数变化。如果开关 SW2 被按下，那么 RC 时间常数变快，如方程 5 所示。

$$(5) \quad \tau = (R1 + R2) \times C1$$

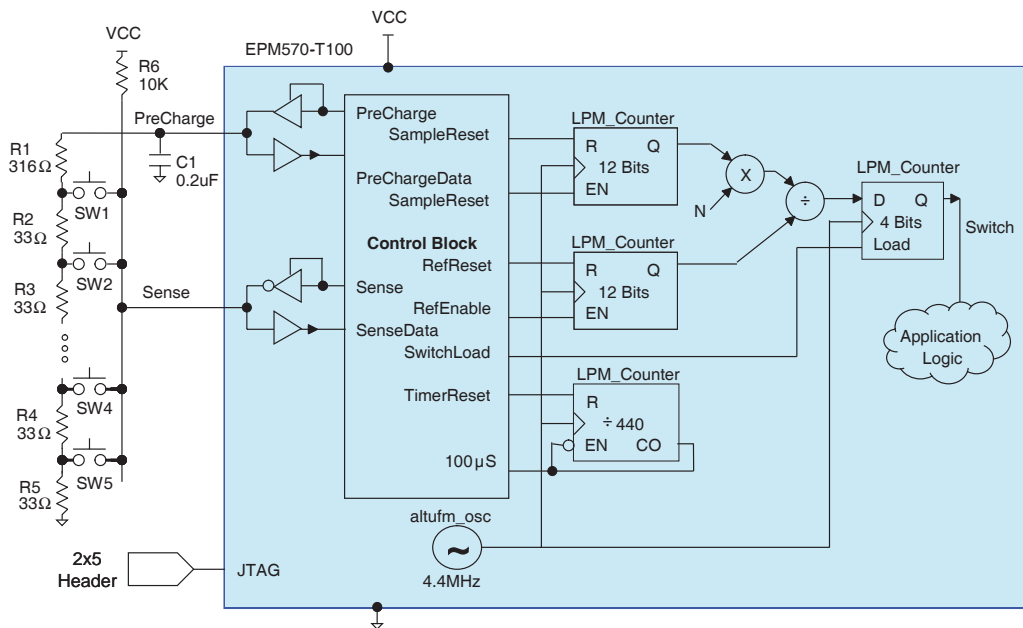
如果 SW4 被按下，那么 RC 时间常数变为（方程 6）：

$$(6) \quad \tau = (R2 + R3 + \dots + R4 + R5) \times C1$$

为了能够根据时间常数来确定哪个开关被按下，需要利用 MAX II 的内部振荡器。由于 MAX II 内部振荡器精度大约只有 25%，但是稳定性较好，因此必须分两步来测量 RC 时间常数。

首先，必须测量一个基准，这是 PreCharge 上冲到 High，Sense 信号三态时的 RC 时间常数。然后，当 Sense 保持低电平，PreCharge 上冲到 High 时，进行一次采样。基于这两个时间常数差，以及 PreCharge 和 GND 之间的电阻数值，可以非常可靠的解码被按下的开关。

图 5. 使用 MAX II 器件的两线按键解码



MAX II 器件中的电路由控制模块构成。有三个计数器。利用一个 12 位计数器来测量基准 τ 和开关 τ ；利用一个 $100\mu\text{S}$ 定时器来处理反跳。MAX II 器件的算术功能被用于计算采样计数和 N 相乘， N 是电阻堆栈 R1 至 R5 中电阻 R5 总数。R1 一般是 R5 的倍数。然后，($\langle\text{reference}\rangle\tau$) 除以 ($\langle\text{Sample}\rangle\tau$)* N 。开关脉冲的最终二进制数值被存储在一个保持寄存器中。

确定开关数值的方程是 (方程 7)：

$$(7) \quad \text{Switch} = \frac{\text{Sample} \times N}{\text{Reference}}$$

- $\text{Sample} = \text{Sense}$ 引脚低电平时，计数器测量放电时间计数
- $\text{Reference} = \text{Sense}$ 引脚三态时，计数器测量放电时间计数
- $N =$ 电阻堆叠 R1 至 R5 中的 R5 (电阻数量)

利用电容值来调整典型放电时间。如果时间太长，Sense 和 Reference 计数器可以从 12 位递增。如果时间过短，Sense 和 Reference 计数器可以采用更少的位数。完整 reference 堆叠的最小建议计数器大小是 $N*4$ 或者 $\log_2(N*4)$ 位（向上舍入）。

图 6 中的流程图是开关解码过程的高层抽象。某些状态右侧的圆环代表器件处于循环或者等待状态，等待开关状态的改变，或者处于反跳时，在开关跳变稳定下来之前，等待固定数量的时钟周期。

图 6. 两线开关解码过程的流程图

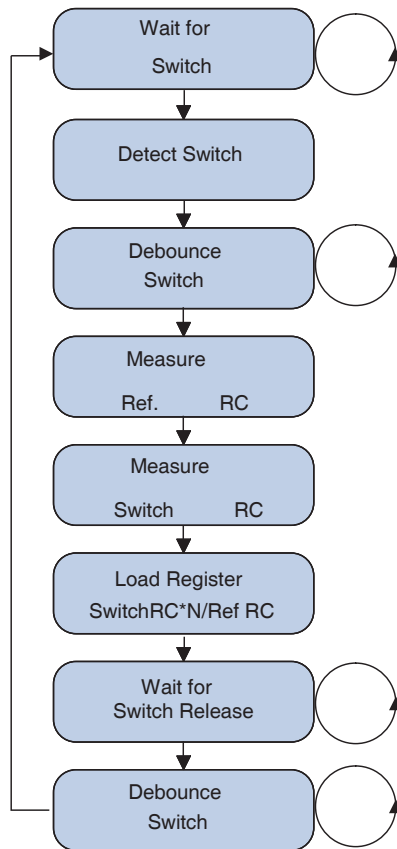


图 7 中的流程图详细说明了图 5 中控制模块的工作过程。控制模块控制采样测量、基准采样和开关反跳的时序。这一流程图只规定工作信号输出。没有规定的信号均处于低电平或者停止状态。

图 7. 两线按键解码的控制模块状态机 (1)

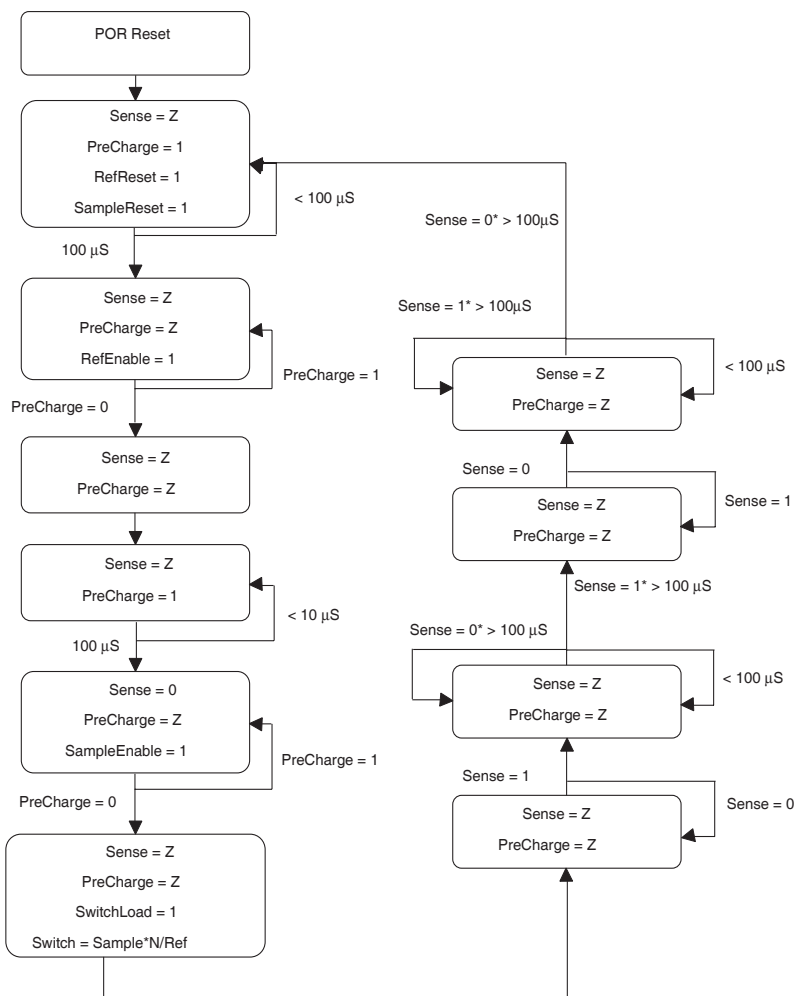


图 7 的注释：

- (1) 输出：PreCharge, Sense, RefReset, RefEnable, SampleReset, SampleEnable, SwitchLoad, TimerReset, Inputs, PreCharge, Sense, 100μS。

如果 R1 不是 R5 的整数倍，那么应该提高电路的精度。R1 应为 $N + 0.5 \times R5$ 。使 R1 恰好是 R5 的倍数，数值来自乘除函数，是下一较低开关数值的最低有效位 (LSB) 移位。这意味着除法余数总是 1 或者 0。因此，如果 Sense 或者 Reference 计数器计数只采用一位停止，较小的

噪声也会导致电路误读开关。使 R1 取值为 $N \times 0.5$ 的倍数，除法余数一般为 $0.5 \times (\text{Reference}/N)$ 。因此，需要额外的 $0.5 \times (\text{Reference}/N)$ 或者更少的计数，噪声才能影响 Sense 或者 Reference 计数器。

PreCharge 输入还可以采用缓冲施密特触发器输入来提高电路精度。施密特触发器在相对较慢的 PreCharge 节点放电时，抗噪声能力较强。

图 8 显示了图 5、6 和 7 中的按键解码电路可以结合 AN 422 利用 MAX II CPLD，实现便携式系统的功耗管理中的上电探测电路来使用。这种组合电路以高效连线的方式结合了多个开关和上电探测功能，只需要一个二极管便可以处理所有的开关。

图 1 和 2 的开关矩阵连接中每个开关需要一个二极管，或者每行需要一个二极管。使新电路能够正常工作的唯一要求是当 R7、D1 之间的开关 SW1 按下后产生分压电路，R2-5 为 Q1 栅极提供的电压足够低，使其能够接通，如方程 8 所示。

$$(8) \quad V_{GS} = \left(-1 \times \frac{(VCC - V_F)}{(VCC)} \times \frac{R7}{(R2 + R3 + \dots + R4 + R5 + R7)} \right) < \sim 0.7V$$

- V_{GS} = Q1 栅极至源极电压
- V_F = D1 前向电压降
- VCC = 电池电压一般为 3.0V，在认为电池失效之前，可以低至 2.2V

器件一旦上电，通过反相偏置二极管 D1 连接至 Sense 的 PWRDWN 节点变为低电平，不会影响开关解码过程。同样，即使在最低振荡器频率处理电压温度 (PVT) 下，开关解码过程也可以在 1ms 内完成。因此，可以在 3ms 最小开关接通时间内完成上电和开关解码。

图 8. 带有上电和关断控制的两线按键解码

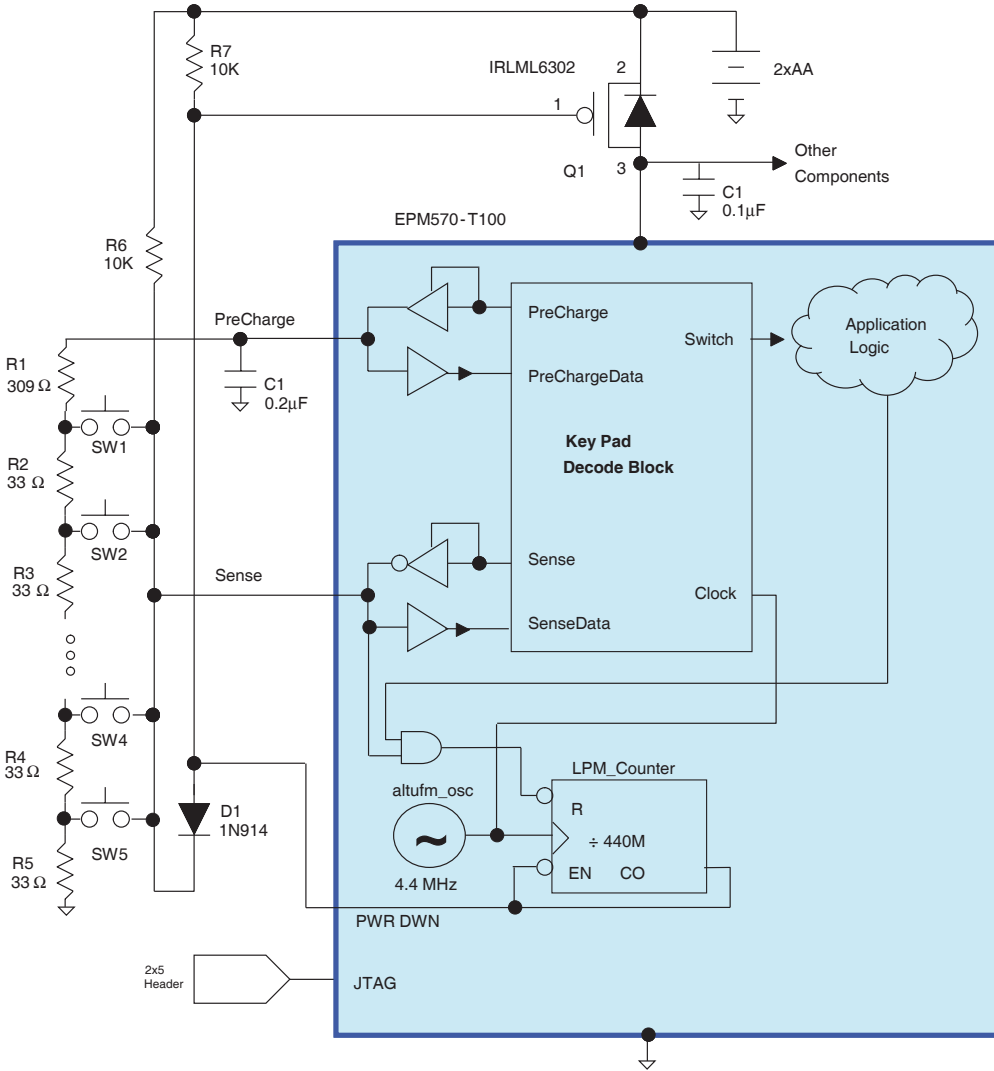
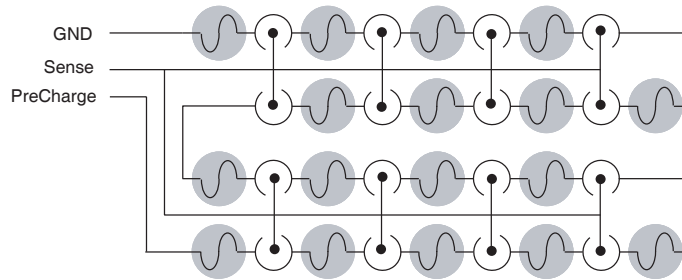


图 9 中，采用膜片开关能够以较低的成本实现解码所需的串联电阻电路。图中显示了膜片开关下面的走线布局。中间一个点的非闭合圆是基本开关结构。阴影区的走线是高阻抗走线，起到串联电阻的作用。使用不同的材料连接走线，或者使用最小的走线宽度可以获得高阻抗。

图 9. 集成了电阻的两线按键膜片开关



优点

使用 MAX II 器件的一个重要优点是在处理开关解码时可以有多种选择。对某些应用而言，每引脚一个开关可能是最佳选择，而对于有的应用，两引脚模拟解码方案则是最经济的选择。利用 MAX II 的内部振荡器能够以最具成本效益的方式探测开关反跳，不需要外部振荡器便实现了复杂的解码操作。在所有方法中，MAX II 器件的施密特触发器对于开关解码非常重要，因为不论哪种方法中，开关信号电平都较低，噪声较大。施密特触发器简化了反跳处理，使模拟开关解码更精确。MAX II 的密度和算术结构还简化了模拟开关反跳的复杂计算，提高了面积利用率。传统的 CPLD 逻辑结构无法实现模拟解码。

结论

MAX II CPLD 是开关解码的最佳选择。MAX II 器件的关断技术可以应用于所有的开关解码模式中，该器件也是电池供电便携式应用的最佳选择。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
literature@altera.com

版权 ©. 2006 Altera 公司。保留所有版权。Altera, The Programmable Solutions Company (可编程解决方案公司), stylized Altera logo (程式化 Altera 标识), specific device designations (专用器件名称) 和所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记, 可在一定司法权下注册。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。

