

引言

串行外设接口 (SPI) 是应用广泛的 4 线串行通信接口。数字音频、数字信号处理以及电信通道等应用需要高速数据流。低功耗高速 Altera® MAX® II CPLD 非常适合实现主系统的外部 SPI 主机。本应用笔记详细介绍在 MAX II CPLD 中实现 SPI 主机。采用了一个微处理器来控制主机, 可以利用它来选择从机设备, 并进行数据读写操作。

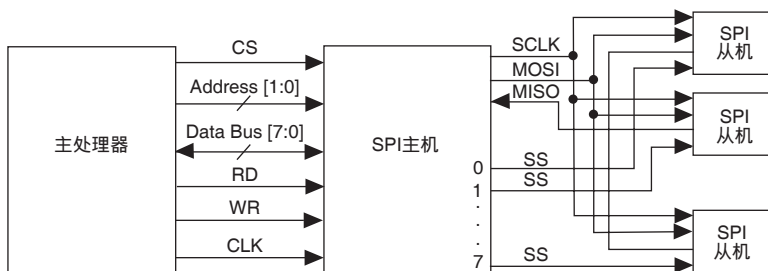
串行外设接口

SPI 是工业标准协议, 广泛应用于嵌入式系统中, 实现和微处理器以及各种设备的接口, 例如传感器、存储芯片、移位寄存器、端口扩展器、显示驱动器、数据转换器、打印机、数据存储设备以及多媒体卡等。这种接口标准有许多优点:

- 较少的引脚以及简洁的连线
- 全双工通信实现大吞吐量 (和 I²C 等其他协议相比, 通信速率更快)
- 没有寻址; 从而减少了开销。

CPLD 使用了四个信号和 SPI 从机进行通信。MISO 用于读取从机; MOSI 用于对从机进行写操作。主处理器利用信号来控制 CPLD, 如图 1 所示。

图 1. 利用 MAX II CPLD 实现 SPI 主机



MAX II CPLD 上的 SPI 主机

图 1 所示为 SPI 主机的实现。下面几节解释了各种 CPLD 接口。

SPI 接口

CPLD 使用一个数据输出端口 (MOSI)、一个数据输入端口 (MISO) 以及时钟 (SCLK) 和从机选择信号 (SS) 实现与从机设备的通信。从机选择信号用于选择和 SPI 主机通信的设备。SPI 主机最多可以连接 8 个设备。表 1 对接口引脚进行了详细总结。

信号	目的	说明
MOSI	主机输出从机输入	主机的输出数据, 至从机输入。
MISO	主机输入从机输出	主机的输入数据, 至从机输出。
SCLK	主机输入从机输出	由从机向主机输入传送数据
SCLK	SPI 时钟	主机为从机提供的时钟驱动, 用于同步数据比特。
SS	从机选择	主机驱动的选择信号 (低电平有效), 发送给每个从机, 用于选择目标从机。

表 1 的注释:

(1) SPI 时钟 = 主系统时钟 / (CLK DIV + 2)。

主系统接口

主处理器接口含有一个 8 位双向数据总线 (data bus [7:0])、一个 2 位地址总线 (address [1:0])、一个片选、一个读标志、一个写标志以及时钟信号。这些信号形成了 CPLD (SPI 主机) 的主系统接口。表 2 对这些信号进行了说明。

信号	说明
片选 (cs)	高电平时, 使能主系统至 SPI 主机接口。
地址总线 (address [1:0])	选择地址相应的 SPI 主机寄存器。
数据总线 (data bus [7:0])	连接主系统和 SPI 主机的双向数据总线。
读 (RD)	高电平时, 主系统读取 SPI 寄存器, 其地址在地址总线上传送。
写 (WR)	高电平时, 主系统写入 SPI 寄存器, 其地址在地址总线上传送。
时钟 (CLK)	主系统时钟信号。

主系统保持 CS 信号为高电平, 选择 SPI 主机。当 CS 为高电平时, 地址总线位确定主系统指向哪一 SPI 寄存器。主系统保持 RD 为高电平, 读取某一寄存器, 保持 WR 为高电平, 写入某一寄存器。完成了 SPI 字传送后, 状态寄存器中的中断标志被置为高电平。主系统不断监视状态寄存器。表 3 列出了 SPI 寄存器。

地址	寄存器	宽度
00	控制寄存器	8 位
01	状态寄存器	8 位
10	发送寄存器	8 位
11	接收寄存器	8 位

图 2 所示为控制寄存器映射和状态寄存器映射。

图 2. 控制和状态寄存器映射

控制寄存器映射

7	6	5	4	3	2	1	0
SS	SS	SS	CPOL	CPHA	CLK DIV	CLK DIV	CLK DIV

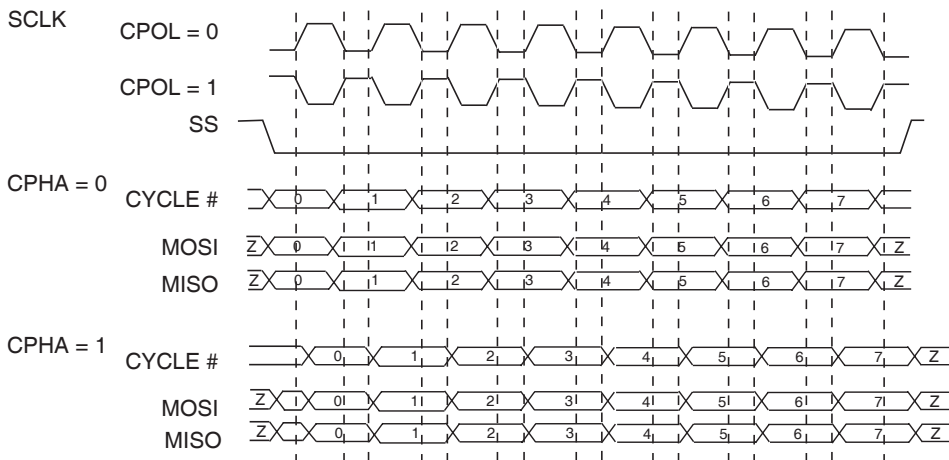
状态寄存器映射

7	6	5	4	3	2	1	0
X	X	X	X	X	X	X	INT

探测到中断后, 主系统读取接收缓冲, 如果需要则写入一个新命令字, 更新发送缓冲。发送缓冲更新后, 状态寄存器中的中断标志被复位, 发送新的 SPI 字。采用这一 SPI 中接收到的数据对接收缓冲进行更新, 在字的最后再次产生一个中断。由控制寄存器设置来控制 SPI 从机选择、时钟极性、时钟相位以及 SPI 时钟频率, 如图 2 所示。

图 3 所示为典型的 SPI 时序特性。

图 3. 典型的 SPI 时序特性



设计实现

该设计可以采用 EPM240 或者其他 MAX II CPLD 来实现。对设计源代码进行编译后，在 MAX II CPLD 中进行编程。图 1 所示为主系统接口和 SPI 从机接口。

源代码

该设计采用了 Verilog 来实现。下面的链接提供源代码、测试台文件以及完整的 Quartus® II 工程：

www.altera.com/literature/an/an485_design_example.zip

结论

正如本设计所示，MAX II CPLD 是实现 SPI 主机等工业标准接口控制器非常好的选择。它可以承受任意上电排序，具有低功耗、低成本以及多电压特性，非常适合实现 SPI 主机等接口控制器。

其他资源

下面列出了和本应用笔记相关的其他资源：

- MAX II CPLD 主页：
<http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp>
- MAX II 器件资料：
<http://www.altera.com/literature/lit-max2.jsp>

- MAX II 关断设计:
<http://www.altera.com/support/examples/max/exm-power-down.html>
- MAX II 应用笔记:
AN 428: MAX II CPLD 设计指南
AN 422: 利用 MAX II CPLD 实现便携式系统的功耗管理

文档版本历史

表 4 列出了本应用笔记的版本历史。

日期和文档版本	进行的改动	对改动的总结
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support:
www.altera.com/support
Literature Services:
literature@altera.com

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。

