

引言

供电元件能够关断和接通是非常有用的节电技术。Altera® MAX® II CPLD 支持简洁的上电排序, 提供专用功能, 非常适合实现这类技术。本应用笔记讨论实现自动启动的一些简单方法。



关于使用 MAX II CPLD 独特的内部振荡器来实现自动启动功能的详细信息, 请参考 [AN 422: 在便携式系统中, 利用 MAX II CPLD 进行功耗管理](#)。

节电

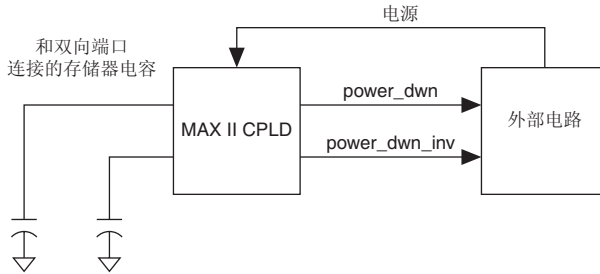
很多消费类和工业应用系统并不需要 CPLD 一直保持上电。在设计中 CPLD 最好能够周期性地上电, 大部分时间保持关断状态。这对于便携式电池供电系统非常有用, 这类系统执行一些不连续的周期性任务。

由于 MAX II CPLD 不需要特殊的上电顺序, 因此, 它可以迅速接通 (一般为 200 μ s, 取决于逻辑密度)。迅速接通和关断功能使您能够利用外部电路来完全关断 CPLD, 然后再接通。外部电路可以是提供所需时延的简单 RC 定时器。

然而, 如果关断的时间比较长, 简单的 RC 定时器并不实用。它需要非常大的电阻和电容。采用电容作为存储器单元的计数器延长了关断周期。CPLD 在关断期间接通非常短的一段时间, 读取这些电容上的数值, 递增计数, 在关断前把计数再次存起来。这一周期不断重复, 直到达到规定的计数, 此时 CPLD 完全接通。当它上电接通时, CPLD 完成它所规定的任务。

CPLD 使用关断信号 (`power_dwn` 及其附属信号) 来触发外部电路, 关断 CPLD。达到规定的时延后, 外部电路对 CPLD 上电。存储器电容连接到 CPLD 的双向引脚上, 构成了非易失存储器单元。图 1 所示为自动启动系统的基本结构图。

图 1. 自动启动系统的基本结构图



利用 MAX II CPLD 实现自动 启动

图 2 所示为该设计的流程图，在图 3 中以 ‘t’ 标出时间周期。CPLD 上电时，进入读状态。读取电容上的数值，存储到寄存器中。这一过程使用了两个电容，可存储四个不同的数值。完成了读取电容数值的读操作后，接通四个 LED 之一。递增该数值或者计数，并存储到电容中，此时电容用作非易失存储单元。将 power_dwn 引脚设置为高电平，开始关断。关断完成后，外部 RC 电路起到了定时器的作用，激活 CPLD。重复这一过程，直到实现规定的时延（达到规定的计数），从而有效地延长了关断时间（这一例子中达到了四倍）。可以控制 CPLD 工作的占空比，实现较长的关断周期，从而降低了总功耗。

图 2. 自动启动工作流程图

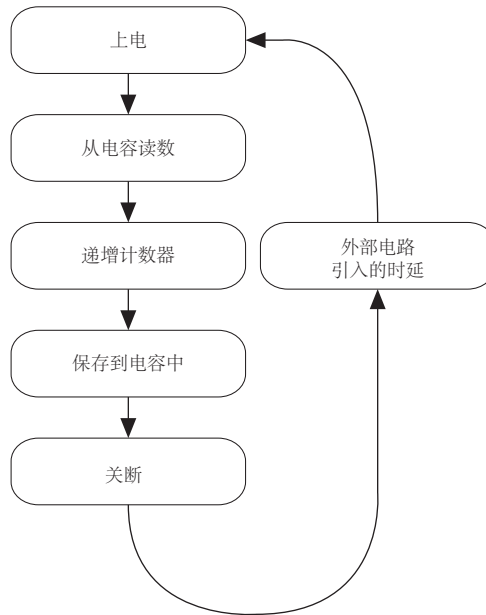


图 3. CPLD 上电周期波形

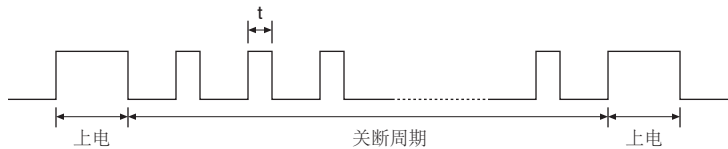
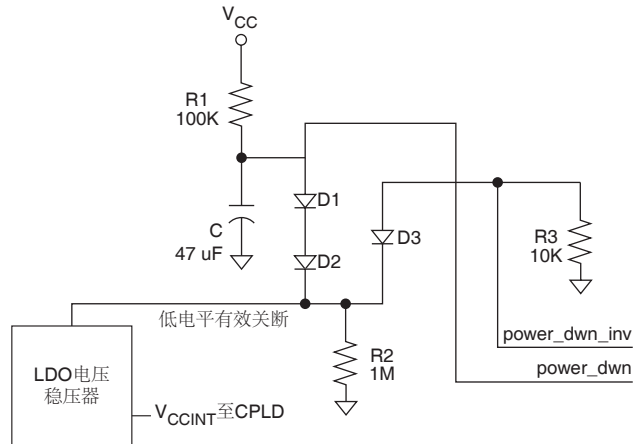


图 3 所示为 CPLD 的工作循环周期。每一循环含有一个‘上电’和一个‘关断’周期。在‘关断’周期中，CPLD 定时接通非常短的一段时间‘t’，递增计数器，然后关断。达到规定的计数后，CPLD 进入上电周期，重新初始化计数器数值。然后它执行所规定的功能。在‘上电’周期的最后，电容含有重新初始化后的数值。当 CPLD 再次上电时，计数器递增，‘t’ 时间后，关断，计数器重新启动。

图 4 介绍了外部电路是怎样工作的。当 power_dwn 信号为低电平 (pwr_dwn_inv 为高电平) 时, 电压稳压器(它含有低电平有效关断控制)接通, 电容 C 充电。当 CPLD 需要关断时, 它将 pwr_dwn 信号置为高电平 (pwr_dwn_inv 为低电平)。这就关断了电压稳压器, 切断 CPLD 的电源。

图 4. 外部电路



当 CPLD 所有的 I/O 引脚为三态时, 电容开始充电。CPLD 的电压值低于稳压器关断控制阈值 (二极管 $D1$ 和 $D2$ 可提高该数值) 时, 则一直对其进行充电。超过阈值后, 电压稳压器接通。不断重复这一周期。

设计实现

可以采用 EPM240 (或者其他 MAX II CPLD) 来实现这一设计实例, 该器件支持外部 RC 电路, 电源可以关断, GPIO 引脚上的两个电容可以用作 '存储器', 以保存前面的状态。实现过程包括使用设计实例源代码, 为 MAX II 器件 GPIO 及其支持电路分配合适的信号线和控制线。MDN-B2 演示板含有内置支持电路。

为演示对上电周期的控制，采用了两个电容 (MDN-B2 演示板上的 C9 和 C10) 和四个 LED (D2, D3, D5 和 D6)。MAX II CPLD 一旦上电，该设计从电容读取数值。表 1 列出了显示在 LED 上的读数。

电容 C9	电容 C10	LED
0	0	D2
0	1	D3
1	0	D5
1	1	D6

对于每一组值，点亮相应的 LED。然后，CPLD 递增计数，把数值写回到电容上。读周期持续一段时间，确保电容充分充电。关断信号及其附属信号分别置为高电平和低电平，导致彻底关断。

上电一段时间 (该时间由外部 RC 确定) 后，再次关断之前，MAX II CPLD 重复读周期和 LED 显示，并更新电容状态。观察 LED 递增计数，显示了该设计的自动启动特性。

表 2 列出了怎样在 MDN-B2 演示板上实现该设计实例：

信号	引脚	信号	引脚
cap_a	83 引脚	cap_b	84 引脚
led1	69 引脚	led2	70 引脚
led3	71 引脚	led4	72 引脚
pwr_dwn	14 引脚	pwr_dwn_inv	12 引脚

编译前，在 Quartus II 软件 **Device and Pin Options** 对话框中将未使用的引脚分配为 **As input tri-stated**。

请参考下面的演示说明 (在 MDN-B2 演示板上演示这一设计)：

- 确定两个块上的 V_{CCIO} 电压都被设置为 2.5V (演示板上的跳接器 JP9 和 JP7 被置为 2.5V)。

- 打开演示板电源(使用滑动开关SW1),通过JTAG插头JP5和普通编程电缆(ByteBlaster™ II 或者 USB-Blaster™),把设计下载到 MAX II CPLD 中。在编程开始时,保持演示板上 SW4 的按下状态不变。完成后,关断电路板电源,拔下 JTAG 连接器。
- 打开演示板电源。在演示板的 TP3 和 GND 之间接上电压表,观察 V_{CCINT} 周期性地关断和上电。同样观察 V_{CCIO} (演示板的 TP1 和 GND 之间)。还可以观察 4 个 LED (D2, D3, D5 和 D6) 在每次恢复 CPLD 供电时的位置移动。LED 每次点亮的位置取决于前面点亮的 LED 位置,如表 1 所示。

源代码

该设计实例采用了 Verilog HDL 来实现,成功地运行在 MDN-B2 演示板上。下面的链接提供源代码、测试台文件以及完整的 Quartus II 工程:

www.altera.com/literature/an/an491_design_example.zip

结论

正如这一设计实例所示,MAX II CPLD 是实现低功耗应用非常好的选择,在这类应用中电池使用时间非常关键。它不但具有低功耗特性,而且不需要上电排序,可实现自动启动功能,在重复执行系统任务期间关断 CPLD。

其他资源

下面列出了其他资源:

- MAX II CPLD 主页:
www.altera.com/products/devices/cpld/max2/mx2-index.jsp
- MAX II 器件资料:
www.altera.com/literature/lit-max2.jsp
- MAX II 关断设计:
www.altera.com/support/examples/max/exm-power-down.html
- MAX II 应用笔记:
[AN 428: MAX II CPLD 设计指南](#)
[AN 422: 利用 MAX II CPLD 实现便携式系统的功耗管理](#)

版本历史

表 3 列出了本应用笔记的版本历史。

表 3. 版本历史		
日期和文档版本	进行的改动	注释
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

