

引言

软盘驱动器、CD-ROM 驱动器和硬盘驱动器等存储设备通过 IDE/ATA 接口连接到计算机上。这一设计实例介绍了采用 MAX® II CPLD 来实现 IDE/ATA 控制器, 主计算机或者微处理器系统通过该器件连接至标准集成驱动电子 (IDE) 设备。

IDE/ATA 控制器 和接口

当控制器和硬盘驱动器采用了专用技术时, 一个生产商的控制器无法兼容其他生产商的硬盘驱动器。开发 IDE 的目的是实现计算机硬盘驱动应用标准化。它的基本思想是把控制器和硬盘驱动器结合起来, 从而降低了接口成本, 简化了固件实现。芯片中的控制器实现了和主计算机的数据传送。

IDE 控制器也称为 ATA (高级技术附件) 控制器, 是主微处理器系统和标准 IDE 设备之间的异步并行接口。因此, 可以把它称为主机适配器, 它提供了 IDE 设备和主机之间的连接。

ATA 接口从推出开始, 一直在不断更新, 引入新的版本。这一设计实例实现的 IDE 控制器和 ATA-5 接口兼容。虽然 ATA-5 标准支持两种工作模式——PIO 模式和 DMA 模式, 本设计只限于 PIO 模式 (0 模式), 只有一个设备和控制器 (主机) 连接。

图 1 所示为 IDE/ATA 接口的结构图。

图 1. IDE/ATA 接口的结构图 注释 (1)

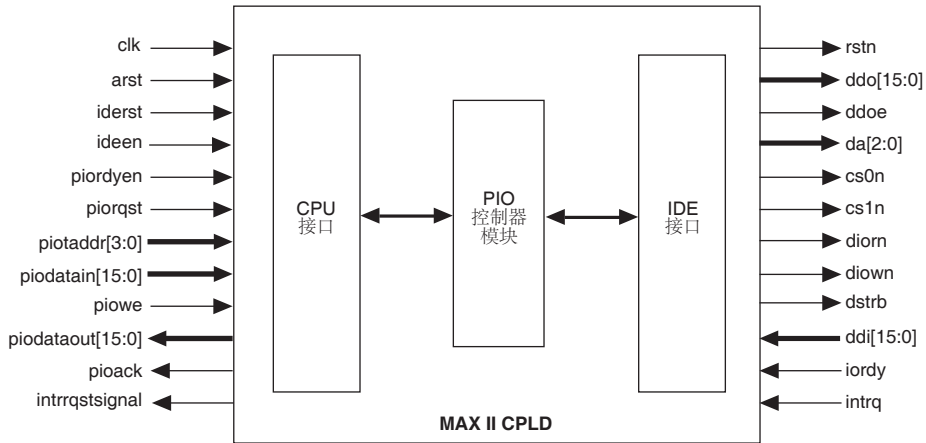


图 1 的注释:

- (1) IDE/ATA接口包括三个模块: 接收CPU命令的CPU接口模块; 含有PIO状态机的PIO控制器模块; IDE接口模块, 它产生 IDE 设备需要的信号, 实现和主机之间的数据传送。

利用 MAX II CPLD 实现 IDE/ATA 控制器

IDE 接口支持两种数据传送模式: PIO 模式和 DMA 模式。本设计实例仅限于 PIO 数据传送的 0 模式。



关于各种 PIO 模式和 DMA 模式的详细信息, 请参考 ATA/ATAPI-5 规范 www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

表 1 简要介绍了图 1 中的各种信号。

信号	位数	方向	说明
clk	1	输入	和处理器的时钟相同。该实例工作的时钟频率为 100 MHz。
arst	1	输入	异步低电平有效复位，将控制器复位。
iderst	1	输入	高电平有效信号，复位 IDE 设备。
ideen	1	输入	高电平有效信号，使能 IDE 设备。
pioiordyen	1	输入	高电平有效信号，使能 IDE 设备的 IORDY 信号。
piorqst	1	输入	高电平有效信号，启动 PIO 数据传送周期。
pioaddr[3:0]	4	输入	4 位总线，选择设备地址和 IDE 设备的片选信号。
piodatain[15:0]	16	输入	16 位总线，将数据发送给 IDE 设备。
piowe	1	输入	高电平有效信号，设置数据传送的方向。 piowe = 1; 写操作 piowe = 0; 读操作
intrrqstsignal	1	输出	中断 CPU 的信号。
pioack	1	输出	指示 PIO 读 / 写周期结束的信号。
piodataout [15:0]	16	输出	16 位总线，保持从 IDE 设备读取的数据。
rstn	1	输出	低电平有效信号，复位 IDE 设备。
ddo [15:0]	16	输出	16 位数据总线，CPU 通过它将数据传送给设备。低 8 位用于 8 位数据传送。
da [2:0]	3	输出	3 位高电平有效信号。含有主机设置的二进制编码地址，以访问设备的寄存器或者数据端口。
cs0n, cs1n	每个 1 位	输出	来自主机的低电平有效片选信号，用于选择命令模块或者控制模块寄存器。 CS0=0; 选择控制寄存器 CS1= 0; 选择命令寄存器 CS0, CS1= 0/1; 设备将忽略 DIOR-/DIOW- 上的变化，释放数据总线。
diorn	1	输出	主机设置的低电平有效选通信号，读取设备寄存器或者数据端口。
diown	1	输出	主机设置的低电平有效选通信号，向设备寄存器或者数据端口写入数据。
dstrb	1	输出	来自设备的 data-in strobe 信号。dstrb 上升沿将来自设备的数据锁存到主机中。
ddi [15:0]	16	输入	16 位数据总线，含有从 IDE 设备读取的数据。

表 1. 接口信号说明

信号	位数	方向	说明
iordy	1	输入	当设备还没有准备好响应数据传送请求时，该信号置反，以延长主机寄存器访问（读或者写）的主机传送周期。可以选择 0 模式，但是要求更高的模式。
intrq	1	输入	所选的设备利用该信号来提醒主机有事件发生。当出现这类事件时，设备内部中断未决状态被置位。
ddoe	1	输出	用于从 IDE 设备读数据。信号变为低电平后，ddi 总线上的数据被放到数据线 piodataout 上。

CPU 接口模块

CPU 接口模块接收来自主机 CPU 的信号，将其存储在 CPLD 的内部寄存器中。根据这些内部寄存器的信息，PIO 控制器会经历 PIO 读写操作的各种状态。

PIO 控制器模块

PIO 控制器模块含有 PIO 状态机。当主机发送读写请求时，状态机经历相应的读写状态，将数据发送出去。这一模块中名为 *piomodecontroller* 的模块决定状态机应该经历的状态。名为 *runoncecounter* 的另一模块根据每一读写时序要求，装入计数值来产生所需的时延。通过参数 *piomodet1*、*piomodet2*、*piomodet4* 和 *piomodeteoc* 装入计数值。该设计实例装入的默认值使处理器的工作频率为 100 MHz。可以修改这些参数值，使处理器工作在不同频率上。第三个模块是 *updowncounter*，它递减在每一时钟脉冲时装入的计数值，从而产生所需的时延。



关于 PIO 读写信号和时序规范的详细信息，请参考 ATA/ATAPI-5 规范：
www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

IDE 接口模块

IDE 接口模块产生合适的接口信号，使数据能够装入到 IDE 设备寻址的内部寄存器中，或者从这些内部寄存器读取数据。内部寄存器的选择取决于 *da[2:0]*、*cs0n* 和 *cs1n* 线上的数值。*diorn* 和 *diown* 线分别指示读写操作。



关于 IDE 设备各种内部寄存器及其选择方法的详细信息，请参考 ATA/ATAPI-5 规范：
www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

设计实现

该设计实例可以采用 EPM570 等 MAX II 器件来实现，也可以采用其他具有所需通用 I/O (GPIO) 引脚和 LE 的 MAX II CPLD 来实现。

源代码

正如本应用笔记所示，设计实例采用了 Verilog HDL 来实现，成功地运行在 MDN-B2 演示板上。下面的链接提供源代码、测试台文件以及完整的 Quartus II 工程：

www.altera.com/literature/an/an495.zip

结论

正如本设计实例所示，MAX II CPLD 可以有效地实现 IDE/ATA 控制器。利用标准的 ATA 接口，MAX II CPLD 能够实现任意存储设备和主微控制器或者处理器系统的接口。MAX II CPLD 具有高密度 I/O、简洁的上电排序、多电压以及低成本特性，是实现 IDE/ATA 控制器的理想选择。

其他资源

- MAX II CPLD 主页：
www.altera.com/products/devices/cpld/max2/mx2-index.jsp
- MAX II 器件资料：
www.altera.com/literature/lit-max2.jsp
- MAX I 关断设计：
www.altera.com/support/examples/max/exm-power-down.html
- MAX II 应用笔记：
 - AN 422: 利用 MAX II CPLD 实现便携式系统的功耗管理
 - AN 428: MAX II CPLD 设计指南

文档版本历史

表 2 列出了本应用笔记的版本历史。

日期和文档版本	进行的改动	注释
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support:
www.altera.com/support/
Literature Services:
literature@altera.com

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

