

## 引言

供电元件关断和接通 (也称为闪断) 功能需要很少的系统干预, 是非常有用的节电技术。Altera® MAX® II CPLD 支持简洁的上电排序, 提供专用功能, 非常适合实现这类技术。本应用笔记讨论利用 MAX II CPLD 的自动停止和启动功能来实现 LED 闪断的一些简单方法。

## 利用自动停止 和启动功能来 降低功耗

很多消费类和工业应用系统并不需要 CPLD 一直保持上电。在系统中, CPLD 最好能够周期性地上电, 大部分时间保持关断状态, 只在需要时上电。MAX II CPLD 可承受任意的上电顺序, 而且具有业界最短的上电时间 (EPM240 一般为 200  $\mu$ s, 取决于设计中的逻辑密度)。

这些因素使得 MAX II CPLD 成为实现这类系统非常合适的目标器件。当任务完成后, CPLD 关断, 在下次任务时再次接通。自关断由 CPLD 自己产生, 而自动启动由外部电路产生, 例如一个简单的 RC 电路, 由该电路提供所需要的时延。整个方案都有助于降低功耗, 特别是在电池供电的系统中, 这类系统需要实现周期性的功能 (例如无线遥测系统中的参数采样等), 而 CPLD 在没有任务的空闲期间可以关断。

CPLD 产生两类信号, 关断及其附属信号, 通过触发外部电路来关断 CPLD 的 LDO 供电电路, 导致自关断。CPLD 关断后, 在外部 RC 电路设置的时延时间之后, 外部电路再次对它上电。上电时, LED 点亮, CPLD 关断后, LED 熄灭。图 1 所示为采用 MAX II CPLD 来实现的关断电路。

图 1. 利用 MAX II CPLD 实现关断电路

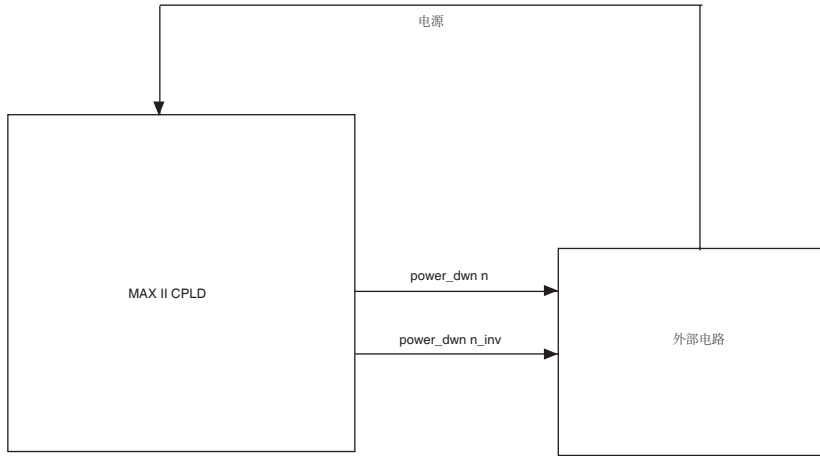
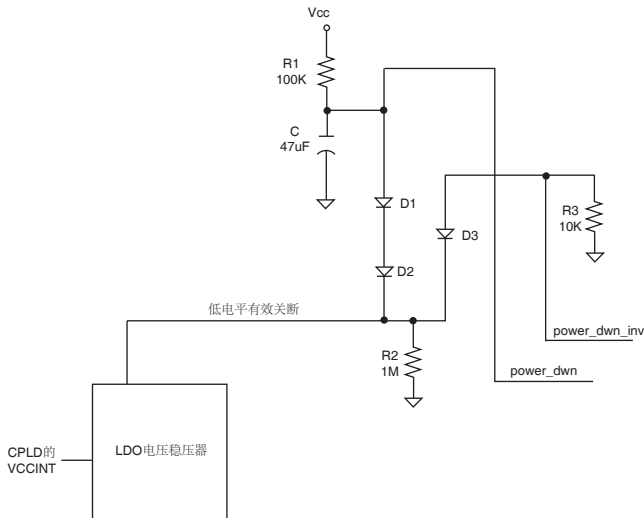


图 2 所示为图 1 中的外部电路。

图 2. MAX II CPLD 关断电路的外部电路



这一节讨论 MAX II CPLD 的自动关断和自动上电功能。LED 指示 CPLD 的供电。当 CPLD 接通时, `power_dwn` 信号变为低电平 (`power_dwn_inv` 为高电平)。LDO 的关断引脚无效 (低电平有效), LDO (图 2 所示) 继续保持接通。电容 C 保持其放电状态。

当 CPLD 关断时, `power_dwn` 信号变为高电平 (`power_dwn_inv` 变为低电平)。这导致 LDO 关断, 从而关掉 CPLD。CPLD 的 I/O 引脚进入三态, 释放电容下拉。电容开始充电, 时间常数为  $R1 \cdot C$ 。电容一直充电, 直到其上电压值达到 LDO 关断引脚上的阈值 (可以通过二极管 D1 和 D2 上的电压来提高这一阈值)。达到阈值后, LDO 打开, CPLD 随之接通。不断重复这一周期。

可以采用 EPM240G 或者其他 MAX II CPLD 以及简单的外部 RC 电路和能够关断的电源来实现本应用笔记。实现过程包括利用实例的源代码, 为 MAX II CPLD 的通用 I/O (GPIO) 及其支持电路分配合适的信号和控制线等。演示板 MDN-B2 内置了这种支持电路。演示板上的 LED 用于指示 MAX II CPLD 的供电状态。在演示板上, CPLD 内核电源串联了一个  $1\text{-}\Omega$  电阻, 测量该电阻上的电压简化了对电源的测量。

下面详细介绍怎样在 MDN-B2 演示板上实现本设计实例。表 1 列出了实例的 EPM240G 引脚分配。

EPM240G 引脚分配	
信号	引脚
<code>power_on_led</code>	69
<code>power_dwn_inv</code>	12
<code>power_dwn</code>	14



编译前, 在 Quartus II 软件的 device and pin 选项设置中, 把未使用的引脚分配为 **input-tristated**。

## 设计说明

按照以下步骤在 MDN-B2 演示板上演示该设计:

1. 打开演示板电源 (使用滑动开关 SW1)。

2. 通过演示板上 JTAG 插头 JP5 和普通编程电缆 (ByteBlaster™II 或者 USB-Blaster™)，把设计下载到 MAX II CPLD 中。在编程启动前和启动过程中，保持演示板上 SW4 的按下状态不变。编程完成后，关断电源，拔下 JTAG 连接器。
3. 打开演示板电源(使用滑动开关SW1)，观察VCCINT和VCCIO周期性地上电和关断。
4. 观察 CPLD 每次恢复上电时 LED D2 点亮。
5. 测量 2.5 V 供电 (TP1 和 TP2 焊盘)R52 上的压降，以及 1.8 V 供电 (TP3 和 TP4 焊盘 )R27 上的压降。

## 源代码

这篇文档介绍的设计采用了 Verilog 来实现，成功地运行在 MDN-B2 演示板上。下面的链接提供源代码、测试台文件以及完整的 Quartus II 工程：

[www.altera.com/literature/an/an498\\_design\\_example.zip](http://www.altera.com/literature/an/an498_design_example.zip)

## 结论

MAX II CPLD 是实现低功耗应用非常好的选择，在这类应用中，延长电池使用时间非常重要。MAX II CPLD 具有低功耗以及简洁快速的上电特性，不需要进行上电排序，在空闲状态和不工作期间可以自关断。结合重新迅速上电的自动启动功能，大大提高了 CPLD 的节能能力。

## 其他资源

下面列出了本应用笔记的其他资源：

- MAX II CPLD 主页：  
<http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp>
- MAX II 器件资料：  
<http://www.altera.-com/literature/lit-max2.jsp>
- MAX II 关断设计：  
<http://www.altera.com/support/examples/max/exm-power-down.html>
- MAX II 应用笔记：  
*AN 428：MAX II CPLD 设计指南*  
*AN 422：利用 MAX II CPLD 实现便携式系统的功耗管理*

## 文档版本历史

表 2 列出了本应用笔记的版本历史。

表 2. 文档版本历史		
日期和文档版本	进行的改动	对改动的总结
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
**Technical Support:**  
[www.altera.com/support](http://www.altera.com/support)  
**Literature Services:**  
[literature@altera.com](mailto:literature@altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

