

## 引言

本应用笔记详细介绍怎样利用 Altera® MAX® II CPLD 来实现移动 SDRAM 接口。

## 移动 SDRAM

SDRAM 以低成本实现了大容量存储。移动 SDRAM 设备的不同之处在于它还可以用于低功耗应用。SDRAM 的低功耗特性支持这类应用, 例如:

- 温度补偿自刷新 (TCSR)
- 部分阵列自刷新 (PASR)
- 深度关断模式

SDRAM 广泛应用于便携式电子设备中, 例如数字相机、移动电话、机械装备、家电等。本应用笔记介绍微处理器和移动 SDRAM 设备之间的通用接口。利用 SDRAM 的优势所在, 可以很容易把它集成到实际应用中。

## SDRAM 接口

在本设计中, MAX II CPLD 实现了微处理器和移动 SDRAM 之间的接口功能。对微处理器命令进行解释后, 符合时序要求的相应信号被传送至 SDRAM, 其信号格式也符合 SDRAM 要求。图 1 所示为该接口的基本结构。存储器上的接口信号提供给典型的 Micron SDRAM 设备。

图 1. 移动 SDRAM 接口

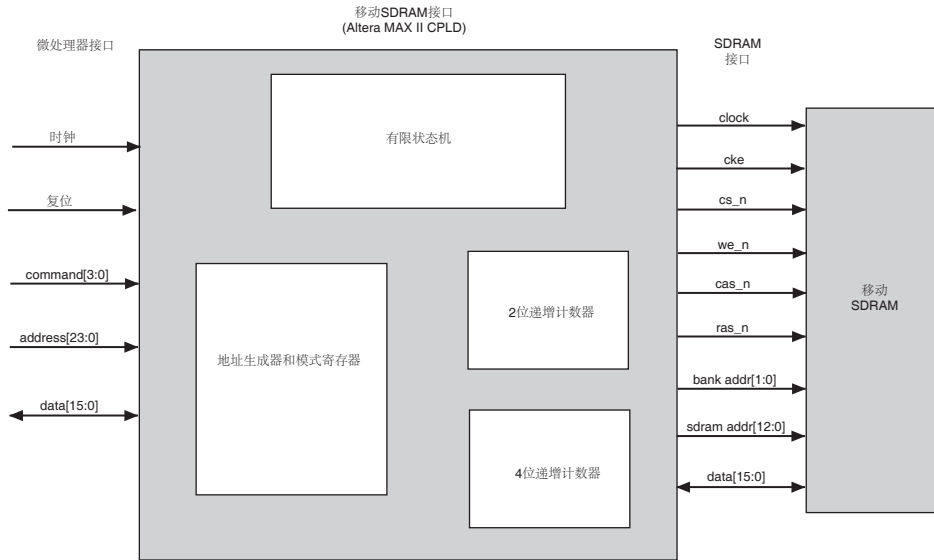


表 1 列出了构成微处理器和 SDRAM 接口的各种信号。

| 引脚                 | 位数   | 类型      | 说明                      |
|--------------------|------|---------|-------------------------|
| clk                | 1 位  | 输入      | 系统时钟                    |
| cke                | 1 位  | 输入      | 时钟使能。激活和停止时钟。           |
| cs_n               | 1 位  | 输入      | 片选。使能或者禁止命令解码器。         |
| we_n, cas_n, ras_n | 1 位  | 输入      | 命令引脚。选择工作模式。            |
| bank_address       | 2 位  | 输入      | 定义要访问的块。                |
| s dram_address     | 13 位 | 输入      | 根据激活或者读写命令是否被置位来置位行列地址。 |
| data               | 16 位 | 输入 / 输出 | 数据输入和数据输出。              |
| clock              | 1 位  | 输入      | 驱动处理器和控制器的同一时钟。         |
| reset              | 1 位  | 输入      | 外部高电平有效输入，复位控制器。        |

| 引脚      | 位数   | 类型      | 说明   |
|---------|------|---------|--|
| command | 4 位  | 输入      | 这四条线为控制器提供命令。Mircon 的移动 SDRAM 数据资料详细解释了这些命令。 |
| address | 24 位 | 输入      | 最高有效 2 位指示块，随后的 9 位指示行地址，剩下的 13 位指示列地址。      |
| data    | 16 位 | 输入 / 输出 | 16 位宽双向数据总线。                                 |

移动 SDRAM 接口设计包括四个主要模块，如图 1 所示，即有限状态机 (FSM) 模块、2 位递增计数器、4 位递增计数器以及地址生成器和模式寄存器。下面对这些模块进行简要介绍。

## 有限状态机

有限状态机解释来自微处理器的输入，把相应的命令发送给移动 SDRAM 设备，以及符合时序要求的地址。然后，移动 SDRAM 设备进入相应的状态，执行命令。

## 2 位递增计数器

这一计数器监视 CAS 延时时钟周期数。延时最大为两个时钟周期。

## 4 位递增计数器

这一计数器监视读写突发工作时的时钟周期数。突发长度可以是 1、2、4 或者 8。

## 地址发生器和模式寄存器

地址发生器将微处理器提供的地址按照要求的格式映射到移动 SDRAM 设备上。它根据状态分别产生块和行列地址，并传送到移动 SDRAM 设备上。

表 2 和表 3 列出了模式寄存器和扩展模式寄存器的内容。

| 引脚           | 位数  | 类型 | 说明                              |
|--------------|-----|----|---------------------------------|
| burst_length | 2 位 | 输入 | 提供选项来选择突发长度 1, 2, 4 或者 8。       |
| burst_type   | 1 位 | 输入 | 提供选项来选择顺序访问和间隔访问。               |
| CAS_latency  | 2 位 | 输入 | 提供选项来选择发送读命令后的 2 个或者 3 个时钟周期延时。 |

| 引脚              | 位数  | 类型 | 说明   |
|-----------------|-----|----|--|
| PASR            | 3 位 | 输入 | 部分阵列自刷新。提供选项来刷新四个块、两个块、一个块、半个块以及四分之一块。Micron 的移动 SDRAM 数据资料详细介绍了这些命令。  |
| TCSR            | 2 位 | 输入 | 温度补偿自刷新。使控制器能够根据 BATRAM 设备的温度对刷新间隔进行设置。Micron 的移动 SDRAM 数据资料详细介绍了这些命令。   |
| driver_strength | 1 位 | 输入 | 用于输出驱动能力选择。全驱动能力可驱动 50 pF 的负载。半驱动能力适用于点对点应用。<br><ul style="list-style-type: none"> <li>● 0 = 半驱动能力</li> <li>● 1 = 全驱动能力</li> </ul> |

## 设计实现

本设计可以采用 MAX II EPM570(144 个引脚, 或者更多) 来实现。设计源代码编译完成后, 编程至 MAX II CPLD 中。图 1 所示为主机接口和 SDRAM 接口。这一 SDRAM 接口设计使用了 EPM570 器件中大约 24% 的逻辑单元 (LE) 以及 85 个 I/O 引脚。

## 源代码

本设计采用了 Verilog HDL 来实现。下面的链接提供源代码、测试台文件以及完整的 Quartus® II 工程：

[www.altera.com/literature/an/an499\\_design\\_example.zip](http://www.altera.com/literature/an/an499_design_example.zip)

## 结论

正如本设计所示，MAX II CPLD 是实现移动 SDRAM 等存储设备接口非常好的选择。它具有低成本、易于上电和多电压特性，特别是低功耗特性，是实现存储器接口等应用理想的可编程逻辑器件选择。

## 其他资源

下面列出了本应用笔记的其他资源：

- MAX II CPLD 主页：  
<http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp>
- MAX II 器件资料：  
<http://www.altera.com/literature/lit-max2.jsp>
- MAX II 关断设计：  
<http://www.altera.com/support/examples/max/exm-power-down.html>
- MAX II 应用笔记：  
*AN 428：MAX II CPLD 设计指南*  
*AN 422：利用 MAX II CPLD 实现便携式系统的功耗管理*

## 文档版本历史

表 4 列出了本应用笔记的版本历史。

| 表 4. 文档版本历史        |       |        |
|--------------------|-------|--------|
| 日期和文档版本            | 进行的改动 | 对改动的总结 |
| 2007 年 12 月， 1.0 版 | 初次发布  | —      |



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
**Technical Support:**  
[www.altera.com/support](http://www.altera.com/support)  
**Literature Services:**  
[literature@altera.com](mailto:literature@altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

