

## 引言

本文档详细介绍怎样在 Altera® MAX® II CPLD 中实现 NAND 闪存接口。本设计可以采用 Samsung 或者 AMD NAND 闪存来实现。

## 闪存

闪存是非易失半导体存储器, 可以编程并能够重新编程。它将信息存储在单元阵列中, 每个单元存储一个比特的信息。单元采用了双逻辑门结构, 控制逻辑门和 MOSFET 硅基底之间是浮动逻辑门。采用了二氧化硅绝缘体来隔离浮动逻辑门。这就是闪存的基本存储机制。

NOR 闪存和 NAND 闪存是两种类型的闪存。NOR 闪存支持随机访问, 而 NAND 闪存是顺序访问器件。这两类闪存的接口有很大不同。NOR 闪存采用了专用地址线 and 数据线, 而 NAND 闪存没有专用地址线。

和 NOR 相比, NAND 有明显的优势, 例如, 由于采用了较小的单元面积, 后者的单位比特成本更低, 容量更大, 更稳定, 而且容易擦除, 编程时间更短。这些优势使得 NAND 闪存成为产品应用更好的选择, 例如: USB 闪存驱动器、mp3 播放器、数字音频记录、数字电话应答设备 (TAD) 的数据存储、数码相机以及 CompactFlash 和 MemoryStick 等存储卡。

本文档详细介绍怎样在 Altera MAX II CPLD 中实现 NAND 闪存接口。设计可以采用 Samsung 或者 AMD NAND 闪存来实现。实例中采用了 AMD Am30LV0064D 和 Samsung K9F4008W0A 闪存。

AMD NAND 闪存 (Am30LV0064D) 是 64-Mbit 大容量存储器件, 适合连续数据和要求快速写入功能的高密度应用。初始页面读取时间是 7  $\mu$ s, 后续字节访问时间小于 50 ns。

Samsung NAND FLASH (K9F4008W0A) 是 512 K  $\times$  8 位存储器, 适合不需要高性能或者大容量闪存的应用。它支持 32 字节帧读操作, 随机访问时间为 15  $\mu$ s, 后续访问时间为 120 ns。

## 利用 MAX II 实现 NAND 闪存接口

图 1 所示为接口结构图。系统发出的命令以编码格式到达 NAND 闪存接口输入。每一操作采用了不同的编码格式, 通过 3 位宽控制总线送出。请参考表 2。

表 1 对接口引脚进行了说明。利用使能 / 禁止信号输入, 可以分别进行使能或者禁止 (ALE、CLE、SE 和 WE) 操作。NAND 闪存接口模块 (Altera MAX II CPLD) 对这些命令正确解码后, 译成输出使能或者禁止信号, 使 NAND 闪存能够完成必须的操作。

NAND 闪存的实际操作是在命令控制下进行的, 这些命令通过 I/O 总线写入闪存的命令寄存器 (请参考表 3 和表 4)。通过相同的总线发送读写数据及其地址。

图 1 所示为 NAND 闪存的不同接口信号。后面标有 '#' 的信号低电平时被置位。

图 1. NAND 闪存接口信号

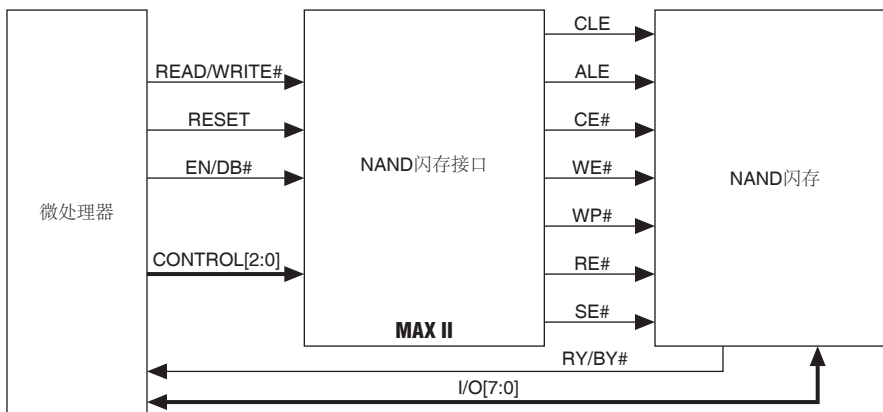


表 1 对接口信号进行了说明。

信号	位数	说明
READ/WRITE#	1 位	来自微处理器的输入, 区分读写操作: <ul style="list-style-type: none"> <li>● READ/WRITE# 0: 写操作</li> <li>● READ/WRITE# 1: 读操作</li> </ul>
RESET	1 位	来自微处理器的输入, 复位 NAND 闪存。
CONTROL[2:0]	3 位	3 位控制总线。微处理器向 NAND 闪存接口 (Altera Max II) 发送 3 位信息, 在接口进行解码。根据 EN/DB# 输入状态, 使能或者禁止相应的接口信号。

信号	位数	说明
EN/DB#	1 位	控制位, 结合其他控制位完成所需的操作。 <ul style="list-style-type: none"> <li>EN/DB# 1: 使能控制位所选择的接口信号。</li> <li>EN/DB# 0: 禁止控制位所选择的接口信号。</li> </ul>
I/O[7:0]	8 位	双向 8 位复用总线, 用于向 NAND 闪存的寄存器分别发送数据 / 命令 / 地址信息。还可以通过这些线读取 NAND 闪存数据。
RY/BY#	1 位	NAND 闪存的输出, 指示器件状态。 <ul style="list-style-type: none"> <li>RY/BY# 0: 器件还在执行某一操作, 忙。</li> <li>RY/BY# 1: 器件准备接收下一命令。</li> </ul>
CLE	1 位	高电平有效命令锁存使能。用于选择器件的命令寄存器或者数据寄存器。高电平时, I/O 线上的命令在 WE# 上升沿被锁存至命令寄存器。(1)
ALE	1 位	高电平有效地址锁存使能。用于选择器件的地址寄存器或者数据寄存器。高电平时, I/O 线上的地址在 WE# 上升沿被锁存至地址寄存器。低电平信号使设备复位。对于整个地址序列, 该信号必须保持高电平。(1)
CE#	1 位	低电平有效片选。用于选择器件的工作模式和待机模式。 <ul style="list-style-type: none"> <li>CE# 0: 选择工作模式。</li> <li>CE# 1: 如果当前没有操作, 选择待机模式。</li> </ul> 如果正在进行编程或者擦除操作, 忽略这一 CE 信号。
WE#	1 位	低电平有效写使能。用于向器件中的寄存器分别写入命令 / 地址 / 数据信息。I/O 线上的信息在 WE# 上升沿被锁存至相应的寄存器。
WP#	1 位	低电平有效写保护。 WP# 0: 器件被写保护。 WP# 1: 器件没有写保护。
RE#	1 位	低电平有效读使能。用于器件之间传送数据 / 状态信息。I/O 线上的信息在 RE# 上升沿有效。
SE#	1 位	低电平有效空余区使能。采用了 AMD 器件时才需要。Samsung 器件不需要。 <ul style="list-style-type: none"> <li>SE# 0: 每一页的 16 字节空余区被使能。</li> <li>SE# 1: 空余区被禁止。</li> </ul>

**表 1 的注释:**

(1) CLE 和 ALE 同时低电平, 则选择数据寄存器。I/O 线上的数据在 WE# 上升沿被锁存至数据寄存器。

控制信号 [2:0]	EN/DB#	所进行的操作
000	—	命令锁存使能 (CLE = 1), 和 EN/DB# 的状态无关。
001	—	根据 I/O 线上发送的命令, 进行读数据 / 状态 / 器件操作。

控制信号 [2:0]	EN/DB#	所进行的操作
010	—	根据 I/O 线上发送的命令，进行写数据 / 命令 / 地址操作。
011	1 0	ALE 被置位 (高电平) ALE 被禁止 (低电平)
100	1 0	SE# 被置位 (低电平) SE# 被禁止 (高电平) (1)
101	1 0	WP# 被置位 (低电平) WP# 被禁止 (高电平)
110	1 0	CE# 被置位 (低电平) CE# 被禁止 (高电平)
111	1 0	在 RY/BY# 线上发送闪存的状态 RY/BY# 线并不反映闪存的状态

**表 2 的注释:**

(1) 该操作只适用于 AMD 闪存。根据 EN/DB# 线的状态，该命令使能 / 禁止每一页面的 16 字节空余区。

表 3 和表 4 提供了 AMD NAND 闪存 (Am30LV0064D) 和 Samsung NAND 闪存 (K9F4008W0A) 所支持的各种命令信息。

操作	周期 1	周期 2	忙时有效
Read data	00h/01h	—	否
Gapless Read (1)	02h	—	否
Read Spare Area	50h	—	否
Read ID	90h	—	否
Read Status	70h	—	是
Input Data (2)	80h	—	否
Page Program (2)	10h	—	否
Block Erase (3)	60h	D0h	否
Erase Suspend (1)	B0h	—	是
Erase Resume (1)	D0h	—	否

表 3. Am30LV0064D 命令集

操作	周期 1	周期 2	忙时有效
Reset	FFh	—	是

## 表 3 的注释:

- (1) 只有 AMD NAND 闪存支持的扩展命令集。
- (2) 对闪存阵列进行数据编程需要两个步骤，顺序进行两个不同的命令。必须使用输入数据命令序列将要编程的数据装入数据寄存器中。数据装入后，执行页面编程命令，将信息从数据寄存器传送到闪存阵列中。
- (3) Block Erase 也是两周期命令。在第一个命令周期中，将要擦除的块地址发送给器件。在第二命令周期中，遇到 WE# 信号上升沿时，闪存开始擦除操作。

闪存编程以页面 (512 字节 + 空余区 16 字节) 为基础，而擦除操作以块 (8 K 字节 + 256 字节) 为基础。

Erase Suspend 和 Erase Resume 命令用于对时间要求较高的任务。这些任务只能用于当前没有被擦除的块。Gapless Read 用于在性能特别高的模式中读出数据。在传送第一页时，只需要 7  $\mu$ s 延时就可以从多个页面中读取数据。



关于 AMD NAND 闪存的详细信息，请参考：  
[www.spansion.com/datasheets/22203c4.pdf](http://www.spansion.com/datasheets/22203c4.pdf)

表 4. K9F4008W0A 命令集

操作	周期 1	周期 2	忙时有效
Read Data	00h	—	否
Read ID	90h	—	否
Read Status	70h	—	是
Frame Program (1)	80h	10h	否
Block Erase (2)	60h	D0h	否
Reset	FFh	—	是

## 表 4 的注释:

- (1) Frame Program 是两步命令：Frame Program 设置命令 (80h) 开始装入数据。Frame Program 确定命令 (10h) 启动编程过程。
- (2) Block Erase 也是两步命令：Erase 设置命令 (60h) 装入要擦除的块地址。装入 Erase 确定命令 (D0h) 后，闪存开始内部擦除过程。

在帧基础 (32 字节) 上对闪存进行编程，而擦除操作以块 (4 K 字节) 为基础。器件还支持部分帧编程。



关于 Samsung NAND 闪存的详细信息, 请参考:  
[www.datasheet4u.com/html/K/9/F/K9F4008W0A-\\_Samsungsemiconductor.pdf.html](http://www.datasheet4u.com/html/K/9/F/K9F4008W0A-_Samsungsemiconductor.pdf.html)

## 设计实现

可以采用 EPM240 或者其他 MAX II CPLD 来实现本设计。设计源代码编译完成后, 被编程至 MAX II CPLD。图 1 介绍了主机接口和 NAND 闪存接口。这一 NAND 闪存接口设计采用了 AMD NAND 闪存 Am30LV0064D 以及 Samsung NAND 闪存 K9F4008W0A。

## 源代码

本设计采用了 Verilog HDL 来实现。下面的链接提供源代码、测试台文件以及完整的 Quartus® II 工程:

[www.altera.com/literature/an/an500\\_design\\_example.zip](http://www.altera.com/literature/an/an500_design_example.zip)

## 结论

正如本设计实例所示, MAX II CPLD 是实现 NAND 闪存等存储器接口非常好的选择。其低功耗以及易于上电等特性使其成为这类存储器接口应用理想的可编程逻辑器件选择。

## 其他资源

下面列出了其他资源:

- MAX II CPLD 主页:  
[www.altera.com/products/devices/cpld/max2/mx2-index.jsp](http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp)
- MAX II 器件资料:  
[www.altera.com/literature/lit-max2.jsp](http://www.altera.com/literature/lit-max2.jsp)
- MAX II 关断设计:  
[www.altera.com/support/examples/max/exm-power-down.html](http://www.altera.com/support/examples/max/exm-power-down.html)
- MAX II 应用笔记:  
AN 428: MAX II CPLD 设计指南  
AN 422: 利用 MAX II CPLD 实现便携式系统的功耗管理

## 版本历史

表 5 列出了本应用笔记的版本历史。

日期和版本	进行的改动	注释
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Literature Services:  
[literature@altera.com](mailto:literature@altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。

