


本章节介绍了 Cyclone® IV 器件系列中具有高级特性的层次时钟网络与锁相环 (PLL)，包括了实时重配置 PLL 计数器时钟频率和相移功能的详尽说明，这些功能使您能够扫描 PLL 输出频率，以及动态调整输出时钟相移。

 Quartus® II 软件在未使用外部器件情况下使能 PLL 及其功能。

本章节包含以下几部分内容：

- 时钟网络 (第 5-1 页)
- Cyclone IV 器件中的 PLL (第 5-18 页)
- Cyclone IV PLL 硬件概述 (第 5-20 页)
- 时钟反馈模式 (第 5-23 页)
- 硬件特性 (第 5-26 页)
- 可编程带宽 (第 5-32 页)
- 相移的实现 (第 5-32 页)
- PLL 级联 (第 5-33 页)
- PLL 重配置 (第 5-34 页)
- 扩频时钟 (第 5-41 页)
- PLL 规范 (第 5-41 页)

## 时钟网络

Cyclone IV GX 器件提供了多达 12 个专用时钟管脚 (CLK[15..4])，以用于驱动全局时钟 (GCLKs)。Cyclone IV GX 器件的每一侧 (左侧除外) 支持四个专用时钟管脚，这些时钟管脚能够驱动高达 30 个 GCLK。

Cyclone IV E 器件提供了多达 15 个专用时钟管脚 (CLK[15..1])，以用于驱动高达 20 个 GCLK。Cyclone IV E 器件的左侧支持三个专用时钟管脚，在顶端、底部及右侧支持四个专用时钟管脚 (EP4CE6 与 EP4CE10 器件除外)。EP4CE6 和 EP4CE10 器件仅在器件左侧支持三个专用时钟管脚，在器件右侧支持四个专用时钟引脚。

要了解关于每一个器件密度中的 GCLK 网络数量的详细信息，请参考 *Cyclone IV FPGA Device Family Overview* 章节。

## GCLK 网络

GCLK 驱动整个器件，并对器件各象限提供时钟。器件中的所有资源（I/O 单元、逻辑阵列模块 (LAB)、专用乘法器模块以及 M9K 存储器模块）都能够将 GCLK 用作时钟资源。这些全局网络资源可用于控制信号，例如：由外部管脚驱动的时钟使能及清零信号。另外，内部逻辑也能够驱动 GCLK，以用于内部生成的 GCLK 和异步清零、时钟使能，或者其它具有高扇出的控制信号。

第 5-4 页的表 5-1 和表 5-2 和第 5-7 页的表 5-3 列出了时钟源到 GCLK 网络的连接。

表 5-1. EP4CGX15, EP4CGX22 和 EP4CGX30G 的 CLK 网路连接 (1) (2)(1/2)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
CLK4/DIFFCLK_2n	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
CLK5/DIFFCLK_2p	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLK6/DIFFCLK_3n	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—
CLK7/DIFFCLK_3p	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
CLK8/DIFFCLK_5n	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—
CLK9/DIFFCLK_5p	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—
CLK10/DIFFCLK_4n/RE FCLK1n	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—
CLK11/DIFFCLK_4p/RE FCLK1p	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—
CLK12/DIFFCLK_7p/RE FCLK0p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
CLK13/DIFFCLK_7n/RE FCLK0n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—
CLK14/DIFFCLK_6p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
CLK15/DIFFCLK_6n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_1_C0	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_1_C1	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_1_C2	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_1_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_1_C4	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_2_C0	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C1	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C2	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C4	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_3_C0	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
PLL_3_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓

表 5-1. EP4CGX15, EP4CGX22 和 EP4CGX30G 的 CLK 网路连接 (1) (2)(2/2)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
PLL_3_C2	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_3_C3	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—
PLL_3_C4	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓
PLL_4_C0 (3)	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	✓	—	—	—	—	—	—
PLL_4_C1 (3)	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	✓	—	—	—	—	—
PLL_4_C2 (3)	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL_4_C3 (3)	—	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—	—
PLL_4_C4 (3)	—	—	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK3 (4)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
DPCLK4 (4)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
DPCLK6 (4)	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
DPCLK7	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
DPCLK9 (4)	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
DPCLK11 (4)	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK12 (4)	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
DPCLK13	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—

**表 5-1 注释:**

- (1) 该表中的 EP4CGX30 信息是指所有的 EP4CGX30 封装（除了 F484 封装）。
- (2) PLL\_1 与 PLL\_2 是多用 PLL，而 PLL\_3 和 PLL\_4 是通用 PLL。
- (3) PLL\_4 仅在 F324 封装中的 EP4CGX22 与 EP4CGX30 器件中可用。
- (4) 该管脚适用于 EP4CGX22 与 EP4CGX30 器件。

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75, EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 (1). (2)(1/4)

GCLK 网络时钟源	GCLK 网络																														
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	
CLKIO4/DIFFCLK_2n	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	
CLKIO5/DIFFCLK_2p	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	
CLKIO6/DIFFCLK_3n	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	
CLKIO7/DIFFCLK_3p	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	
CLKIO8/DIFFCLK_5n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	
CLKIO9/DIFFCLK_5p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	✓	—	—	—	—	—	
CLKIO10/DIFFCLK_4n/RE FCLK3n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	
CLKIO11/DIFFCLK_4p/RE FCLK3p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	
CLKIO12/DIFFCLK_7p/RE FCLK2p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—
CLKIO13/DIFFCLK_7n/RE FCLK2n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	✓
CLKIO14/DIFFCLK_6p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—
CLKIO15/DIFFCLK_6n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓
PLL_1_C0	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓
PLL_1_C1	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_1_C2	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—
PLL_1_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_1_C4	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓
PLL_2_C0	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—
PLL_2_C1	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—
PLL_2_C2	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C3	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—
PLL_2_C4	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75, EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 (1)、(2)(2/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
PLL_3_C0	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	-	✓	-	✓	-	-	-	-	-	-	✓	-	-	✓	-	✓
PLL_3_C1	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	-	✓	-	-	-	-	-	-	-	-	✓	-	-	✓	-
PLL_3_C2	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-	-
PLL_3_C3	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-
PLL_3_C4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	✓	-	-	-	-	-	-	-	-	✓	-	✓	✓
PLL_4_C0	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	-	✓	-	✓	✓	-	-	✓	-	✓	-	-	-	-	-	-
PLL_4_C1	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	-	✓	-	-	✓	-	-	✓	-	-	-	-	-	-	-
PLL_4_C2	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-	-	✓	-	✓	-	-	-	-	-	-	-	-	-
PLL_4_C3	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	-	-	-	✓	-	✓	-	-	-	-	-	-	-	-
PLL_4_C4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	✓	-	✓	✓	-	-	✓	-	✓	✓	-	-	-	-	-	-
PLL_5_C0	✓	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_5_C1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_5_C2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_5_C3	-	✓	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_5_C4	-	-	✓	-	✓	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_6_C0	✓	-	-	✓	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_6_C1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_6_C2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_6_C3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_6_C4	-	✓	-	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_7_C0 (3)	-	-	-	-	-	-	✓	-	-	✓	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_7_C1 (3)	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_7_C2 (3)	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_7_C3 (3)	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PLL_7_C4 (3)	-	-	-	-	-	-	-	✓	-	-	✓	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75, EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 (1) (2)(3/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
PLL_8_C0 (3)	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C1 (3)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C2 (3)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C3 (3)	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C4 (3)	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK14	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK15	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 (1)·(2)(4/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
DPCLK17	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—

## 表 5-2 注释:

- (1) 表中的 EP4CGX30 信息仅指 F484 封装中的 EP4CGX30 器件。
- (2) PLL\_1、PLL\_2、PLL\_3 和 PLL\_4 是通用 PLL，而 PLL\_5、PLL\_6、PLL\_7 和 PLL\_8 是多用 PLL。
- (3) PLL\_7 与 PLL\_8 在 F484 封装中的 EP4CGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件中不可用。

表 5-3. Cyclone IV E 器件的 GCLK 网络连接 (1) (1/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
CLK1	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK2/DIFFCLK_1p	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK3/DIFFCLK_1n	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK4/DIFFCLK_2p	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
CLK5/DIFFCLK_2n	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLK6/DIFFCLK_3p	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—
CLK7/DIFFCLK_3n	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
CLK8/DIFFCLK_5n (2)	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—
CLK9/DIFFCLK_5p (2)	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—
CLK10/DIFFCLK_4n (2)	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—
CLK11/DIFFCLK_4p (2)	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—
CLK12/DIFFCLK_7n (2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
CLK13/DIFFCLK_7p (2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—
CLK14/DIFFCLK_6n (2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
CLK15/DIFFCLK_6p (2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
PLL_1_C0 (3)	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C1 (3)	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C2 (3)	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-3. Cyclone IV E 器件的 GCLK 网络连接 (1) (2/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
PLL_1_C3 (3)	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C4 (3)	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C0 (3)	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C1 (3)	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—
PLL_2_C2 (3)	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C3 (3)	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C4 (3)	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
PLL_3_C0	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
PLL_3_C1	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—
PLL_3_C2	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL_3_C3	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—
PLL_3_C4	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—
PLL_4_C0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_4_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓
PLL_4_C2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_4_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
PLL_4_C4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
DPCLK0	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK1	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK7 (4)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CDPCLK0, or CDPCLK7 (2), (5)	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK2 (4)	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CDPCLK1, or CDPCLK2 (2), (5)	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—


表 5-3. Cyclone IV E 器件的 GCLK 网络连接 (1) (3/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
DPCLK5 (4) DPCLK7 (2)	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK4 (4) DPCLK6 (2)	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK6 (4) CDPCLK5, or CDPCLK6 (2), (5)	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK3 (4) CDPCLK4, or CDPCLK3 (2), (5)	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
DPCLK11	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
DPCLK9	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
DPCLK3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓

**表 5-3 注释:**

- (1) EP4CE6 与 EP4CE10 器件仅包含 GCLK 网络 0 到 9。
- (2) 这些管脚适用于所有 Cyclone IV E 器件 (除了 EP4CE6 和 EP4CE10 器件)。
- (3) EP4CE6 与 EP4CE10 器件及包含 PLL\_1 和 PLL\_2。
- (4) 该引脚仅适用于 EP4CE6 和 EP4CE10 器件。
- (5) 只能将其中的一个 CDPCLK 管脚用于驱动时钟控制模块, 并将另一个管脚用作普通 I/O 管脚。

如果不使用专用时钟管脚来驱动 GCLKs，那么可以将这些管脚用作通用输入管脚来驱动逻辑阵列。然而，当使用这些管脚作为通用输入管脚时，它们并不支持 I/O 寄存器，必须使用基于 LE 的寄存器来替代 I/O 寄存器。

 要了解关于如何连接时钟与 PLL 管脚的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

## 时钟控制模块


时钟控制模块用于驱动 GCLK，它们位于器件的每一侧上，并与专用时钟输入管脚相邻。GCLK 被优化以实现最小时钟偏移及延迟。

表 5-4 列出了用于驱动时钟控制模块的源，反过来驱动 GCLK。

表 5-4. 时钟控制模块输入

输入	说明
专用时钟输入	专用时钟输入管脚能够驱动时钟或者全局信号，例如：同步与异步清零、预置，或者给定 GCLK 上的时钟使能。
两用时钟 (DPCLK 与 CDPCLK) I/O 输入	DPCLK 与 CDPCLK I/O 管脚都是双向双重功能管脚，通过 GCLK 用于高扇出控制信号，例如：协议信号、用于 PCI 的 TRDY 与 IRDY 信号。如果时钟控制模块具有由两用时钟 I/O 管脚驱动的输入端，则该时钟控制模块将不能够驱动 PLL 输入端。
PLL 输出	PLL 计数器输出能够驱动 GCLK。
内部逻辑	通过逻辑阵列布线驱动 GCLK，以使能内部逻辑单元 (LE) 来驱动高扇出，低偏移的信号路径。如果时钟控制模块具有由内部逻辑驱动的输入端，则该时钟控制模块将不能够驱动 PLL 输入端。

在 Cyclone IV 器件中，专用时钟输入管脚、PLL 计数器输出、两用时钟 I/O 输入和内部逻辑都可用于驱动每个 GCLK 的时钟控制模块。反过来，时钟控制模块上的输出也能够驱动相应的 GCLK。如果时钟控制模块输入是另一个 PLL 或者专用时钟输入管脚的输出，那么 GCLK 能够驱动 PLL 输入。根据不同的器件密度，器件的每一侧上会有五个或六个时钟控制模块；每一个 Cyclone IV GX 器件均提供高达 30 个时钟控制模块，而每一个 Cyclone IV E 最多可提供 20 个时钟控制模块。关于时钟控制模块位置的信息，请参考第 5-12 页图 5-2，第 5-13 页图 5-3 和第 5-14 页图 5-4。

 Cyclone IV GX 器件左侧的时钟控制模块不支持任何时钟输入。

控制模块具有两个功能：

- 动态 GCLK 时钟源选择（不适用于 DPCLK，CDPCLK 和内部逻辑输入）
- GCLK 网络关断（动态使能和禁用）

图 5-1 显示了时钟控制模块。

图 5-1. 时钟控制模块

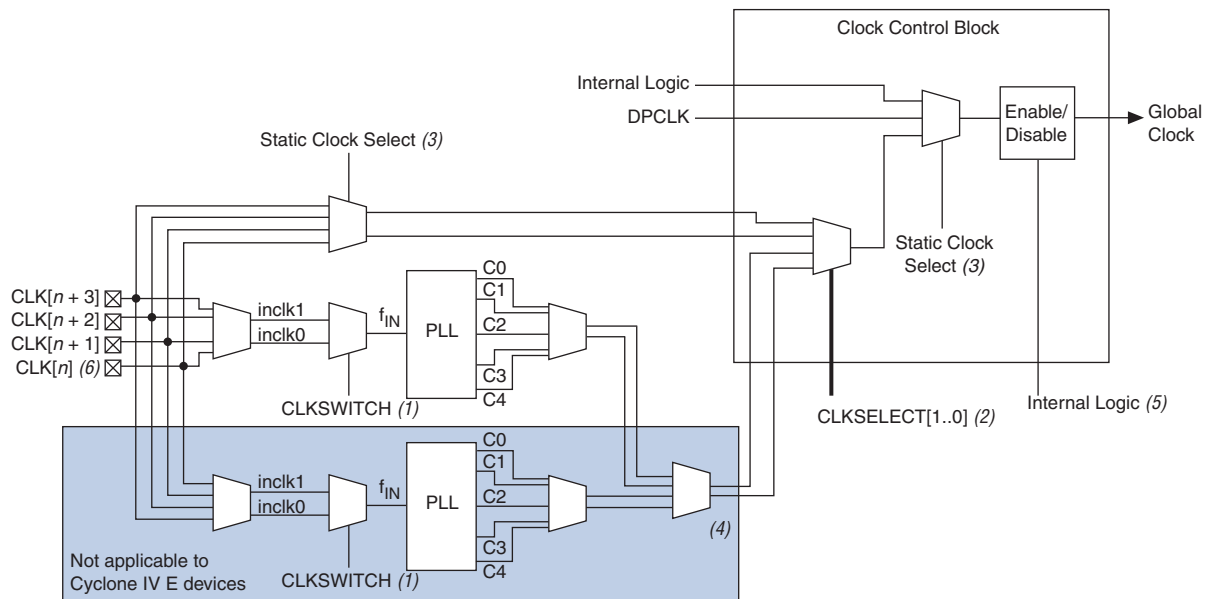


图 5-1 注释:

- (1) clkswitch 信号可以通过配置文件进行设置，或者使用手动 PLL 切换功能时进行动态设置。多路复用器的输出是 PLL 的输入时钟 ( $f_{IN}$ )。
- (2) clkselect [1..0] 信号由内部逻辑驱动，当器件在用户模式下时，可用于动态选择 GCLK 的时钟源。
- (3) 静态时钟选择信号在配置文件中进行设置。因此，当器件在用户模式下时，动态控制是不可行的。
- (4) 四个中的两个 PLL 时钟输出是从相邻 PLL 中选择的，用于驱动时钟控制模块。
- (5) 通过使用内部逻辑，在用户模式中使能或者禁用 GCLK。
- (6) CLK[n] 在 Cyclone IV E 器件的左侧是不可用的。

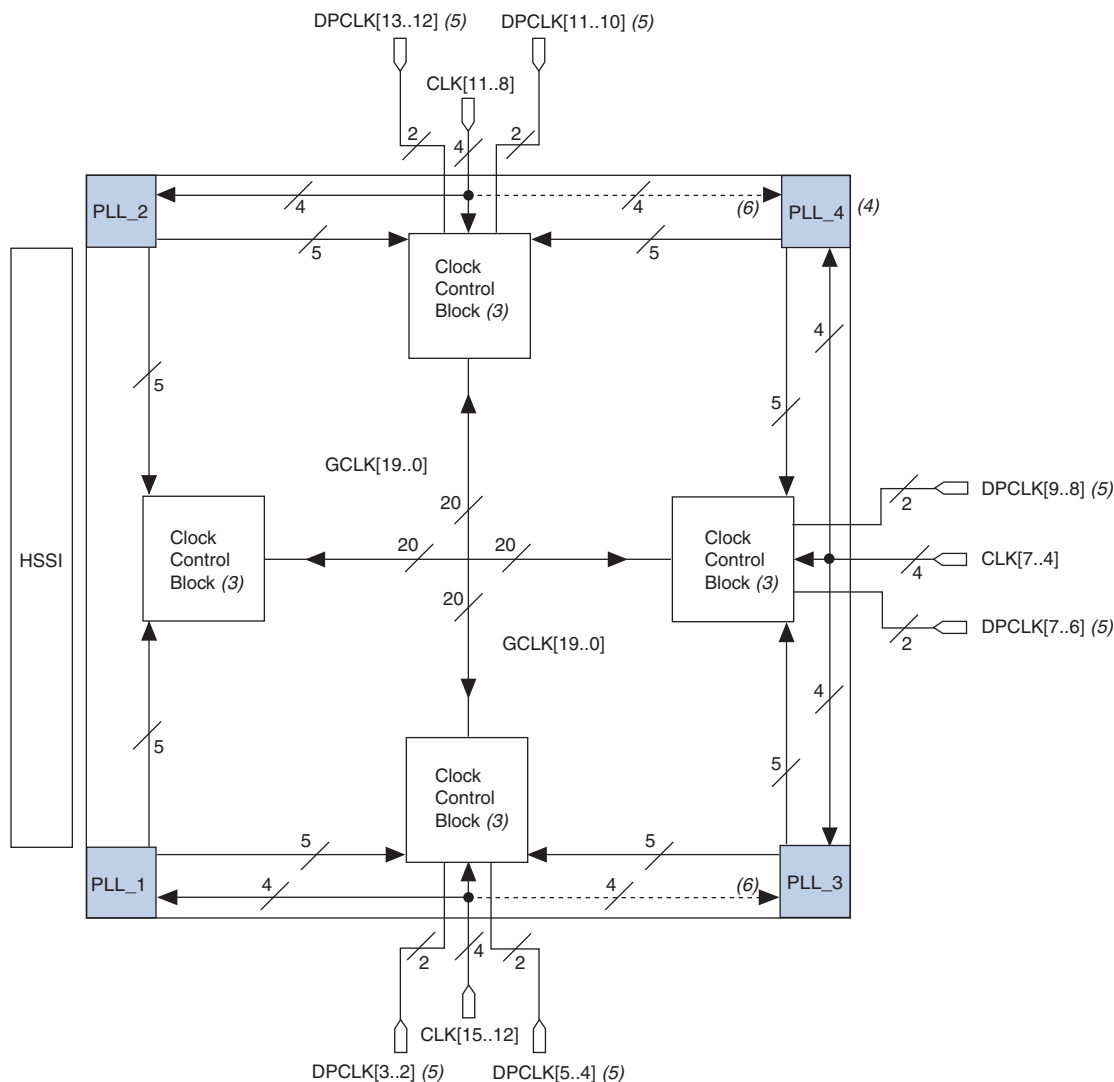
每个 PLL 通过 c[4..0] 计数器生成五个时钟输出。其中的两个时钟通过时钟控制模块来驱动 GCLK，如图 5-1 所示。

欲了解关于如何在 Quartus II 中使用时钟控制模块的详细信息，请参考 *ALTCLKCTRL Megafunction User Guide*。

## GCLK 网络时钟源的生成

第 5-14 页的图 5-2, 图 5-3 和图 5-4 显示了不同 Cyclone IV 器件密度的 Cyclone IV PLL、时钟输入和时钟控制模块位置。

图 5-2. EP4CGX15, EP4CGX22 和 EP4CGX30 器件中的时钟网络和时钟控制模块位置 (1), (2)



### 图 5-2 注释:

- (1) 时钟网络和时钟控制模块位置适用于所有的 EP4CGX15, EP4CGX22 和 EP4CGX30 器件 (F484 封装中的 EP4CGX30 器件除外)。
- (2) PLL\_1 与 PLL\_2 是多用 PLL, 而 PLL\_3 与 PLL\_4 是通用 PLL。
- (3) 每侧有五个时钟控制模块。
- (4) PLL\_4 仅在 F324 封装中的 EP4CGX22 和 EP4CGX30 器件中可用。
- (5) EP4CGX15 器件在器件的三个侧边上分别有两个 DPCLK 管脚: 器件底部的 DPCLK2 和 DPCLK5, 右侧的 DPCLK7 和 DPCLK8, 顶端的 DPCLK10 和 DPCLK13。
- (6) 专用时钟管脚能够连接到这一 PLL。然而, 这些路径没有被完全补偿。

图 5-3. EP4CGX30、EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件中的时钟网络与时钟控制模块位置 (1)、(2)

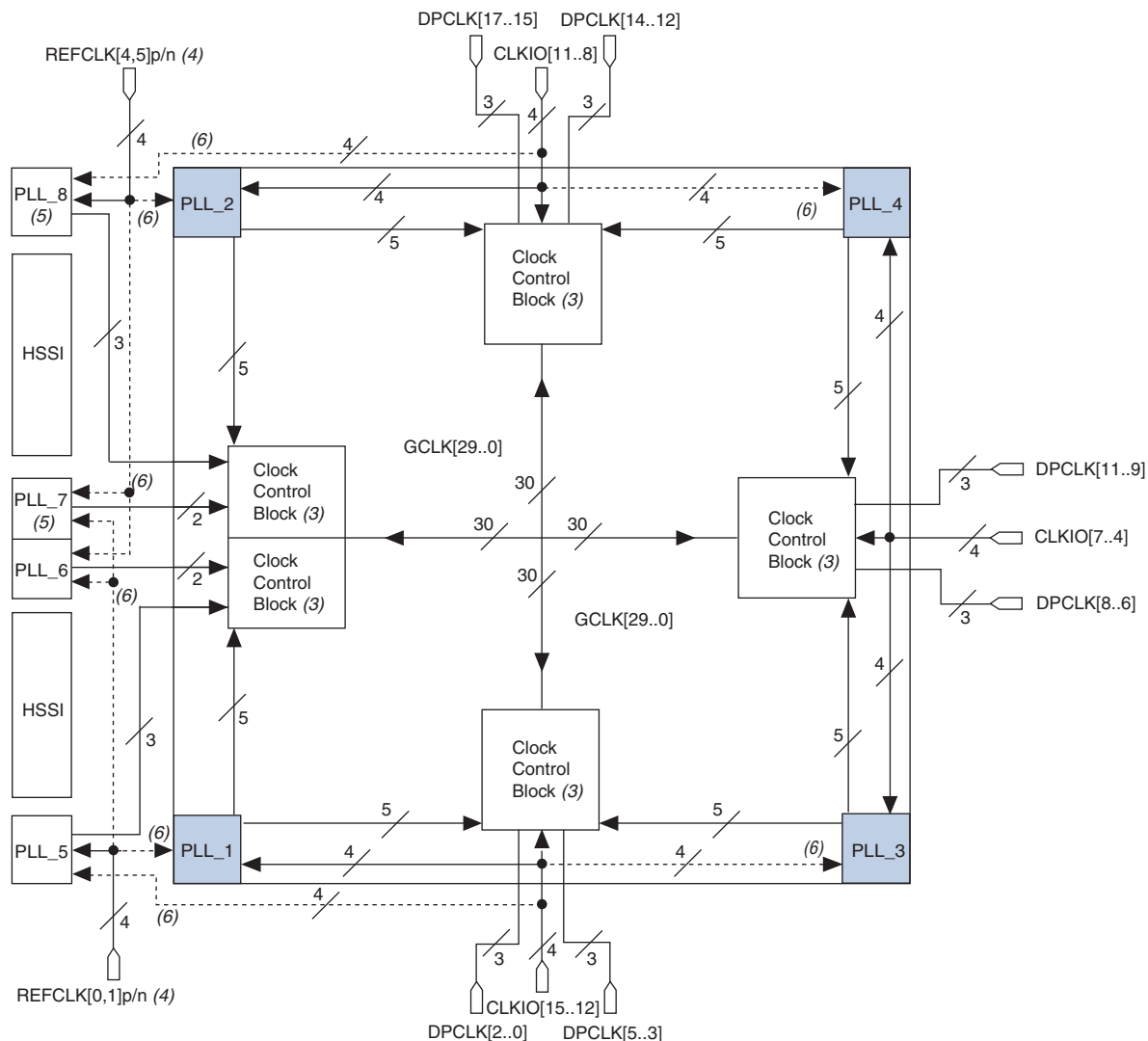


图 5-3 注释:

- (1) 图中的时钟网络与时钟控制模块位置仅适用于 F484 封装中的 EP4CGX30 器件以及所有 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。
- (2) PLL\_1、PLL\_2、PLL\_3 和 PLL\_4 是通用 PLL，而 PLL\_5、PLL\_6、PLL\_7 和 PLL\_8 是多用 PLL。
- (3) 器件的顶端，右侧以及底部分别有 6 个时钟控制模块，而器件的左侧有 12 个时钟控制模块。
- (4) REFCLK[0,1]p/n 和 REFCLK[4,5]p/n 只能驱动器件左侧的通用和多用 PLL。这些时钟管脚无法访问时钟控制模块以及 GCLK 网络。REFCLK[4,5]p/n 管脚在 F484 封装器件中不可用。
- (5) 不适用于 F484 封装中的 EP4CGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。
- (6) 专用时钟管脚能够连接到这一 PLL。然而，这些路径没有被完全补偿。

图 5-4. Cyclone IV E 器件中的时钟网络与时钟控制模块位置

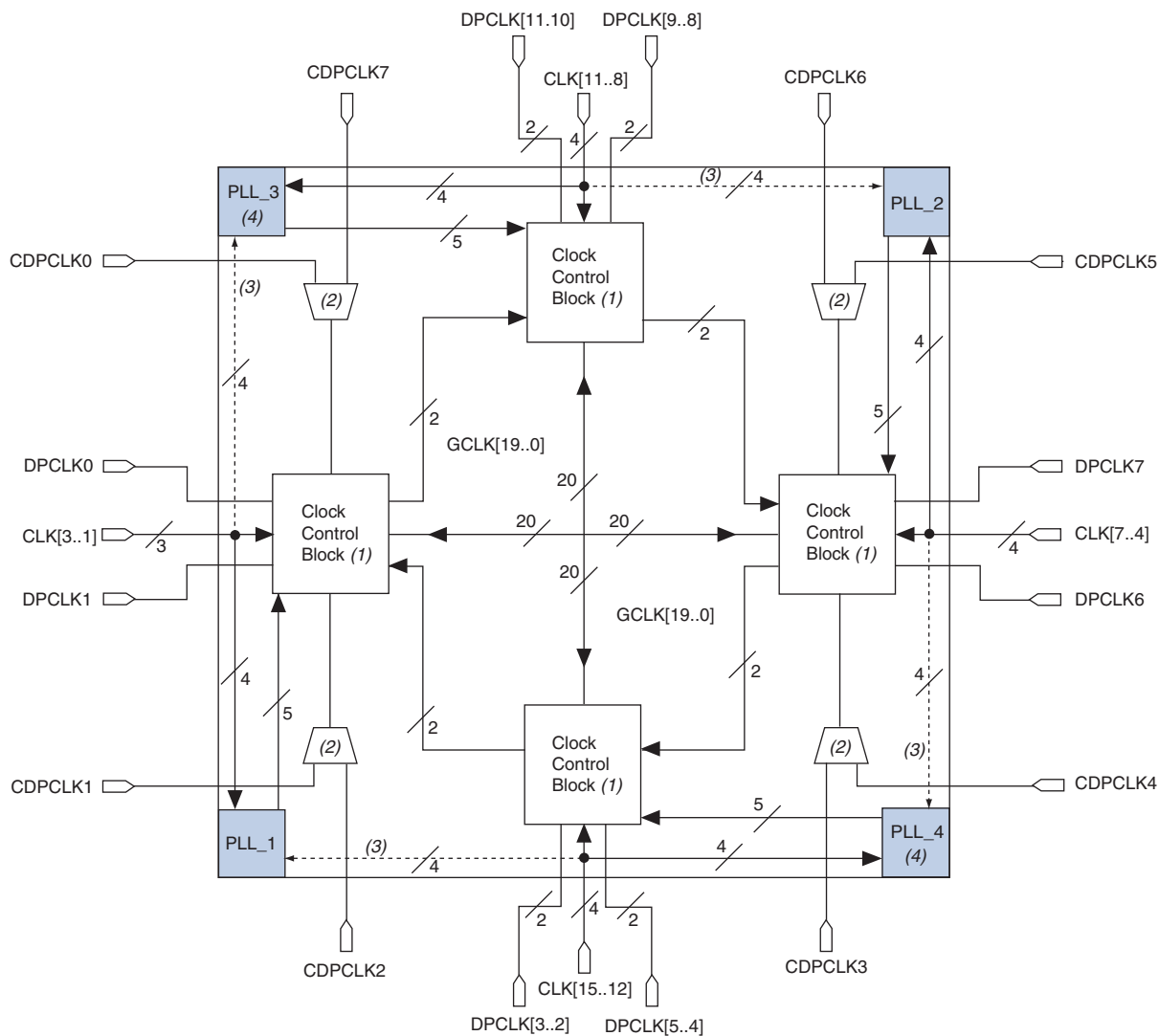


图 5-4 注释：

- (1) 器件的每一侧均有五个时钟控制模块。
- (2) 每个角中，一次只能有一个 CDPCLK 管脚用于驱动时钟控制模块。您可以将其它的 CDPCLK 管脚用作通用 I/O (GPIO) 管脚。
- (3) 专用时钟管脚能够连接到这一 PLL。然而，这些路径没有被完全补偿。
- (4) PLL\_3 与 PLL\_4 在 EP4CE6 和 EP4CE10 器件中不可用。

必须从下列时钟源中选择 Cyclone IV GX 每侧上的时钟控制模块的输入：

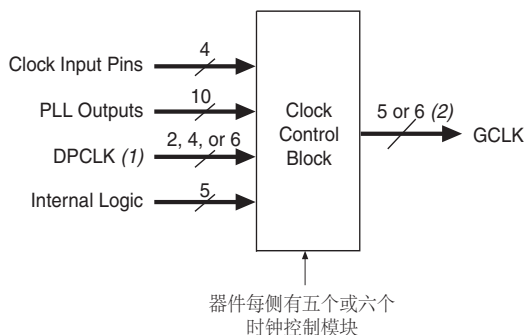
- 四个时钟输入管脚
- 十个 PLL 计数器输出（五个来自每个相邻 PLL）
- 器件顶端的两个 DPCLK 管脚，底部的四个 DPCLK 管脚，右侧的六个 DPCLK 管脚。
- 内部逻辑的五个信号

在以上列出的时钟源中，只有两个时钟输入管脚、四个中的两个 PLL 时钟输出（两个时钟输出来自每个相邻 PLL），一个 DPCLK 管脚和一个内部逻辑源能够驱动任何给定的时钟控制模块，如第 5-11 页图 5-1 所示。

在六个到时钟控制模块的输入当中，动态地选择其中的两个时钟输入管脚和两个 PLL 输出，以驱动 GCLK。时钟控制模块支持内部逻辑信号的静态选择。

图 5-5 显示了 Cyclone IV GX 器件每侧的时钟控制模块的简化版本。

图 5-5. Cyclone IV GX 器件每侧的时钟控制模块



**图 5-5 注释：**

- (1) EP4CGX15 器件有两个 DPCLK 管脚；EP4CGX22 和 EP4CGX30 器件有四个 DPCLK 管脚；EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件有六个 DPCLK 管脚。
- (2) EP4CGX15、EP4CGX22 和 EP4CGX30 器件中的每一个时钟控制模块均能够驱动五个 GCLK 网络。EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件中的每一个时钟控制模块均能够驱动六个 GCLK 网络。

必须从下列时钟源中选择 Cyclone IV E 器件每侧上的五个时钟控制模块的输入：

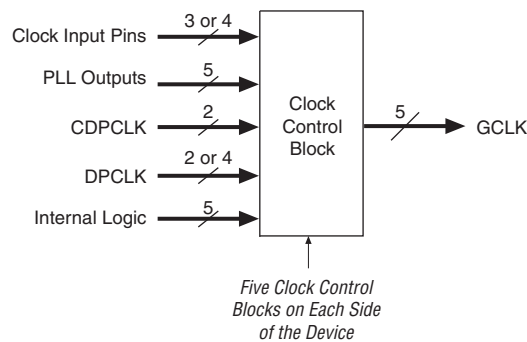
- 根据指定的器件选择三个或四个时钟输入管脚
- 五个 PLL 计数器输出
- 左侧及右侧上的两个 DPCLK 管脚和两个 CDPCLK 管脚，顶端及底部中的四个 DPCLK 管脚
- 内部逻辑的五个信号

在以上列出的时钟源中，只有两个时钟输入管脚、两个 PLL 时钟输出，一个 DPCLK 或者 CDPCLK 管脚和一个内部逻辑源能够驱动任何给定的时钟控制模块，如第 5-11 页图 5-1 所示。

在六个到时钟控制模块的输入当中，动态地选择其中的两个时钟输入管脚和两个 PLL 输出，以驱动 GCLK。时钟控制模块支持内部逻辑信号的静态选择。

图 5-6 显示了 Cyclone IV E 器件每侧的五个时钟控制模块的简化版本。

图 5-6. Cyclone IV E 器件每侧的时钟控制模块 (1)



**图 5-6 注释:**

(1) 器件的左侧和右侧有两个 DPCLK 管脚；器件的顶端和底部有四个 DPCLK 管脚。

## GCLK 网络关断

通过使用静态以及动态方法，能够将 Cyclone IV 器件的 GCLK 禁用（关断）。在静态方法中，在 Quartus II 生成的配置文件中对配置位进行设置，这将自动关断未使用的 GCLK。动态时钟使能或禁用这一特性实现了内部逻辑对 Cyclone IV 器件中的 GCLK 进行时钟使能或禁用的控制。

当一个时钟网络被禁用，所有由时钟网络驱动的逻辑将处于关闭状态，从而降低了器件的总体功耗。这一功能独立于 PLL，并且被直接应用到时钟网络，如第 5-11 页图 5-1 所示。

您可以通过 Quartus II 软件，使用 ALTCLKCTRL 宏功能来对 GCLK 多路复用器的输入时钟源和 clkena 信号进行设置。

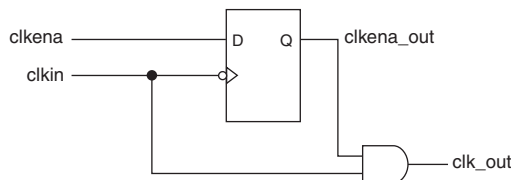
 欲了解更多信息，请参考 [ALTCLKCTRL Megafunction User Guide](#)。

## clkena 信号

Cyclone IV 器件在 GCLK 网络级上提供了对 clkena 信号的支持，这使您能够将时钟断开，即便在使用 PLL 的时候。重新使能输出时钟后，PLL 不需要重新同步或重新锁定周期，因为电路在时钟网路级上会断开时钟。另外，由于与回路相关的计数器不会受到影响，因此 PLL 能够独立于 clkena 信号，并保持在锁定状态。

图 5-7 显示了如何通过单一寄存器来实现 clkena 信号。

图 5-7. clkena 信号的实现

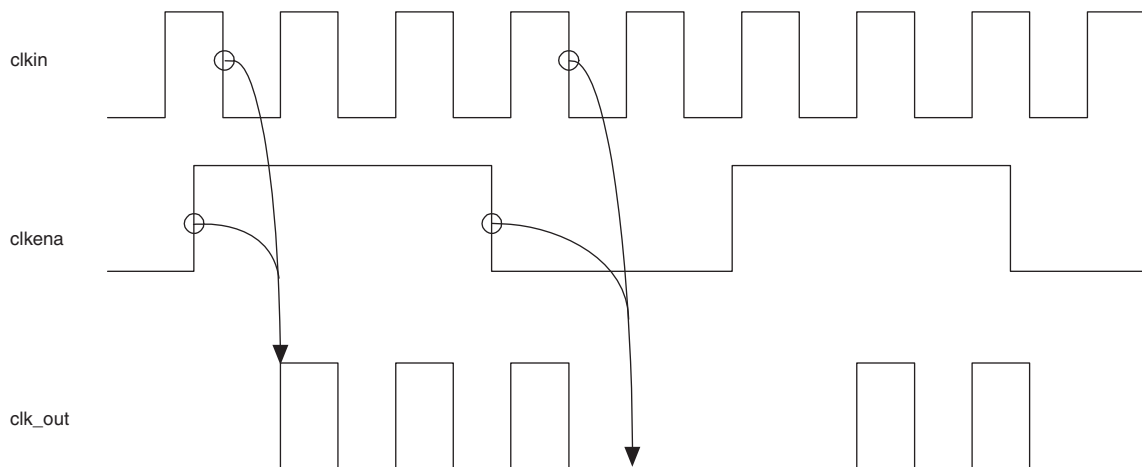


clkena 电路对输出管脚的 PLL 输出 C0 进行控制，这是通过两个寄存器来实现的，而不是一个，如图 5-7 所示。

图 5-8 显示了一个时钟输出使能的波形实例。在时钟 (clk\_in) 的下降沿对 clkena 信号进行采样。

这一特性适用于那些对低功耗与睡眠模式有要求的应用。

图 5-8. clkena 信号的实现：输出使能



如果系统在 PLL 重新同步期间不能承受频率过冲，那么 clkena 信号也能够关断时钟输出。


将时钟源切换到 PLL 或者 GCLK 时，Altera 建议使用 clkena 信号。推荐的顺序是：

1. 通过置低 clkena 信号，禁用主输出时钟。
2. 通过使用时钟控制模块的动态选择信号，切换到辅助时钟。
3. 重置位 clkena 信号前，需要经过辅助时钟的一些时钟周期。对辅助时钟进行使能前，必须等待的确切时钟数还要取决于设计。通过建立定制的逻辑，在不同时钟源之间进行切换时可以确保无毛刺跳变。

## Cyclone IV 器件中的 PLL

Cyclone IV GX 器件内嵌两种 PLL：通用 PLL 与多用 PLL。Cyclone IV E 器件仅包含通用 PLL。

通用 PLL 用于 FPGA 结构及外设（例如：外部存储器接口）中的通用应用，而多用 PLL 则用于同步收发器模块。如果多用 PLL 未用于收发器时钟，则可用于通用时钟。

 欲了解用于收发器时钟的多用 PLL 的详细信息，请参考 *Cyclone IV Transceivers* 章节。

Cyclone IV GX 器件最多可包含八个通用 PLL 和多用 PLL，而 Cyclone IV E 器件最多可有四个通用 PLL，对器件时钟管理、外部系统时钟管理以及高速 I/O 接口，提供了可靠的时钟管理与综合。

 要了解关于每一个器件密度中的通用 PLL 与多用 PLL 的数量的更多信息，请参考 *Cyclone IV Device Family Overview* 章节。


 通用 I/O 管脚不能驱动 PLL 时钟输入管脚。

表 5-5 列出了 Cyclone IV GX PLL 中可用的一些特性。

表 5-5. Cyclone IV GX PLL 特性 (1/2)

特性	可用性									
	通用 PLL				多用 PLL					
	PLL_1 (1) (10)	PLL_2 (1) (10)	PLL_3 (2)	PLL_4 (3)	PLL_1 (4)	PLL_2 (4)	PLL_5 (1) (10)	PLL_6 (1) (10)	PLL_7 (1)	PLL_8 (1)
C (输出计数器)	5									
M, N, C 计数器容量	1 到 512 (5)									
专用时钟输出	1 个单端或 1 个差分对									
时钟输入管脚	12 个单端或 6 个差分对 (6) 和 4 个差分对 (7)									
扩频输入时钟跟踪	✓ (8)									
PLL 级联	通过 GCLK									
源同步模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
无补偿模式	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
正常模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
零延迟缓冲器模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
确定性延迟补偿模式	✓	✓	—	—	✓	✓	✓	✓	✓	✓
相移分辨率 (9)	下降到 96 ps 增量									
可编程占空比	✓									
输出计数器级联	✓									
输入时钟切换	✓									
用户模式重配置	✓									
失锁检测	✓									

表 5-5. Cyclone IV GX PLL 特性 (2/2)

特性	可用性									
	通用 PLL				多用 PLL					
	PLL_1 (1) (10)	PLL_2 (1) (10)	PLL_3 (2)	PLL_4 (3)	PLL_1 (4)	PLL_2 (4)	PLL_5 (1) (10)	PLL_6 (1) (10)	PLL_7 (1)	PLL_8 (1)
PLL 驱动 TX 串行时钟, TX 加载使能和 TX 并行时钟	✓	✓	—	—				✓		
VCO 输出驱动 RX 时钟数据恢复 (CDR) 时钟			—					✓		
PLL 驱动 FREF 进行 ppm 检测	✓	✓	—	—				✓		

**表 5-5 注释:**

- (1) 仅适用于 F672 和 F896 封装中的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。
- (2) 适用于所有的 Cyclone IV 器件。
- (3) 适用于所有的 Cyclone IV 器件, 但除了所有封装中的 EP4CGX15 器件, EP4CGX22 器件和 F169 封装中的 EP4CGX30 器件。
- (4) 仅适用于 EP4CGX15, EP4CGX22 和所有 EP4CGX30 器件, 但除了 F484 封装中的 EP4CGX30 器件。
- (5) 如果输出时钟使用一个 50% 的占空比, 则 C 计数器的范围从 1 到 512。对于那些使用非 50% 占空比的输出时钟, 后缩放计数器的范围从 1 到 256。
- (6) 这些时钟管脚能够访问 GCLK 网络。
- (7) 这些时钟管脚仅在 EP4CGX50、EP4CGX75, EP4CGX110 和 EP4CGX150 器件中可用, 并且不能访问 GCLK 网络。CLK[17,19,20,21]p 可以用作单端时钟输入管脚。
- (8) 仅当输入时钟抖动在输入抖动容限规范内时可用。
- (9) 最小相移为电压控制振荡器 (VCO) 周期除以 8。如果以度为单位增加, Cyclone IV GX 器件的所有输出频率至少可以以 45° 增加。更小的增加度数有可能受到频率和分频系数的限制。
- (10) 适用于 F484 封装中的 EP4CGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。

表 5-6 Cyclone IV E PLL 中可用的特性。

表 5-6. Cyclone IV E PLL 特性 (1/2)

硬件特性	可用性
C (输出计数器)	5
M, N, C 计数器容量	1 到 512 (1)
专用时钟输出	1 个单端或 1 个差分对
时钟输入管脚	4 个单端或 2 个差分对
扩频输入时钟跟踪	✓ (2)
PLL 级联	通过 GCLK
补偿模式	源同步模式、无补偿模式、正常模式和零延迟缓冲器模式
相移分辨率	下降到 96 ps 增量 (3)
可编程占空比	✓
输出计数器级联	✓
输入时钟切换	✓
用户模式重配置	✓

表 5-6. Cyclone IV E PLL 特性 (2/2)

硬件特性	可用性
失锁检测	✓

## 表 5-6 注释:

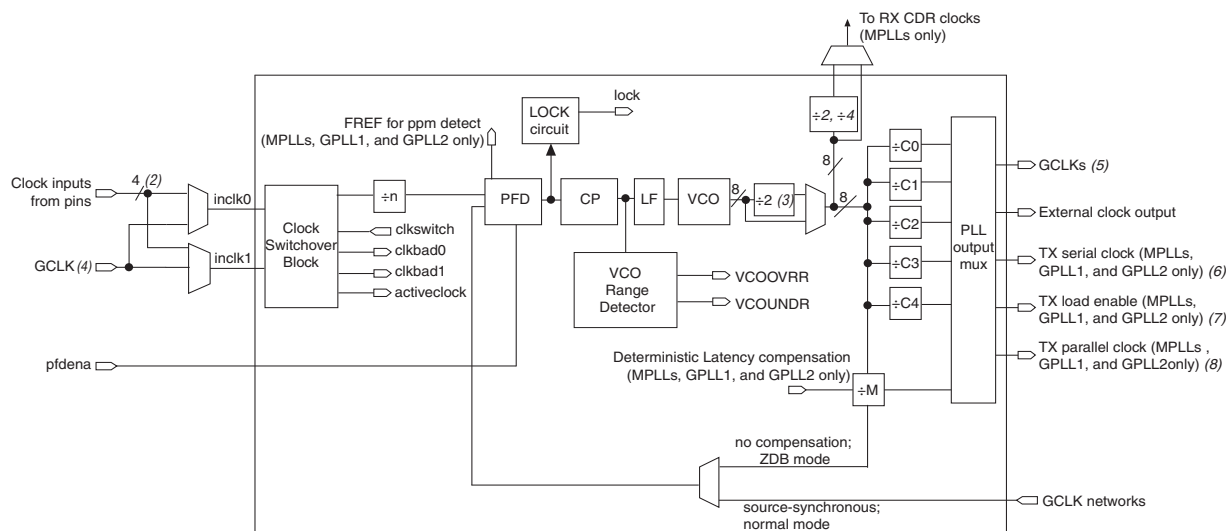
- (1) 如果输出时钟使用一个 50% 的占空比, 则 C 计数器的范围从 1 到 512。对于那些使用非 50% 占空比的输出时钟, 后缩放计数器的范围从 1 到 256。
- (2) 仅当输入时钟抖动在输入抖动容限规范内时可用。
- (3) 最小相移为电压控制振荡器 (VCO) 周期除以 8。如果以度为单位增加, Cyclone IV GX 器件的所有输出频率至少可以以 45° 增加。更小的增加度数有可能受到频率和分频系数的限制。

## Cyclone IV PLL 硬件概述

本章节对 Cyclone IV PLL 的硬件进行了概述。

图 5-9 显示了 Cyclone IV GX PLL 的主组件的简化结构图。

图 5-9. Cyclone IV GX PLL 结构图 (1)



## 图 5-9 注释:

- (1) 每一个时钟源均可来自位于器件同一侧作为 PLL 的四个中的任何时钟管脚。
- (2) EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件中含有额外 4 对专用差分时钟输入, 它们只能驱动器件左侧上的通用 PLL 和多用 PLL。CLK[19..16] 能够访问 PLL\_2、PLL\_6、PLL\_7 和 PLL\_8, 而 CLK[23..20] 则能够访问 PLL\_1、PLL\_5、PLL\_6 和 PLL\_7。关于这些时钟输入管脚位置的详细信息, 请参考第 5-13 页图 5-3。
- (3) 这是 VCO 后缩放计数器 K。
- (4) 该输入端口由一个管脚驱动专用 GCLK 来驱动, 或者通过时钟控制模块驱动 (如果时钟控制模块由另一个 PLL 的输出或者一个管脚驱动专用 GCLK 来驱动)。内部生成的全局信号不能驱动 PLL。
- (5) 欲了解关于通用和多用 PLL 计数器输出与 GCLK 连接的详细信息, 请参考第 5-2 页表 5-1 和第 5-4 页表 5-2。
- (6) 只有 C1 输出计数器才能驱动 TX 串行时钟。
- (7) 只有 C2 输出计数器才能驱动 TX 加载使能。
- (8) 只有 C3 输出计数器才能驱动 TX 并行时钟。

图 5-10 显示了 Cyclone IV E PLL 的主组件的简化结构图。

图 5-10. Cyclone IV E PLL 结构图 (1)

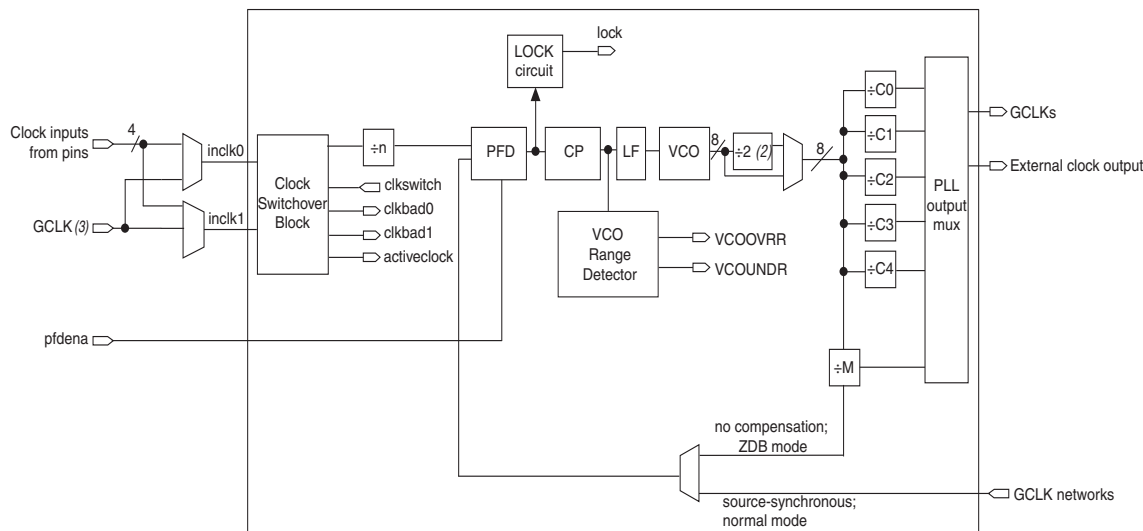


图 5-10 注释:

- (1) 每一个时钟源均可来自位于器件同一侧作为 PLL 的四个中的任何时钟管脚。
- (2) 这是 VCO 后缩放计数器 K。
- (3) 该输入端口由一个管脚驱动专用 GCLK 来驱动，或者通过时钟控制模块驱动（如果时钟控制模块由另一个 PLL 的输出或者一个管脚驱动专用 GCLK 来驱动）。内部生成的全局信号不能驱动 PLL。

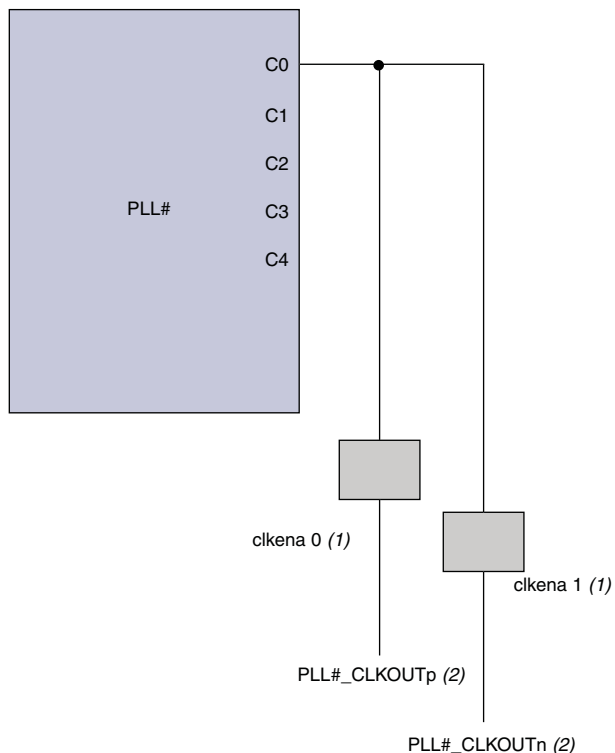
 VCO 后缩放计数器 K 用于平均划分所支持的 VCO 范围。在编译报告的 PLL 总结部分中，Quartus II 报告的 VCO 频率会考虑 VCO 后缩放计数器的值。因此，如果 VCO 后缩放计数器有一个值 2，那么报告的频率要低于 *Cyclone IV Device Datasheet* 章节中指定的  $f_{VCO}$  规格。

### 外部时钟输出

Cyclone IV 器件的每个 PLL 均支持一个单端时钟输出或者一个差分时钟输出。只有 C0 输出计数器才能驱动专用的外部时钟输出，而无需遍历 GCLK，如图 5-11 所示。其它输出计数器可以通过 GCLK 来驱动其它 I/O 管脚。

图 5-11 显示了 PLL 的外部时钟输出。


图 5-11. PLL 的外部时钟输出



**图 5-11 注释:**

- (1) 这些外部时钟使能信号仅在使用 ALTCLKCTRL 宏功能的时候有效。
- (2) PLL#\_CLKOUTp 与 PLL#\_CLKOUTn 管脚是两用 I/O 管脚，可用作一个单端时钟输出或者一个差分时钟输出。当将这两个管脚都用作单端 I/O 时，其中一个可用作时钟输出，而另一个可配置为普通用户 I/O。


差分输出对的每一个管脚的相位差了  $180^\circ$ 。Quartus II 软件将设计中的 NOT gate 布局到 I/O 单元，对于差分输出对中的另一个管脚，实现了  $180^\circ$  相位。时钟输出管脚对支持作为标准输出管脚的同一 I/O 标准。

 要了解 PLL 时钟输入和输出管脚支持哪些 I/O 标准，请参考 *Cyclone IV Device I/O Features* 章节。

Cyclone IV PLL 可以通过 GCLK 驱动普通 I/O 管脚。如果不需要外部 PLL 时钟，您也可以将外部时钟输出用作 GPIO 管脚。

## 时钟反馈模式

Cyclone IV PLL 最多可支持五种不同的时钟反馈模式。每一种模式均支持时钟乘法和除法、相移以及可编程占空比。欲了解所支持的反馈模式，请参考第 5-18 页表 5-5 的 Cyclone IV GX PLL 和第 5-19 页表 5-6 的 Cyclone IV E PLL。

 只有在使用与给定的 PLL 相对应的专用时钟输入管脚作为时钟源时，输入与输出延迟才会完全由 PLL 补偿。

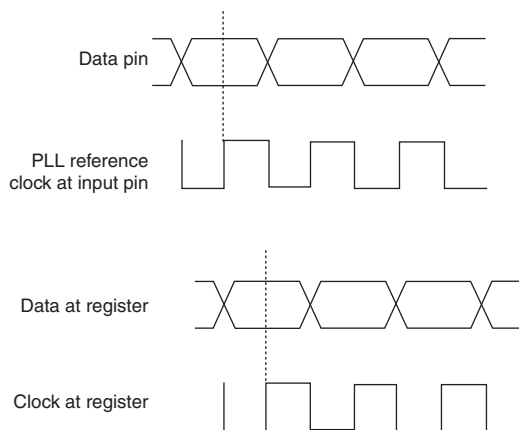
当使用 GCLK 网络驱动 PLL 时，输入与输出延迟在 Quartus II 软件中可能不会得到完全补偿。

## 源同步模式

如果数据和时钟同时到达输入管脚，那么在 I/O 单元输入寄存器的数据与时钟端口，数据与时钟之间的相位关系保持不变。


图 5-12 显示了该模式中数据与时钟的波形实例。将该模式用于源同步数据传输。只要使用同一 I/O 标准，I/O 单元上的数据与时钟信号就会经历类似的缓冲器延迟。

图 5-12. 源同步模式中数据与时钟之间的相位关系



源同步模式对所使用的时钟网络延迟进行补偿，其中包括下面两个路径之间的延迟差别：

- 数据管脚到 I/O 单元寄存器的输入
- 时钟输入管脚到 PLL 相位频率检测器 (PFD) 的输入

 在 Quartus II 软件中，需将 I/O 单元中的寄存器延迟链的输入管脚设置成零，以用于源同步模式 PLL 锁定的所有数据管脚。此外，所有数据管脚必须使用 Quartus II 软件中的 PLL COMPENSATED logic 选项。

## 无补偿模式

在无补偿模式中，PLL 不对任何时钟网络进行补偿。这样会有更佳的抖动性能，因为反馈到 PFD 中的时钟不经过某些电路。相对 PLL 时钟输入，PLL 内部以及外部时钟输出均有相位偏移。

图 5-13 显示了该模式下的 PLL 时钟的相位关系的波形实例。

图 5-13. 无补偿模式下的 PLL 时钟之间的相位关系

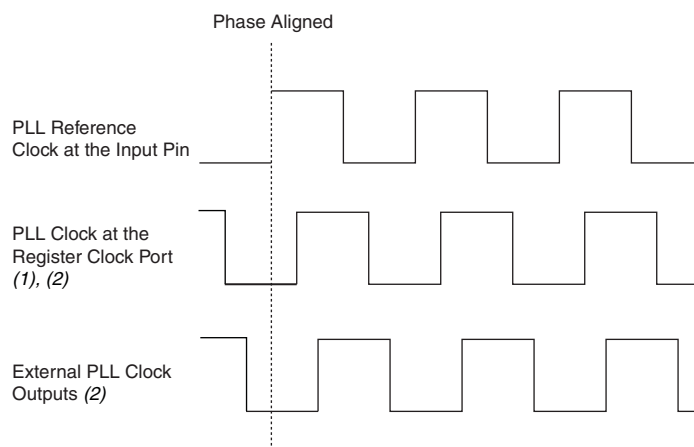


图 5-13 注释:

- (1) PLL 输出的内部时钟之间相位是对齐的。
- (2) PLL 时钟输出能够超前或滞后于 PLL 输入时钟。

## 标准模式

标准模式中的内部时钟是与输入时钟管脚相位对齐的。如果在该模式中连接外部时钟输出管脚，则外部时钟输出管脚会产生相对于时钟输入管脚的相位延迟。Quartus II 软件时序分析将报告两者之间的相位差别。在标准模式下，PLL 将对 GCLK 网络所产生的延迟进行完全补偿。

图 5-14 显示了该模式下的 PLL 时钟的相位关系的波形实例。

图 5-14. 标准模式中 PLL 时钟之间的相位关系

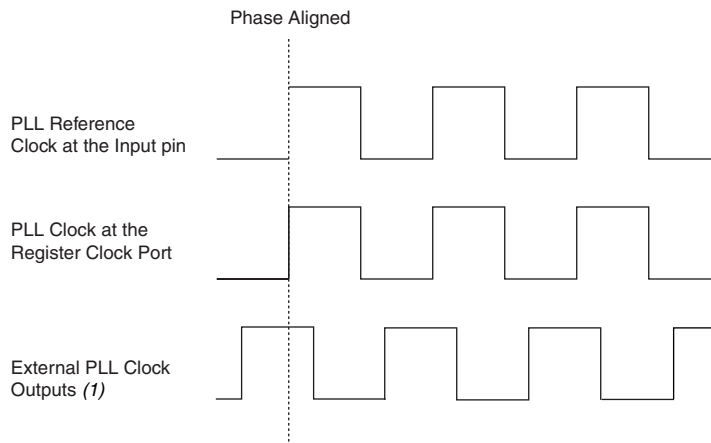


图 5-14 注释:

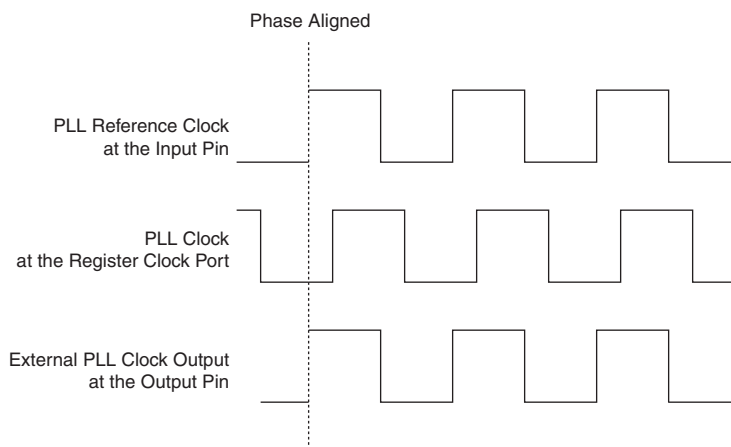
(1) 外部时钟输出能够超前或滞后于 PLL 内部时钟信号。

## 零延迟缓冲模式

在零延迟缓冲 (ZDB) 模式中，外部时钟输出管脚与时钟输入管脚是相位对齐的，没有延迟。当使用该模式时，需要在输入时钟与输出时钟上使用同一 I/O 标准，以保证输入与输出管脚上的时钟对齐。

图 5-15 显示了零延迟缓冲模式下 PLL 时钟之间的相位关系的波形实例。

图 5-15. 零延迟缓冲模式中 PLL 时钟之间的相位关系



## 确定性延迟补偿模式

确定性延迟模式通过通用公共无线电接口 (CPRI) 应用中的时钟网络和串行器, 来对多用 PLL 的延迟进行补偿。在该模式中, PLL PFD 反馈路径对相对于参考时钟的 Tx dataout 和 Tx clkout 路径中的延迟不确定性进行补偿。

## 硬件特性

Cyclone IV PLL 支持通用时钟管理的几个特性。这一部分介绍了时钟的乘法与除法的实现、相移的实现、以及可编程占空比。

### 时钟的乘法与除法

每一个 Cyclone IV PLL 均采用  $M/(N \times \text{后缩放计数器})$  缩放因子为 PLL 输出端口提供时钟合成输出。输入时钟由预缩放因子  $N$  分频, 然后乘以反馈因子  $M$ 。控制环路驱动 VCO 以匹配  $f_{IN}$  ( $M/N$ )。每一个输出端口均有一个唯一的后缩放计数器, 对高频 VCO 进行分频。对于不同频率的多个 PLL 输出, VCO 值是输出频率的最小公倍数, 以满足其频率规格。例如, 如果一个 PLL 所要求的输出频率是 33 和 66 MHz, 那么 Quartus II 软件会将 VCO 设置为 660 MHz (33 和 66 MHz 在 VCO 频率范围内的最小公倍数)。然后, 后放大计数器会降低每个输出端口的 VCO 频率。

每一个 PLL 上均有一个预缩放计数器  $N$  和一个乘法计数器  $M$ , 范围从 1 到 512。由于计数器  $N$  仅用于计算分频, 因此该计数器不使用占空比控制。此外, 每个 PLL 上有五个用于驱动 GCLK 或外部时钟输出的通用后缩放计数器。这些后缩放计数器的范围从 1 到 512, 并具有 50% 的占空比设置。后缩放计数器的范围从 1 到 256, 具有非 50% 的占空比设置。设计所选择的高 / 低计数值的总和, 将用于给定计数器分频值的选择。

Quartus II 软件根据输入到 ALTPLL 宏功能的输入频率、乘法和除法值来自动选择相应的缩放因子。

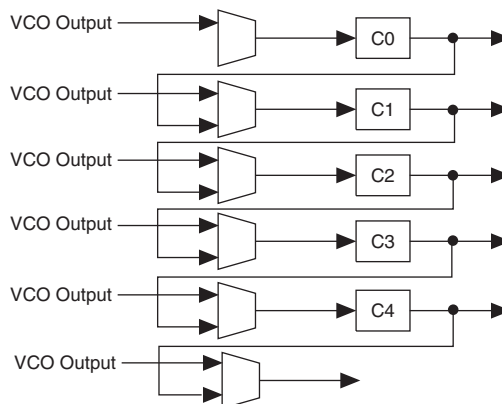


使用  $t_{PLL\_PSERR}$  规格来确定输出计数器之间的相位对齐。

## 后缩放计数器的级联


Cyclone IV 器件的 PLL 支持后缩放计数器的级联，以生成大于 512 的计数器。这是通过将 一个 C 计数器的输出送至下一个 C 计数器的输入来实现的，如图 5-16 所示。

图 5-16. 计数器的级联



当通过级联计数器来实现高频 VCO 时钟的更大分频时，级联的计数器作为单个计数器运行，并具有单个计数器设置的乘积。

例如，如果  $C0 = 4$  和  $C1 = 2$ ，则级联的值是  $C0 \times C1 = 8$ 。

 后缩放计数器的级联由 Quartus II software 在配置文件中自动配置。后缩放计数器的级联不能通过使用 PLL 重配置来实现。


## 可编程占空比

可编程占空比功能使 PLL 能够生成具有可变占空比的时钟输出，PLL 后缩放计数器支持这一功能。通过后缩放计数器的高 / 低时间计数设置来实现占空比设置。Quartus II 软件使用输入频率和目的倍频 / 分频比率来确定占空比的选择。后缩放计数器的值决定了占空周期的精度，该精度定义为 50% 除以后缩放计数器的值。例如，如果 C0 计数器的值为 10，则 5% 的步长可用于 5% 到 90% 之间的占空比的选择。

可编程占空比与可编程相移的结合可以实现精确的非重叠时钟的生成。

## PLL 控制信号

您可以通过使用 pfdena, areset 和 locked 信号来观测和控制 PLL 的操作以及重同步。

 欲了解关于 PLL 控制信号的详细信息，请参考 *ALTPLL Megafunction User Guide*。

## 时钟切换

时钟切换功能实现了 PLL 在两个参考输入时钟之间进行切换。这一功能可用于时钟冗余或双时钟域的应用，例如：在之前的时钟停止运行时，一个用于开启冗余时钟的系统。当时钟不再触发，或者不再基于用户控制信号 `clkswitch` 时，您的设计可以自动执行时钟切换。

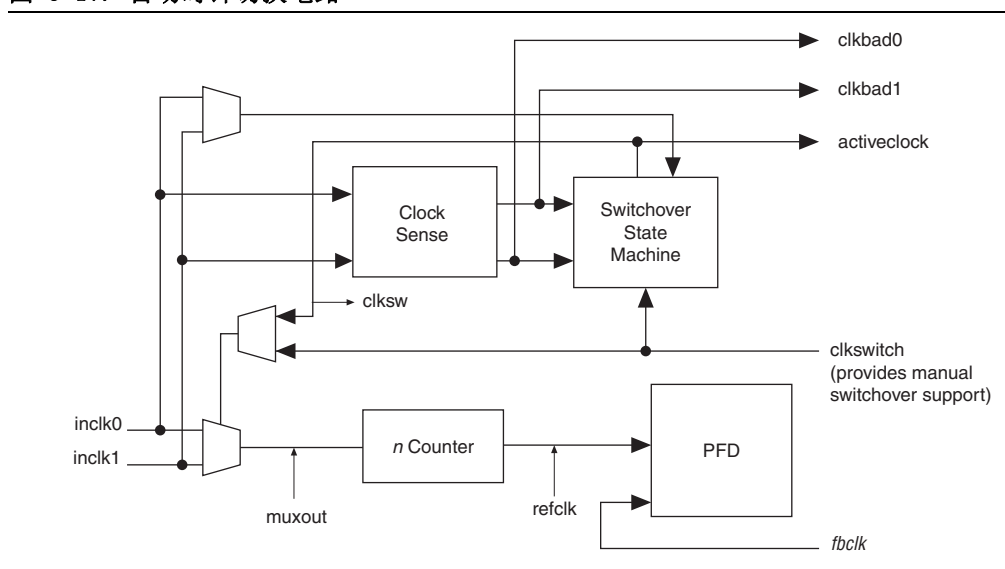
### 自动时钟切换

Cyclone IV 器件的 PLL 支持一个完全可配置的时钟切换功能。

当前参考时钟不存在时，时钟检测模块会自动切换到 PLL 参考的备用时钟。另外，时钟切换电路也会发出 PLL 的三个状态信号——`clkbad0`、`clkbad1` 和 `activeclock`——以实现定制切换电路。通过将备用时钟连接至您设计中 PLL 的 `inclk1` 端口，您可以在备用时钟上对时钟源进行选择。

图 5-17 显示了集成在 PLL 中的切换电路结构图。

图 5-17. 自动时钟切换电路

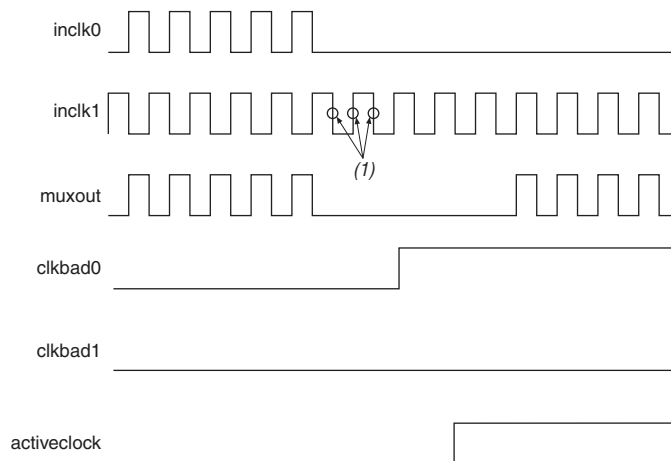


使用时钟切换功能的两种方式：

- 使用切换电路来完成从运行在相同频率下的 `inclk0` 到 `inclk1` 的切换。例如，在要求一个与参考时钟相同频率的冗余时钟的应用中，切换状态机会生成一个用于控制图 5-17 中所示的多路复用器选择输入的信号。这种情况下，`inclk1` 成为 PLL 的参考时钟。当 `inclk0` 与 `inclk1` 中的一个时钟失败，而另一个可用时，这种自动切换能够在这两个时钟之间来回切换任意次数。
- 将 `clkswitch` 输入用于用户或系统控制的切换条件，使得相同频率或者不同频率输入之间的切换成为可能。例如，如果 `inclk0` 为 66 MHz，`inclk1` 为 200 MHz，那么您必须控制切换，因为自动时钟检测电路不能监测频差大于 20% 的主时钟频率及辅助时钟频率。当时钟源来自背板上的多个卡，并要求一个操作频率间的系统控制的切换时，该功能是非常有用的。选择辅助时钟频率，使 VCO 在推荐的频率范围内运作。此外，相应地设置 M、N 和 C 计数器，使 VCO 操作频率保持在推荐范围内。

图 5-18 显示了当使用自动时钟丢失检测时，一个切换功能的波形实例。这里的 `inclk0` 信号保持低电平。`inclk0` 信号在保持大概两个时钟周期的低电平后，时钟检测电路将驱动 `clkbad0` 信号至高电平。此外，由于参考时钟信号没有翻转，因此切换状态机通过 `clksw` 信号控制多路复用器来切换到 `inclk1`。

图 5-18. 时钟丢失检测时的自动切换 (1)



**图 5-18 注释:**

(1) 根据可用时钟的不同，切换功能在 `inclk0` 或 `inclk1` 的下降沿被使能。此图中，切换功能在 `inclk1` 的下降沿被使能。

## 手动超控

如果正在使用自动切换功能，则必须通过具有 `clkswitch` 输入的手动强制功能来切换输入时钟。

图 5-19 显示了一个由 `clkswitch` 控制的切换功能波形实例。该情况下，这两个时钟源都是可用的，`inclk0` 作为参考时钟被选择。`clkswitch` 信号的一个从低到高的跳变开始了切换排序。`clkswitch` 信号必须保持至少三个时钟周期的高电平（如果 `inclk0` 和 `inclk1` 的频率不同，则需要至少三个更长的时钟周期）。在 `inclk0` 的下降沿，计数器的参考时钟 `muxout` 被关断，以防止时钟毛刺的产生。在 `inclk1` 的下降沿，参考时钟多路复用器将 `inclk0` 切换到 `inclk1`，以作为 PLL 参考，`activeclock` 信号的变化表明了当前哪一个时钟正在驱动 PLL。

在这种模式下，activeclock 信号反映了 clkswitch 信号。因为两个模块在手动切换期间仍然可用，所以没有 clkbad 信号变为高电平。由于切换电路是正边沿敏感的，因此 clkswitch 信号的下降沿不会导致电路从 inclk1 切换回 inclk0。当 clkswitch 信号再一次变高，重复整个过程。clkswitch 信号与自动切换功能的使用取决于目的时钟的可用性。如果目的时钟不可用，则状态机会一直等待，直到目的时钟可用。


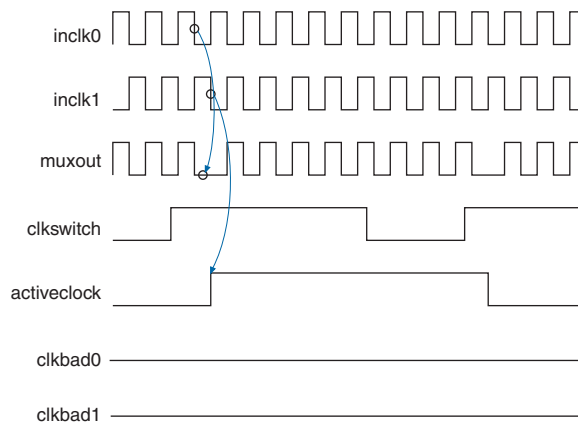
 当 CLKSWITCH = 1，将覆盖自动切换功能。只要 clkswitch 信号为高，进一步的切换操作就会被阻止。

图 5-19. 使用 clkswitch 控制进行时钟切换 (1)




**图 5-19 注释:**

(1) 当 clkswitch 信号变为高电平，开始手动时钟切换活动时，inclk0 以及 inclk1 必须是运行的。

## 手动时钟切换

Cyclone IV 器件中的 PLL 支持手动切换功能，其中 clkswitch 信号用于控制 PLL 的输入时钟是 inclk0 还是 inclk1。手动切换的特点类似于自动时钟切换中的手动超控功能，其中的切换电路是边沿敏感的。当 clkswitch 信号变为高电平，切换排序开始。clkswitch 信号的下降沿不会导致电路切换回以前的输入时钟。

 要了解关于 Quartus II 中 PLL 软件支持的详细信息，请参考 *ALTPLL Megafunction User Guide*。

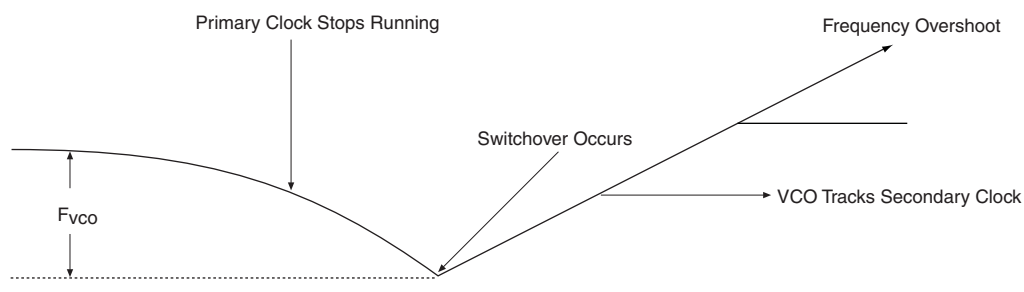
## 指导原则

使用 PLL 中的时钟切换进行设计时，需要遵循下面的指导原则：

- 时钟丢失检测和自动时钟切换要求 inclk0 和 inclk1 频率在彼此的 20% 以内。不符合这一要求将导致 clkbad0 和 clkbad1 信号无法正常工作。
- 当使用手动时钟切换功能时，inclk0 与 inclk1 之间的差异能够大于 20%。然而，两个时钟源（频率、相位，或两者）间的差异能导致 PLL 失锁。复位 PLL 保证了输入与输出时钟之间正确的相位关系的维持。
- 当 clkswitch 信号变高开始手动时钟切换活动时，inclk0 与 inclk1 必须是运行的。如果不能满足这一要求，则将导致时钟切换失灵。

- 要求时钟切换功能以及低频率漂移的应用必须使用低带宽 PLL。当参考输入时钟变化时，低带宽 PLL 要比高带宽 PLL 反应慢。切换发生时，低带宽 PLL 将时钟停止信号传输至输出的速度要低于高带宽 PLL。低带宽 PLL 过滤掉参考时钟上的抖动。然而，低带宽 PLL 也增加了锁定时间。
- 切换发生后，PLL 在一个有限的重同步期间锁定到一个新的时钟。PLL 重新锁定所需要的时间还要取决于 PLL 的配置。
- 如果 PLL 上的输入时钟与输出时钟之间的相位关系对您的设计很重要，则需要执行时钟切换后对 `areset` 进行置位 10 ns。重新使能 PLL 的输出时钟前，需等待锁定信号（或选通锁定）变为高电平。
- 图 5-20 显示了当主时钟丢失时，VCO 频率逐渐下降，然后在 VCO 锁定到辅助时钟后又回升的情况。VCO 锁定到辅助时钟后，在 VCO 频率中会出现一些过冲（过频率情况）。

图 5-20. VCO 切换操作频率



- 如果系统在 PLL 重同步期间不能承受频率变化，那么在切换过程中需要禁用系统。使用 `clkbad0` 与 `clkbad1` 状态信号来关闭 PFD (`pfdena = 0`)，使 VCO 保持其最后的频率。此外，通过使用切换状态机，可以切换到辅助时钟。PFD 使能时，输出时钟使能信号 (`clkena`) 在切换与重同步期间能够禁用时钟输出。锁定指示稳定后，系统可以重新使能输出时钟或其它时钟。

## 可编程带宽

PLL 带宽是衡量 PLL 跟踪输入时钟及其相应抖动能力的标准。Cyclone IV 器件的 PLL 通过使用 PLL 环路的可编程特性来提供 PLL 带宽的高级控制，包括环路滤波器和电荷泵。PLL 中的闭环增益 3-dB 频率决定了 PLL 带宽。带宽大概是开环 PLL 相应的单位增益点。

## 相移的实现

对于 Cyclone IV 器件的时钟延迟，相移用于实现一个可靠的解决方案。相移是通过 VCO 相位输出与计数器起始时间的相结合来实现的。VCO 相位输出与计数器起始时间是插入延迟的最准确方法，因为 VCO 相位输出与计数器起始时间仅取决于计数器设置（不依赖于工艺，电压以及温度）。

您可以通过下面其中的一个方法从 Cyclone IV 器件的 PLL 中将输出时钟相移：

- 使用 VCO 相位抽头的精细分辨率
- 使用计数器起始时间的粗分辨率

精细分辨率相移是通过使输出计数器 (C[4..0]) 或者 M 计数器使用 VCO 的任何八个相位作为参考时钟来实现的。使您能够通过精细分辨率来调整延迟时间。

公式 1 显示了使用该方法所能插入的最小延迟时间。

---

### 公式 1. 精细分辨率相移

$$\Phi_{\text{fine}} = \frac{T_{\text{VCO}}}{8} = \frac{1}{8f_{\text{VCO}}} = \frac{N}{8Mf_{\text{REF}}}$$


---

公式中的  $f_{\text{REF}}$  是输入参考时钟频率。

举例说明，若  $f_{\text{REF}}$  为 100 MHz， $N = 1$  和  $M = 8$ ，

则  $f_{\text{VCO}} = 800$  MHz， $\Phi_{\text{fine}} = 156.25$  ps。PLL 操作频率定义了该相移，一个取决于参考时钟频率和计数器设置的值。

通过将计数器的起始延迟一个预定数量的计数器时钟周期，来实现粗分辨率相移。公式 2 显示了粗分辨率相移。

---

### 公式 2. 粗分辨率相移

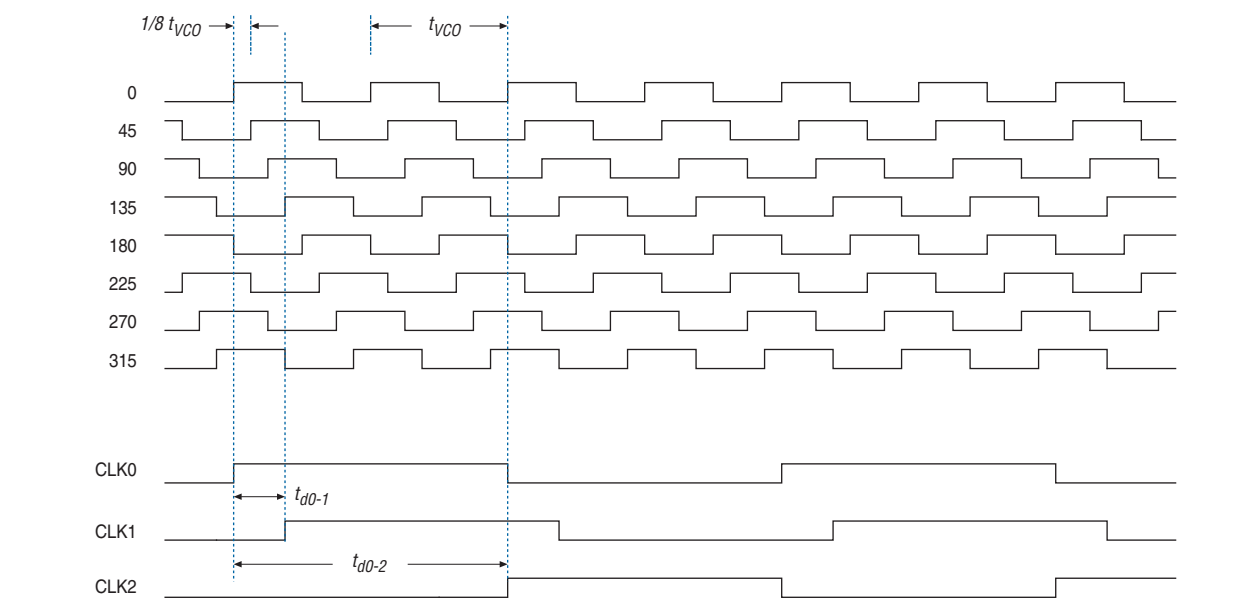
$$\Phi_{\text{coarse}} = \frac{C-1}{f_{\text{VCO}}} = \frac{(C-1)N}{Mf_{\text{REF}}}$$


---

$C$  是所设置的计数器延迟时间的计数值（这是 Quartus II 中编译报告的 PLL 使用部分中的初始化设置）。若初始值是 1，则  $C - 1 = 0^\circ$  相移。

图 5-21 显示了通过 VCO 相位抽头方法，使用精细分辨率的一个相移插入的实例。图中标记并显示了 VCO 的八个相位，以供参考。在这一实例中，CLK0 基于 VCO 的  $0^\circ$  相位，并有一个 C 值将计数器设置为 1。CLK1 信号被四分频，两个 VCO 时钟用于高时间，两个用于低时间。CLK1 信号基于 VCO 上的  $135^\circ$  相位抽头，并有一个 C 值将计数器设置为 1。CLK1 信号也被四分频。在这种情况下，两个时钟偏移  $3\Phi_{\text{fine}}$ 。CLK2 基于 VCO 的  $0^\circ$  相位，但有一个 C 值将计数器设置为 3。这会产生两个  $\Phi_{\text{coarse}}$  的延迟（两个完整的 VCO 持续时间）。

图 5-21. 使用 VCO 相位输出进行延迟插入与计数器延迟时间




您可以使用粗相移和精细相移来实现 Cyclone IV 器件中的时钟延迟。

Cyclone IV 器件仅支持 VCO 相位抽头的动态相移。相移可被配置任意次数。每个相移使用大概一个 `scanclk` 周期，使您能够快速实现大的相移。

## PLL 级联

Cyclone IV 支持通用 PLL 与多用 PLL 在标准或直接模式中通过 GCLK 网络进行级联。如果您的设计级联了 PLL，那么源（上游）PLL 必须要有一个低带宽设置，而目的（下游）PLL 必须要有一个高带宽设置。

 PLL\_6 和 PLL7 仅具有上游级联性能。

## PLL 重配置

PLL 使用几个分频计数器和不同的 VCO 相位抽头来执行频率合成及相移。在 Cyclone IV 器件的 PLL 中，您可以实时重配置计数器设置及相移 PLL 输出时钟。此外，您也可以修改电荷泵和环路滤波器组件，这会对 PLL 带宽产生动态影响。您可以使用这些 PLL 组件来实时更新输出时钟频率、PLL 带宽和相移，而无需重配置整个 FPGA。

PLL 实时重配置这一特性对在多频率上进行操作的应用是很有用的。此外，这一特性在原型开发环境中也很有用，使您能够扫描 PLL 输出频率，并动态调整输出时钟相位。例如，用于生成测试码型的系统根据被测器件的要求，需要在 75 或者 150 MHz 下生成并发送码型。对 PLL 组件进行实时重配置使您能够在几微妙内完成这样两个输出频率间的切换。

您也可以利用这一特性，通过修改 PLL 输出时钟相移来实时调整 clock-to-out ( $t_{CO}$ ) 延迟。通过这一方法不再需要使用新的 PLL 设置重新生成配置文件。

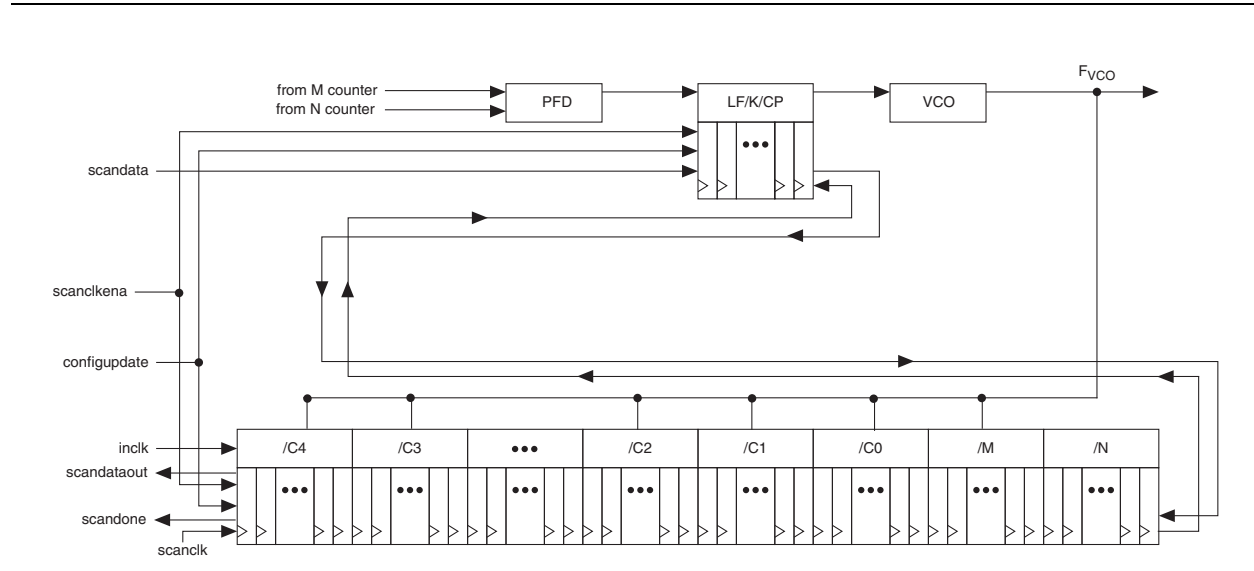
### PLL 重配置硬件的实现


下面的 PLL 组件可实时配置：

- 预缩放计数器 (N)
- 反馈计数器 (M)
- 后缩放输出计数器 (C0-C4)
- 动态调整电荷泵电流 ( $I_{CP}$ ) 和环路滤波器组件 (R, C)，使 PLL 带宽的即时重新配置变得更加容易。

图 5-22 显示了如何通过将 PLL 计数器的新设置移入串行移位寄存器链或扫描链，来动态调整 PLL 计数器设置。串行数据通过 scandataport 移入扫描链，并且移位寄存器被 scanclk 锁定。scanclk 最大频率为 100 MHz。移入数据最后一位后，将 configupdate 信号置位最少一个 scanclk 时钟周期，使用扫描寄存器中的数据同步更新 PLL 配置位。

图 5-22. PLL 重配置扫描链



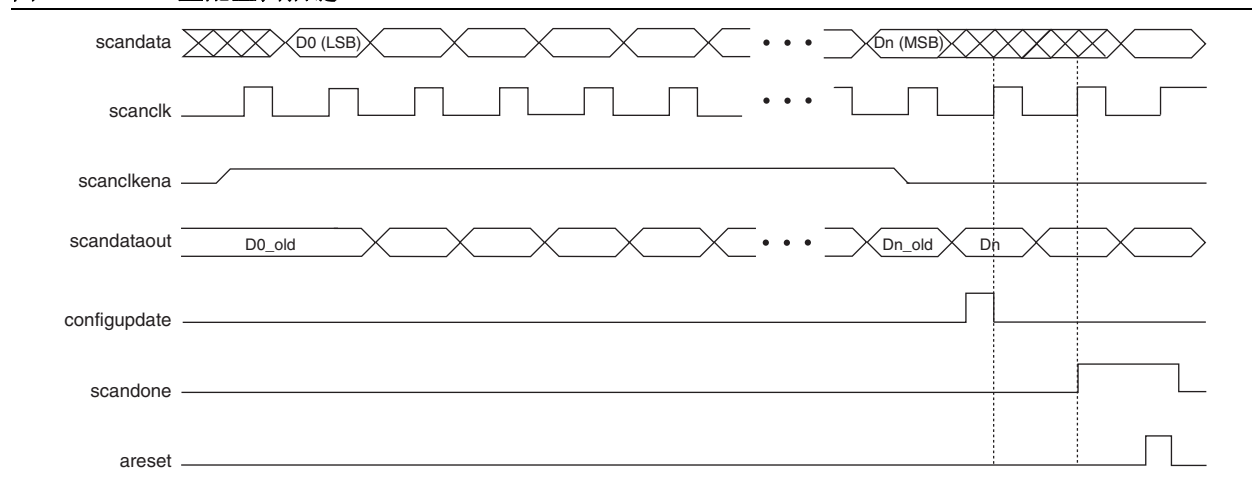
 计数器设置同步地更新到单个计数器的时钟频率。因此，并非所有的计数器都能同步更新。


请执行下列步骤来重配置 PLL 计数器：

1. 在移入 scandata 的第一位 (D0) 之前，至少将 scanclkena 信号置位一个 scanclk 周期。
2. 串行数据 (scandata) 在 scanclk 的第二个上升沿被移入扫描链中。
3. 所有的 144 位全部扫描进扫描链中后，scanclkena 信号被置低，以防止扫描链中位的意外移动。
4. configupdate 信号置位一个 scanclk 周期，以使用扫描链中的数据更新 PLL 计数器。
5. scandone 信号变高，表明正在对 PLL 进行重配置。下降沿表明 PLL 计数器已经使用新的设置进行更新了。
6. 如果修改了 M、N、后缩放输出 C 计数器或者  $I_{CP}$ ，R，C 设置，需要使用 areset 信号对 PLL 进行复位。
7. 您可以重复步骤 1 到步骤 5，对 PLL 进行任意次数的重配置。

图 5-23 显示了 PLL 重配置特性的功能仿真。

图 5-23. PLL 重配置扫描链



 当重配置计数器时钟频率时，不能使用同一接口对相应的计数器相移设置进行重配置。您可以使用动态相移重配置接口对相移进行实时重配置。如果对计数器频率进行重配置，但希望在时钟输出上保持相同的非零相移设置（例如：90°），那么您必须在重配置计数器时钟频率之后，再对相移进行重配置。

### 后缩放计数器 (C0 到 C4)

您可以实时配置倍频或分频值以及后缩放计数器的占空比。每一个计数器均有一个 8-bit 高时间设置和 8-bit 低时间设置。占空比是时钟输出高 / 低脉冲与整个时钟周期时间的比率，这是两者的总和。此外，这些计数器有两个控制位，`rbypass`，用于旁路计数器，和 `rse1odd`，用于选择输出时钟占空比。

当 `rbypass` 位设为 1 时，它将旁路计数器，产生一分频。当 `rbypass` 位设为 0 时，PLL 会根据高 / 低时间计数器来计算 VCO 输出频率的有效分频。举例说明，若后缩放分频因子是 10，则高和低脉冲计数值都被设置成 5，以实现 50 - 50% 占空比。PLL 通过在 VCO 输出时钟的上升沿完成输出时钟从高到低的跳变，来实现这一占空比。然而，将高低脉冲计数值分别设成 4 和 6 会产生一个 40 - 60% 占空比的输出时钟。

`rse1odd` 位表明了 50% 占空比的 VCO 输出频率的奇数分频因子。举例说明，若后缩放分频因子是 3，则高低脉冲计数值分别是 2 和 1，以实现这一分频。这意味着一个 67% - 33% 的占空比。如果需要一个 50% - 50% 的占空比，那么必须将 `rse1odd` 控制位设为 1（尽管是一个奇数分频因子），以实现这一占空比。PLL 通过在 VCO 输出时钟的下降沿完成输出时钟从高到低的跳变，从而实现这一占空比。当设置 `rse1odd = 1`，需从高脉冲减去 0.5 周期，并在低脉冲加入 0.5 周期。

例如：

- 高时间计数 = 2 个周期

- 低时间计数 = 1 个周期
- rselodd = 1 有效等于：
  - 高时间计数 = 1.5 周期
  - 低时间计数 = 1.5 周期
  - 占空比 = (1.5/3)% 高时间计数和 (1.5/3)% 低时间计数

### 扫描链的介绍

Cyclone IV PLL 有一个 144-bit 扫描链。

表 5-7 列出了 PLL 每个组件的位数。

表 5-7. Cyclone IV PLL 重编程位

模块名	位数		
	计数器	其它	总数
C4 (1)	16	2 (2)	18
C3	16	2 (2)	18
C2	16	2 (2)	18
C1	16	2 (2)	18
C0	16	2 (2)	18
M	16	2 (2)	18
N	16	2 (2)	18
电荷泵	9	0	9
环路滤波器 (3)	9	0	9
位的总数			144

**表 5-7 注释：**

- (1) C4 低计数值的 LSB 位是移入扫描链的第一个位。
- (2) 这两个控制位包括 rbypass, 用于旁路计数器, 和 rselodd, 用于选择输出时钟占空比。
- (3) 环路滤波器的 MSB 位是移入扫描链的最后一个位。

图 5-24 显示了 PLL 组件的扫描链顺序。

图 5-24. PLL 组件扫描链顺序

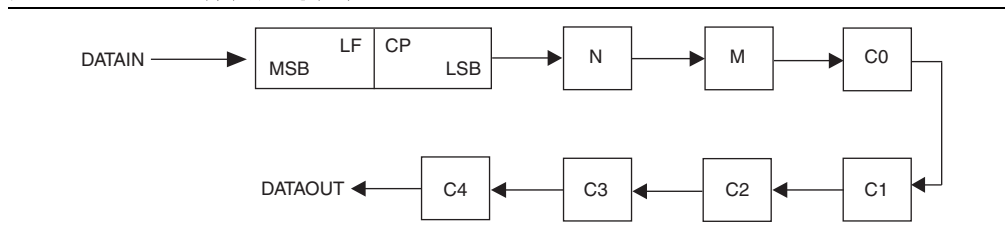
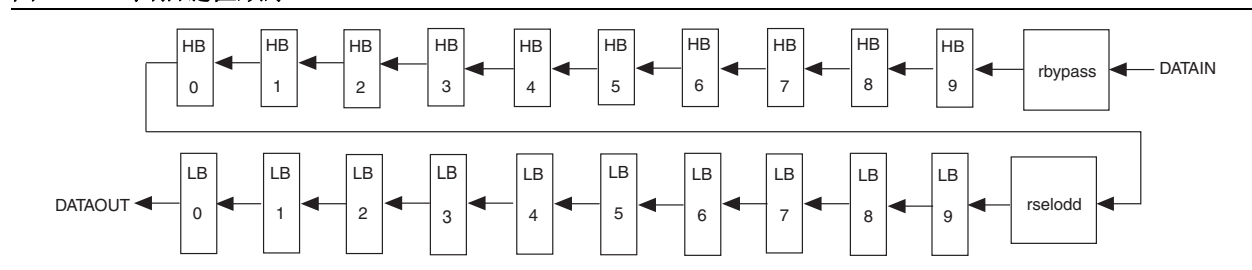


图 5-25 显示了 Cyclone IV 器件 PLL 中的一个 PLL 后缩放计数器的扫描链位的排序。

图 5-25. 扫描链位顺序



### 电荷泵与环路滤波器

您可以重配置电荷泵与环路滤波器设置，对 PLL 带宽进行实时升级。表 5-8 到表 5-10 列出了 Cyclone IV 器件的电荷泵电流 ( $I_{CP}$ )、环路滤波器电阻 (R) 和电容器 (C) 的值的可能设置值。

表 5-8. 电荷泵位控制

CP[2]	CP[1]	CP[0]	设置值 (十进制)
0	0	0	0
1	0	0	1
1	1	0	3
1	1	1	7

表 5-9. 环路滤波器阻值控制

LFR[4]	LFR[3]	LFR[2]	LFR[1]	LFR[0]	设置值 (十进制)
0	0	0	0	0	0
0	0	0	1	1	3
0	0	1	0	0	4
0	1	0	0	0	8
1	0	0	0	0	16
1	0	0	1	1	19
1	0	1	0	0	20
1	1	0	0	0	24
1	1	0	1	1	27
1	1	1	0	0	28
1	1	1	1	0	30

表 5-10. 高频电容的环路滤波器控制

LFC[1]	LFC[0]	设置值 (十进制)
0	0	0
0	1	1
1	1	3

### 旁路 PLL 计数器

旁路 PLL 计数器会产生分频因子 1(N, C0 到 C4 计数器)。

表 5-11 列出了旁路 Cyclone IV 器件的 PLL 计数器的设置。

表 5-11. PLL 计数器设置

PLL 扫描链位 [0..8] 设置								说明	
LSB							MSB		
X	X	X	X	X	X	X	X	1 (1)	旁路了 PLL 计数器
X	X	X	X	X	X	X	X	0 (1)	未旁路 PLL 计数器

表 5-11 注释:

(1) 旁路位。

要旁路 PLL 计数器, 需将旁路位设置成 1。然后忽略其它位上的值。

### 动态相移

动态相移功能使单个 PLL 输出的输出相位能够相对于彼此和参考时钟被动态调整, 而无需通过相应 PLL 的扫描链发送串行数据。这一功能简化了接口, 并使您能够通过实时修改输出时钟相移, 来迅速调整  $t_{CO}$  延迟。这是通过对给定的 C 计数器或者 M 计数器递增或递减 VCO phase-tap 选择来实现的。相位一次只偏移 VCO 频率的 1/8。输出时钟在该相位重配置过程中是有效的。

表 5-12 列出了动态相移使用的控制信号。

表 5-12. 动态相移控制信号 (1/2)

信号名	说明	源	目的
phasecountersselect [2..0]	计数器选择。这三个位通过解码来选择 M 计数器或者其中的一个 C 计数器, 以实现相位调整。一个地址映射选择所有的 C 计数器。该信号在 scanclk 的上升沿上的 PLL 中寄存。	逻辑阵列或者 I/O 管脚	PLL 重配置电路
phaseupdown	选择动态相移方向: 1= UP, 0 = DOWN。该信号在 scanclk 的上升沿上的 PLL 中寄存。	逻辑阵列或者 I/O 管脚	PLL 重配置电路
phasestep	逻辑高电平使能动态相移。	逻辑阵列或者 I/O 管脚	PLL 重配置电路

表 5-12. 动态相移控制信号 (2/2)

信号名	说明	源	目的
scanclk	与 phasestep 相结合使用的内核中的自由时钟，用于使能或者禁用动态相移。与 scanclk 共享，实现动态重配置。	GCLK 或者 I/O 管脚	PLL 重配置电路
phasedone	该信号置位时，告诉内核相位调整已经完成，PLL 准备活动在第二个可能的调整脉冲上。根据内部 PLL 时序进行置位。在 scanclk 的上升沿置低。	PLL 重配置电路	逻辑阵列或者 I/O 管脚

表 5-13 列出了基于相应的 PHASECOUNTERSELECT 设置的 PLL 计数器选择。

表 5-13. 相位计数器选择映射

phasecounterselect			选择
[2]	[1]	[0]	
0	0	0	所有输出寄存器
0	0	1	M 计数器
0	1	0	C0 计数器
0	1	1	C1 计数器
1	0	0	C2 计数器
1	0	1	C3 计数器
1	1	0	C4 计数器

需要按照下列步骤来执行动态相移：

1. 根据需要设置 PHASEUPDOWN 和 PHASECOUNTERSELECT。
2. 置位 PHASESTEP 至少两个 SCANCLK 周期。每一个 PHASESTEP 脉冲仅支持一个相移。
3. PHASEDONE 变低电平后，置低 PHASESTEP。
4. 等待 PHASEDONE 变为高电平。
5. 按照所需的次数重复步骤 1 到步骤 4 来执行多个相移。

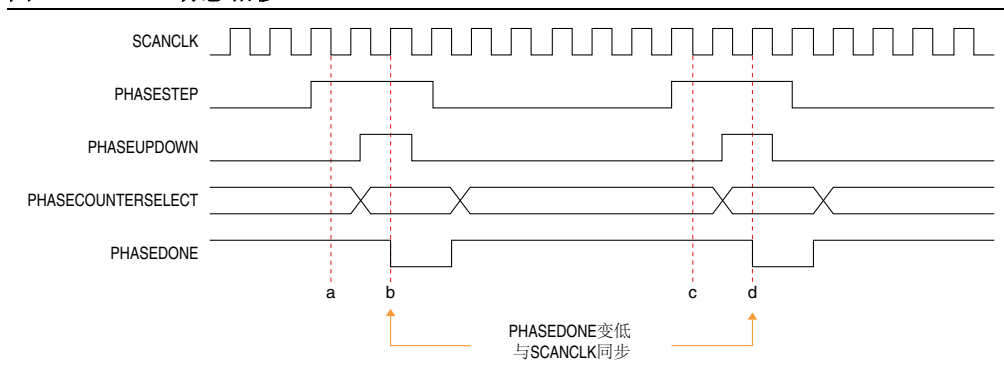
PHASEUPDOWN 与 PHASECOUNTERSELECT 信号同步于 SCANCLK 信号，对于 SCANCLK 边沿，必须符合  $t_{su}$  与  $t_h$  要求。



您可以无限制地重复动态相移。举例说明，在一个设计中 VCO 频率设置为 1,000 MHz，输出时钟频率设置为 100 MHz，执行 40 次动态相移（每一次产生 125 ps 相移）会使输出时钟的相位偏移到 180°，也就是说，5 ns 的相移。

图 5-26 显示了动态相位偏移的波形。

图 5-26. PLL 动态相移



PHASESTEP 信号在 SCANCLK (a, c) 的负边沿上被锁存, 并且必须保持至少两个 SCANCLK 周期的置位状态。PHASEDONE 变为低电平后, 置低 PHASESTEP。PHASESTEP 锁存后, 在第二个 SCANCLK 上升沿 (b, d), PHASEUPDOWN 与 PHASECOUNTERSELECT 的值被锁存, PLL 开始对指定计数器进行指定方向的动态相位偏移。PHASEDONE 被置低, 在第二个上升沿 (b, d) 与 SCANCLK 同步, 并在 PLL 完成动态相位偏移前保持在低电平。根据 VCO 和 SCANCLK 频率, PHASEDONE 低脉冲时间可能大于, 也可能小于一个 SCANCLK 周期。

您可以在 PHASEDONE 信号从高变低后执行另一个动态相移。每一个 PHASESTEP 脉冲使能一个相移。PHASESTEP 脉冲必须至少是一个 SCANCLK 周期。

要了解关于 ALTPLL\_RECONFIG MegaWizard™ Plug-In Manager 的详细信息, 请参考 [ALTPLL\\_RECONFIG Megafunction User Guide](#)。

## 扩频时钟

Cyclone IV 可以接受具有典型调制频率的扩频输入。然而, 器件不能自动检测输入是否为一个扩频信号。相反, 输入信号看起来像 PLL 输入上的确定性抖动。只要扩频输入时钟在输入抖动容限范围内, 并且输入时钟的调制频率低于 PLL 带宽 (在抖动报告中有所指定), 那么 Cyclone IV 器件的 PLL 就能够跟踪扩频输入时钟。Cyclone IV 器件不能够内部生成扩频信号。

## PLL 规范

欲了解关于 PLL 规范的详细信息, 请参考 [Cyclone IV Device Datasheet](#) 章节。

## 文档修订历史

表 5-14 列出了本章节的修订历史。

表 5-14. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.3	<ul style="list-style-type: none"> <li>■ 更新了“动态相移”章节。</li> <li>■ 更新了图 5-26。</li> </ul>
2010 年 12 月	2.2	<ul style="list-style-type: none"> <li>■ 针对 Quartus II 10.1 发布的更新。</li> <li>■ 更新了图 5-3 和图 5-10。</li> <li>■ 更新了“GCLK 网络时钟源的生成”，“Cyclone IV 器件中的 PLL”和“手动强制”章节。</li> <li>■ 少许的文本编辑。</li> </ul>
2010 年 7 月	2.1	<ul style="list-style-type: none"> <li>■ 更新了图 5-2、图 5-3、图 5-4 和图 5-10</li> <li>■ 更新了表 5-1, 表 5-2 和表 5-5。</li> <li>■ 更新了“时钟反馈模式”章节。</li> </ul>
2010 年 2 月	2.0	<ul style="list-style-type: none"> <li>■ 针对 Quartus II 9.1 SP1 的发布, 添加了 Cyclone IV E 器件信息。</li> <li>■ 更新了“时钟网络”章节。</li> <li>■ 更新了表 5-1 和表 5-2。</li> <li>■ 更新了表 5-3。</li> <li>■ 更新了图 5-2, 图 5-3 和图 5-9。</li> <li>■ 添加了图 5-4 和图 5-10。</li> </ul>
2009 年 11 月	1.0	首次发布。