


本章节介绍了 Cyclone® IV 器件的存储器接口管脚的支持以及外部存储器接口的特性。

除了大量供应的片上存储器，Cyclone IV 器件可以很容易地与各种外部存储器件建立连接，其中包括 DDR2 SDRAM、DDR SDRAM 和 QDR II SRAM。外部存储器件是各种图像处理、存储、通信以及通用嵌入式应用的一个重要的系统组件。

 Altera 建议使用 Altera® ALTMEMPHY 宏功能来构建所有的 DDR2 或者 DDR SDRAM 外部存储器。通过将 Altera DDR2 或者 DDR SDRAM 存储控制器、第三方控制器或者定制控制器用于特定的应用需要，可以实现控制器功能。Cyclone IV 器件在电气方面提供了对 QDR II 接口的支持，但是对于 QDR II 接口，Altera 没有提供控制器或者物理层 (PHY) 宏功能。

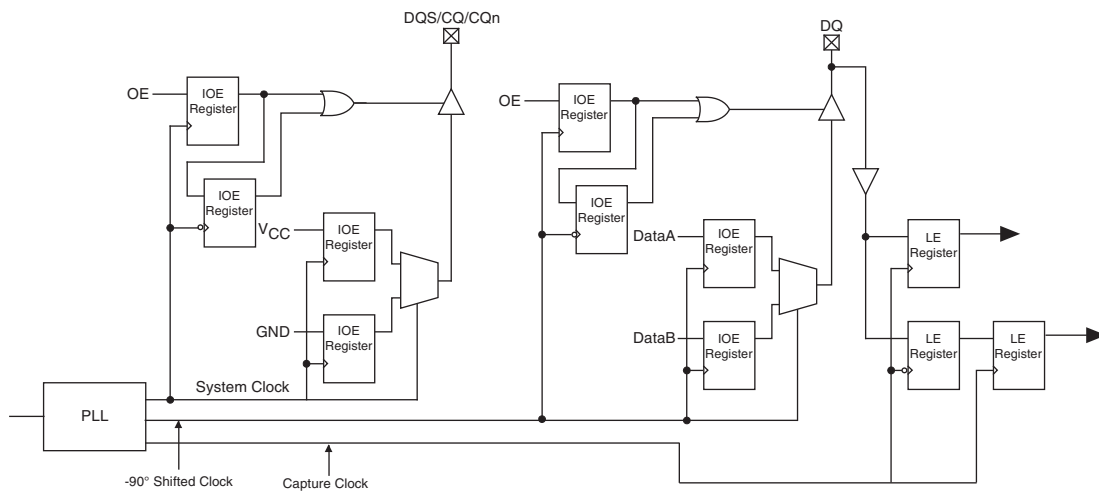
本章节涵盖以下两部分内容：

- Cyclone IV 器件的存储器接口管脚支持（第 7-2 页）
- Cyclone IV 器件存储器接口特性（第 7-12 页）

 欲了解所支持的最大时钟速率、器件与管脚规划、IP 实现以及器件端接的详细信息，请参阅 *External Memory Interface Handbook*。

图 7-1 显示了 Cyclone IV 器件中的一个典型的外部存储器接口的数据路径结构图。

图 7-1. Cyclone IV 器件中的外部存储器数据路径 (1)



#### 图 7-1 注释:

(1) 图中所示的所有时钟均为全局时钟。

欲了解关于实现完整的外部存储器接口的详细信息，请参阅 *External Memory Interface Handbook*。

## Cyclone IV 器件的存储器接口管脚支持

Cyclone IV 器件通过使用数据 (DQ) 管脚、数据选通 (DQS) 管脚、时钟管脚、命令管脚以及地址管脚，来与外部存储器进行接口连接。有些存储器接口使用数据屏蔽 (DM) 管脚或者字节写选择 (BWS#) 管脚，以启用数据屏蔽功能。这一部分介绍了 Cyclone IV 器件如何支持所有这些不同的管脚。


欲了解关于管脚利用情况的详细信息，请参阅 *外部存储器接口手册* 中的 *Volume 2: Device, Pin, and Board Layout Guidelines*。

### 数据与数据时钟 / 选通管脚


在 Cyclone IV 器件中用于外部存储器接口的数据管脚中，用于写数据的管脚称为 D，读数据的管脚称为 Q，共享读写数据的管脚称为 DQ。读数据选通或者读时钟称为 DQS 管脚。Cyclone IV 器件支持双向数据选通以及单向读取时钟。根据外部存储器标准，DQ 和 DQS 均为双向信号 (在 DDR2 和 DDR SDRAM 中) 或者均为单向信号 (在 QDR II SRAM 中)。需将双向 DQ 数据信号连接到同一 Cyclone IV 器件的 DQ 管脚。对于单向 D 或者 Q 信号，需要将读数据信号连接到一组 DQ 管脚，并将写数据信号连接到另一组不同的 DQ 管脚。

在 QDR II SRAM 中，必须将 Q 读数据组管脚布局在与 D 写数据组、命令或者地址管脚不同的  $V_{REF}$  块位置。

在 Cyclone IV 器件中，DQS 管脚仅在写模式期间用于 DDR2 和 DDR SDRAM 接口中。Cyclone IV 器件将忽略作为读数据选通信号的 DQS，因为 PHY 内部生成了用于读模式的读取捕捉时钟。然而，您必须将 DQS 管脚连接到 DDR2 和 DDR SDRAM 接口中的 DQS 信号，或者连接到 QDR II SRAM 接口中的 CQ 信号。

 Cyclone IV 器件不支持差分选通管脚，这是 DDR2 SDRAM 器件中的一个可选功能。

 当使用 Altera Memory Controller MegaCore® 功能时，PHY 将被例化。欲了解关于存储器接口数据路径的详细信息，请参阅 *External Memory Interface Handbook*。

 ALTMEMPHY 是一个自校准的宏功能，这个模块得到了增强使其简化了不同存储器接口中读数据路径的实现。ALTMEMPHY 的自校准功能在工艺、电压和温度 (PVT) 变化范围内对时钟相位及频率进行优化，从而实现了易于使用的特性。通过使用 ALTMEMPHY 宏功能，可以节省 Cyclone IV 器件中的全局时钟资源（因为 DQS 被忽略来实现读捕捉）。重同步的问题不会出现，因为不会发生从存储器域时钟 (DQS) 到系统域的数据传输（该数据传输用于捕捉数据 DQ）。

Cyclone IV 器件中所有的 I/O 块均对 DQ 和 DQS 信号提供了  $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$  和  $\times 36$  的 DQ-bus 模式，但不包括 Cyclone IV GX 器件（其不支持左侧的 I/O 块接口）。DDR2 和 DDR SDRAM 接口使用  $\times 8$  模式的 DQS 组，无需考虑接口带宽。对于一个更宽的接口，通过使用多个  $\times 8$  的 DQ 组来达到所需的宽度要求。

在  $\times 9$ 、 $\times 18$  和  $\times 36$  模式中，一对互补的 DQS 管脚 (CQ 和 CQ#) 分别驱动组中 9、18 或者 36 个 DQ 管脚，以支持一个、两个或者四个奇偶校验位以及相应的数据位。 $\times 9$ 、 $\times 18$  和  $\times 36$  模式支持 QDR II 存储器接口。CQ# 是一个反向的读时钟信号，连接到补充数据选通 (DQS 或 CQ#) 管脚。如果 DQ 管脚未用作存储器接口信号，则可用作普通的用户 I/O 管脚。

 欲了解运行在  $\geq 2.97$  Gbps 数据速率上的 Cyclone IV 收发器中的未支持的 DQS 和 DQ 组的详细信息，请参阅 *Cyclone IV Device Family Pin Connection Guidelines*。

表 7-1 列出了 Cyclone IV GX 器件的每一侧上所支持的 DQS 或 DQ 组的数量。

表 7-1. Cyclone IV GX 器件每侧上所支持的 DQS 和 DQ 总线模式 (1)

器件	封装	在器件中的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CGX15	148-pin QFN	右侧	1	0	0	0	—	—
		顶端 (2)	1	0	0	0	—	—
		底部 (3)	1	0	0	0	—	—
	169-pin FBGA	右侧	1	0	0	0	—	—
		顶端 (2)	1	0	0	0	—	—
		底部 (3)	1	0	0	0	—	—
EP4CGX22 EP4CGX30	169-pin FBGA	右侧	1	0	0	0	—	—
		顶端 (2)	1	0	0	0	—	—
		底部 (3)	1	0	0	0	—	—
	324-pin FBGA	右侧	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
		底部	2	2	1	1	—	—
	484-pin FBGA (4)	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
EP4CGX50 EP4CGX75	484-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	672-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
EP4CGX110 EP4CGX150	484-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	672-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	896-pin FBGA	右侧	6	2	2	2	1	1
		顶端	6	2	3	3	1	1
		底部	6	2	3	3	1	1

**表 7-1 注释:**

- (1) 仍然是初步的 DQS/DQ 组数。
- (2) 有些 DQ 管脚可用作 RUP 和 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。
- (3) 有些 DQ 管脚可用作 RUP 管脚，而有些 DM 管脚可用作 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。
- (4) 仅适用于 EP4CGX30 器件。

表 7-2 列出了 Cyclone IV E 器件的每一侧上所支持的 DQS 或 DQ 组的数量。

表 7-2. Cyclone IV E 器件每侧上所支持的 DQS 和 DQ 总线模式 (1) (1/2)


器件	封装	在器件上的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CE6 EP4CE10	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 (2)、(4)	1	0	0	0	—	—
		顶端 (2)、(5)	1	0	0	0	—	—
	256-pin UBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
EP4CE15	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 (2)、(4)	1	0	0	0	—	—
		顶端 (2)、(5)	1	0	0	0	—	—
	164-pin MBGA	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 (2)、(4)	1	0	0	0	—	—
		顶端 (2)、(5)	1	0	0	0	—	—
	256-pin UBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1

表 7-2. Cyclone IV E 器件每侧上所支持的 DQS 和 DQ 总线模式 (1) (2/2)


器件	封装	在器件上的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CE22	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 (2)、(4)	1	0	0	0	—	—
		顶端 (2)、(5)	1	0	0	0	—	—
	256-pin UBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 (2)	1	1	0	0	—	—
		右侧 (3)	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
EP4CE30 EP4CE115	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	780-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	6	6	2	2	1	1
		顶端	6	6	2	2	1	1
EP4CE40 EP4CE55 EP4CE75	484-pin UBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	780-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	6	6	2	2	1	1
		顶端	6	6	2	2	1	1

## 表 7-2 注释:

- (1) 仍然是初步的 DQS/DQ 组数。
- (2) 有些 DQ 管脚可用作 RUP 和 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。
- (3) 有些 DQ 管脚可用作 RUP 管脚，而有些 DM 管脚可用作 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。
- (4) 没有这些组的 DM 管脚支持。
- (5) PLLCLKOUT3n 与 PLLCLKOUT3p 管脚共享于 DQ 或者 DM 管脚，以获得 ×8 DQ 组。若正在使用 PLLCLKOUT3n 和 PLLCLKOUT3p 管脚，则不能使用这些组。

 欲了解关于器件封装概要的详细信息，请参阅 [Device Packaging Specifications](#) 页面。

DQS 管脚在 Cyclone IV 管脚列表中列出，表示为 DQSXY，其中 X 表示 DQS 所属组的编号，Y 表示该组位于器件的顶端 (T)、底部 (B)、还是右侧 (R)。同样，相应的 DQ 管脚标识为 DQXY，其中 X 表示 DQ 组数，Y 表示该组位于器件的顶端 (T)、底部 (B)、还是右侧 (R)。举例说明，DQS2T 表明一个属于组 2 的 DQS 管脚，并位于器件的顶端。同样，属于该组的 DQ 管脚被表示为 DQ2T。

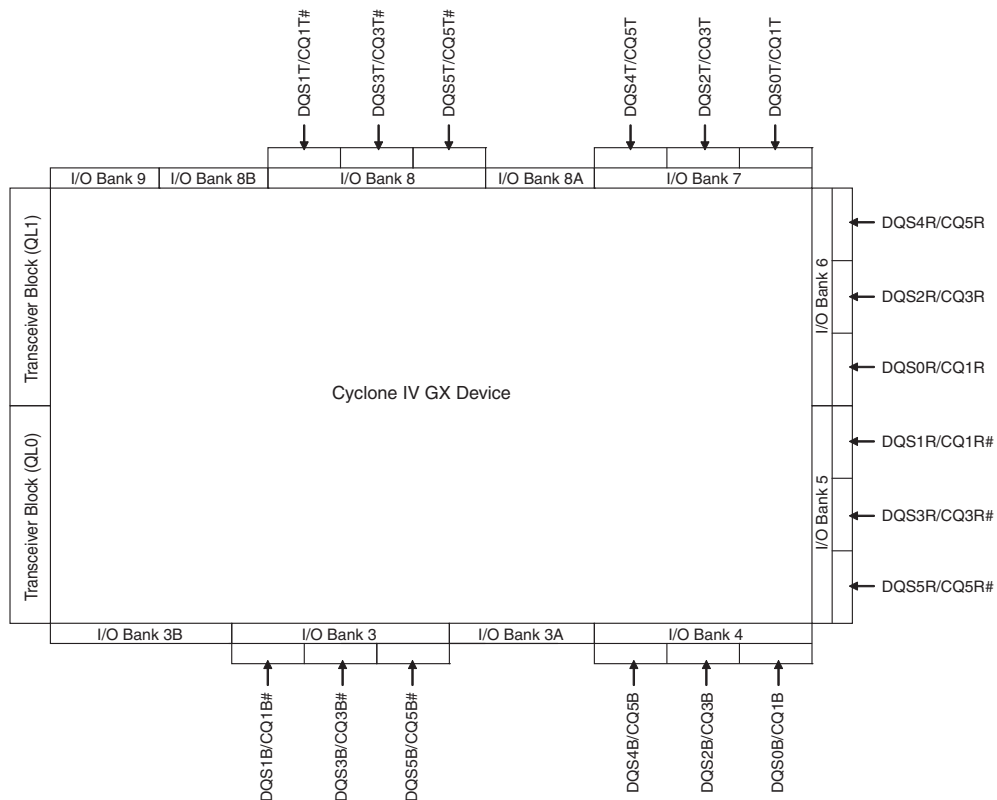
 正如 Cyclone IV 管脚列表中所定义的那样，每一个 DQ 组都与它对应的 DQS 管脚相关联。例如：

- 对于 DDR2 或者 DDR SDRAM，×8 DQ 组的 DQ3B[7..0] 管脚与 DQS3B 管脚相关联（相同的 3B 组指数）
- 对于 QDR II SRAM，×9 Q 读数据组 DQ3T[8..0] 管脚与 DQS0T/CQ0T 和 DQS1T/CQ0T# 管脚相关联（相同的 0T 组指数）

如果一个 DQ 组没有使用它相应的 DQS 进行正确的布局，那么 Quartus® II 软件会发出一个错误信息。

图 7-2 显示了 Cyclone IV GX I/O 块中 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-2. Cyclone IV GX I/O 块中的 DQS、CQ 或者 CQ# 管脚 (1)



**图 7-2 注释:**

- (1) 图中 DQS、CQ 或者 CQ# 管脚位置适用于 Cyclone IV GX 器件的所有封装，但不包括 148-pin QFP、169-pin FBGA 和 324-pin FBGA 中的器件。

图 7-3 只显示了 324-pin FBGA 封装中 Cyclone IV GX 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-3. 324-pin FBGA 封装中 Cyclone IV GX 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚

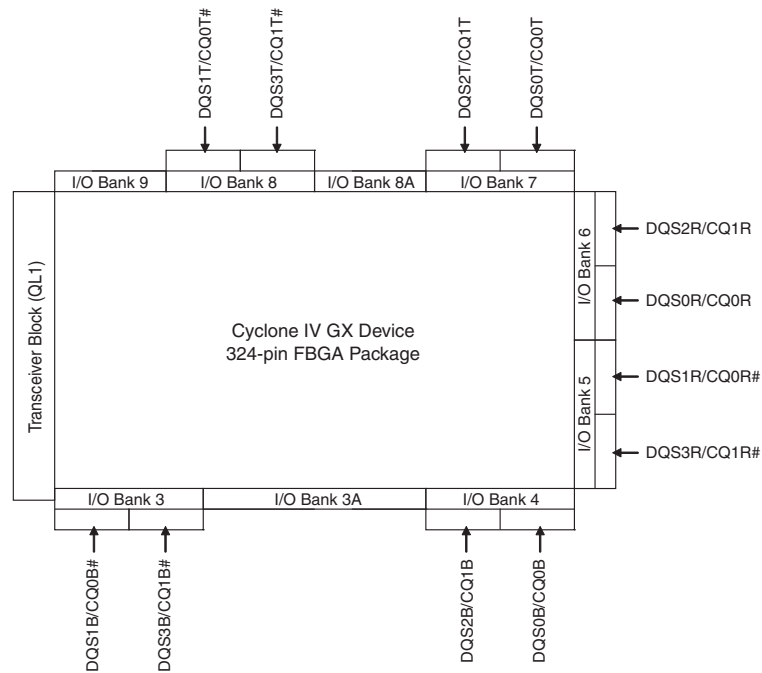


图 7-4 显示了 148-pin QFP 和 169-pin FBGA 封装中 Cyclone IV GX 器件的 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-4. 148-pin QFP 和 169-pin FBGA 封装中 Cyclone IV GX 器件的 I/O 块中的 DQS、DQ 或者 CQ# 管脚

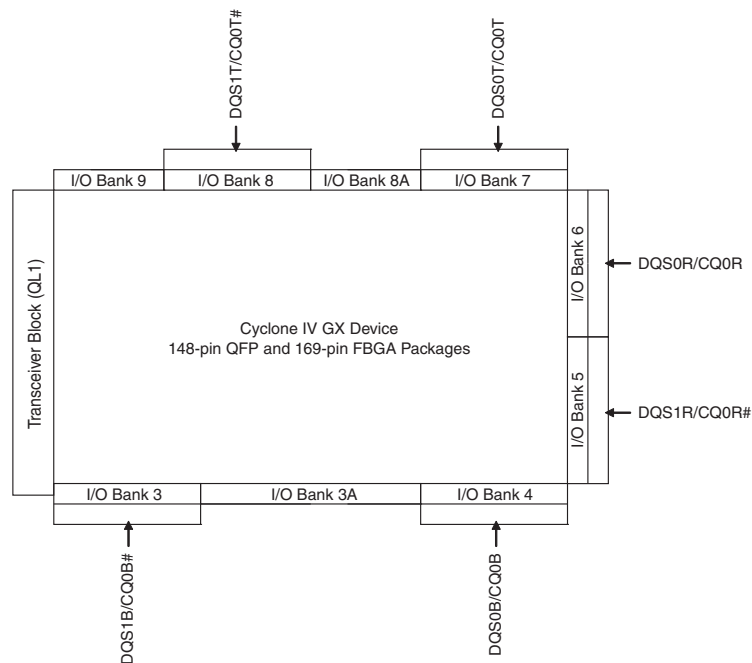
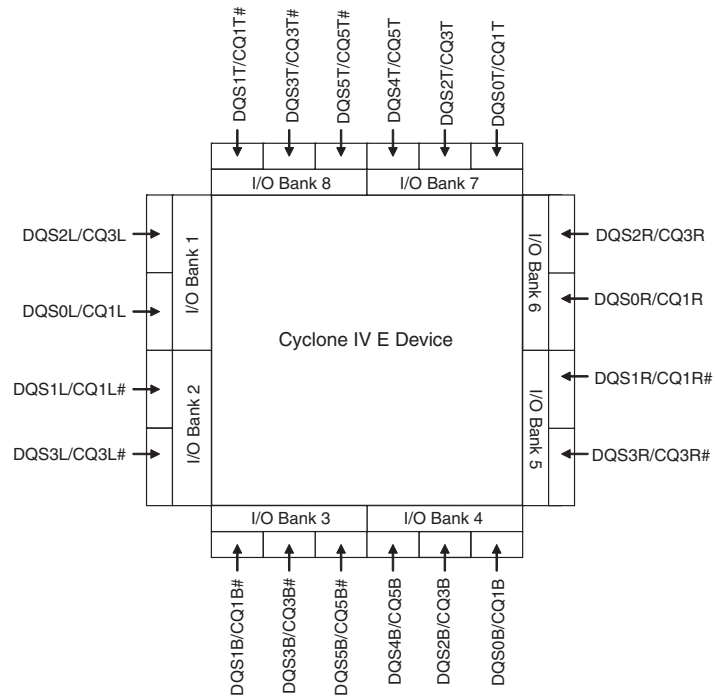


图 7-5 显示了 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-5. Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚 (1)

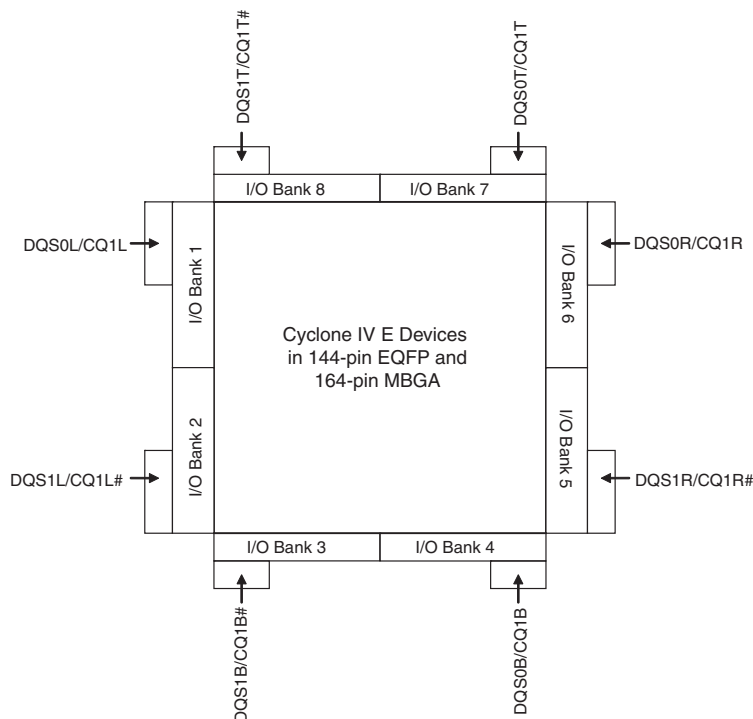


**图 7-5 注释:**

- (1) 图中 DQS、CQ 或者 CQ# 管脚位置适用于 Cyclone IV E 器件的所有封装，但不包括 144-pin EQFP 中的器件。

图 7-6 显示了 144-pin EQFP 和 164-pin MBGA 封装中 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-6. 144-pin EQFP 和 164-pin MBGA 封装中 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚



在 Cyclone IV 器件中， $\times 9$  模式使用与  $\times 8$  模式相同的 DQ 和 DQS 管脚，以及一个额外的 DQ 管脚（在  $\times 8$  模式中用作普通的 I/O 管脚）。 $\times 18$  模式使用与  $\times 16$  模式相同的 DQ 和 DQS 管脚，以及两个额外的 DQ 管脚（在  $\times 16$  模式中用作普通的 I/O 管脚）。同样， $\times 36$  模式使用与  $\times 32$  模式相同的 DQ 和 DQS 管脚，以及四个额外的 DQ 管脚（在  $\times 32$  模式中用作普通的 I/O 管脚）。如果存储器接口管脚未用作 DQ 或者 DQS 管脚，则可用于普通的 I/O 管脚。

## 可选的奇偶校验管脚、DM 管脚和错误纠正编码管脚

Cyclone IV 支持  $\times 9$ 、 $\times 18$  和  $\times 36$  模式下的奇偶校验。一个奇偶校验位可用于数据管脚的每八位。在 Cyclone IV 器件中，您可以将任意的 DQ 管脚用于奇偶校验，因为处理及配置奇偶校验管脚的方式与 DQ 管脚相类似。


仅在写入 DDR2 和 DDR SDRAM 器件时，需要 DM 管脚。QDR II SRAM 器件通过使用 BWS# 信号来选择写入到存储器中的字节。DM 或者 BWS# 管脚上的一个低电平信号表明写操作是有效的。将 DM 或者 BWS# 管脚驱动到高电平会导致存储器对 DQ 信号进行屏蔽。每一组 DQS 和 DQ 信号都有一个 DM 管脚。同 DQ 输出信号类似，DM 信号被偏移  $-90^\circ$  的时钟锁定。

在 Cyclone IV 器件中的器件管脚文件中进行 DM 管脚的预分配。Quartus II Fitter 同等对待 DQS 组中的 DQ 和 DM 管脚，以达到布局的目的。推荐使用 Cyclone IV 器件管脚文件中预分配的 DQ 和 DM 管脚。

一些 DDR2 SDRAM 和 DDR SDRAM 器件支持错误纠正编码 (ECC) 功能，它是一种在数据传输中检测错误并自动纠正错误的方法。在 72-bit DDR2 或 DDR SDRAM 中有 8 个 ECC 管脚和 64 个数据管脚。将 DDR2 和 DDR SDRAM ECC 管脚连接到 Cyclone IV 器件中单独的 DQS 或者 DQ 组。存储控制器需要额外的逻辑对 ECC 数据进行编码和解码。


## 地址和控制 / 命令管脚

地址信号和控制 / 命令信号通常以同一数据速率发送。您可以使用 Cyclone IV 器件 I/O 块上的任意用户 I/O 管脚来生成存储器件的地址和控制 / 命令信号。

 Cyclone IV 器件不支持突发长度为 2 的 QDR II SRAM。

## 存储器时钟管脚

在 DDR2 和 DDR SDRAM 存储器接口中，存储器时钟信号 (CK 和 CK#) 用于捕捉地址信号和控制 / 命令信号。同样，QDR II SRAM 器件使用写时钟 (K 和 K#) 来捕捉地址和命令信号。生成的 CK/CK# 和 K/K# 信号通过使用 Cyclone IV 器件中的 DDIO 寄存器来对写数据选通进行模仿 (resemble)。

 CK/CK# 管脚必须布局在差分 I/O 管脚上 (Pin Planner 中的 DIFFIO)，并且布局在与数据管脚相同的块中或者相同的侧边上。您可以将器件的其中一个侧边用于绕回接口。如 Pin Planner Pad View 所示，CK0 不能位于与接口 DQ 管脚相同的行与列的垫组 (pad group) 中。

 欲了解关于存储器时钟管脚布局的详细信息，请参阅 *外部存储器接口手册的 Volume 2: Device, Pin, and Board Layout Guidelines*。

## Cyclone IV 器件存储器接口特性

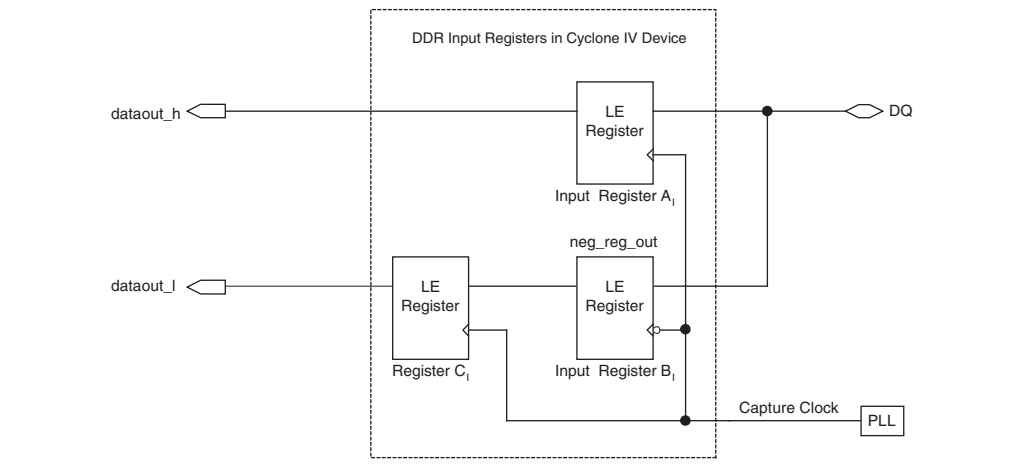
这一部分对 Cyclone IV 存储器接口作了详尽介绍，其中包括 DDR 输入寄存器、DDR 输出寄存器、OCT 和锁相环 (PLL)。

### DDR 输入寄存器

DDR 输入寄存器是通过使用每个 DQ 管脚的三个内部逻辑单元 (LE) 来实现的。这些 LE 寄存器位于与 DDR 输入管脚相邻的逻辑阵列模块 (LAB) 当中。

图 7-7 显示了 Cyclone IV DDR 输入寄存器。

图 7-7. Cyclone IV DDR 输入寄存器



这些 DDR 输入寄存器在器件的内核中实现。DDR 数据首先提供给两个寄存器：输入寄存器 A<sub>I</sub> 和输入寄存器 B<sub>I</sub>。

- 输入寄存器 A<sub>I</sub> 捕捉出现在时钟上升沿上的 DDR 数据。
- 输入寄存器 B<sub>I</sub> 捕捉出现在时钟下降沿上的 DDR 数据。
- 寄存器 C<sub>I</sub> 与系统时钟同步前，与数据对齐。

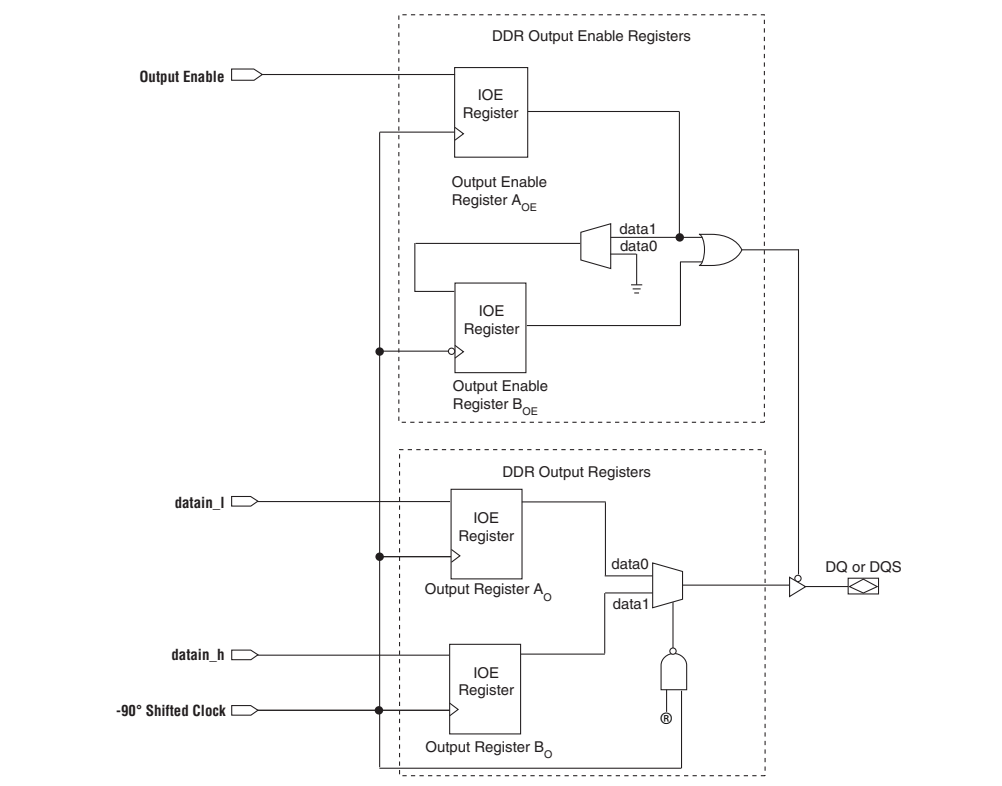
DDR 输入寄存器中的数据提供给两个寄存器：sync\_reg\_h 和 sync\_reg\_l，接下来这些数据通常传输到 FIFO 模块中，以将这两个数据流同步到系统时钟的上升沿。由于读捕获时钟是由 PLL 生成的，因此读数据选通信号 (DQS 或 CQ) 在 Cyclone IV 器件中的读操作过程中没有被使用。所以在这种情况下，后同步 (postamble) 就不是一个需要考虑的问题。

## DDR 输出寄存器

专用的写 DDIO 模块在 DDR 输出和输出使能路径中实现。

图 7-8 显示了如何在 I/O 单元 (IOE) 寄存器中实现 Cyclone IV 专用的写 DDIO 模块。

图 7-8. Cyclone IV 专用写入 DDIO



这两个 DDR 输出寄存器位于 I/O 单元 (IOE) 模块中。通过 datain\_l 和 datain\_h 布线的两个串行数据流，在相同的时钟沿分别提供给 output register A<sub>o</sub> 和 output register B<sub>o</sub>。output register A<sub>o</sub> 的输出数据在时钟的下降沿被捕获，而 output register B<sub>o</sub> 的输出数据在时钟的上升沿被捕获。所寄存的输出数据被公共时钟多路复用，从而以两倍的数据速率驱动 DDR 输出管脚。

DDR 输出使能路径有一个与 IOE 模块中 DDR 输出路径相类似的结构。第二个输出使能寄存器为 DDR 外部存储器接口中的 DQS 选通提供写前导 (write preamble)。这一低电平有效输出使能寄存器以半个时钟周期扩展了管脚的高阻抗状态，以提供外部存储器的 DQS 写前导 (write preamble) 时间规范。


 要了解关于 Cyclone IV IOE 寄存器的详细信息，请参考 *Cyclone IV Device I/O Features* 章节。

图 7-9 显示了第二个输出使能寄存器如何在写操作期间以半个时钟周期来扩展 DQS 高阻抗状态。

图 7-9. 以半个时钟周期扩展 OE Disable, 以完成写传输 (1)

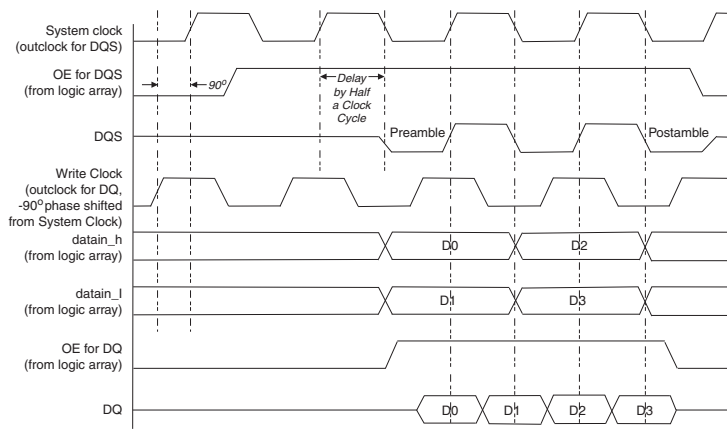


图 7-9 注释:

(1) 图中的波形反映了软件仿真的结果。OE 信号在器件上是一个低有效信号。然而，Quartus II 软件将该信号作为高有效信号来实现，并且在  $A_{OE}$  寄存器 D 输入之前自动添加一个反向器。

## OCT 校准

Cyclone IV 器件在纵向及横向 I/O 块中支持校准后的片上系列终端 ( $R_S$  OCT)。如要使用校准后的 OCT, 则必须将 RUP 和 RDN 管脚用于每一个  $R_S$  OCT 控制模块 (在器件的每侧各一个)。您可以使用任意一个 OCT 校准模块对采用同样的  $V_{CCIO}$  的对应侧的某种终端进行较准。

欲了解关于 Cyclone IV 器件 OCT 校准模块的详细信息, 请参考 *Cyclone IV Device I/O Features* 章节。


## PLL

当与外部存储器连接时, PLL 用于生成存储器系统时钟、写时钟、捕捉时钟以及逻辑内核时钟。系统时钟生成 DQS 写信号、命令及地址。写时钟从系统时钟偏移  $-90^\circ$ , 并在写操作期间生成 DQ 信号。您可以使用 PLL 重配置功能来校准读捕捉相移, 从而平衡建立和

保持裕量。

PLL 在 ALTMEMPHY 宏功能中被例化。当例化 ALTMEMPHY 宏功能来连接外部存储器时, 将使用 PLL 的所有输出。PLL 重配置在 ALTMEMPHY 宏功能中使用, 以校准并跟踪读捕捉相位, 从而保持最佳裕量。

欲了解 PLL 输出在 ALTMEMPHY 宏功能中的使用情况, 请参考 *External Memory Interface Handbook*。

 欲了解关于 Cyclone IV PLL 的详细信息, 请参考 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

## 文档修订历史

表 7-3 列出了本章节的修订历史。

表 7-3. 文档修订历史

日期	版本	修订内容
2010 年 12 月	2.2	<ul style="list-style-type: none"> <li>■ 针对 Quartus II 10.1 的发布进行的更新。</li> <li>■ 添加了 Cyclone IV E 新器件的封装信息。</li> <li>■ 更新了表 7-2。</li> <li>■ 少许的文本编辑。</li> </ul>
2010 年 11 月	2.1	更新了“数据和数据时钟 / 选通管脚”部分。
2010 年 2 月	2.0	<ul style="list-style-type: none"> <li>■ 针对 Quartus II 9.1 SP1 的发布, 添加了 Cyclone IV E 器件的信息。</li> <li>■ 更新了表 7-1。</li> <li>■ 添加了表 7-2。</li> <li>■ 添加了图 7-5 和图 7-6。</li> </ul>
2009 年 11 月	1.0	首次发布。