

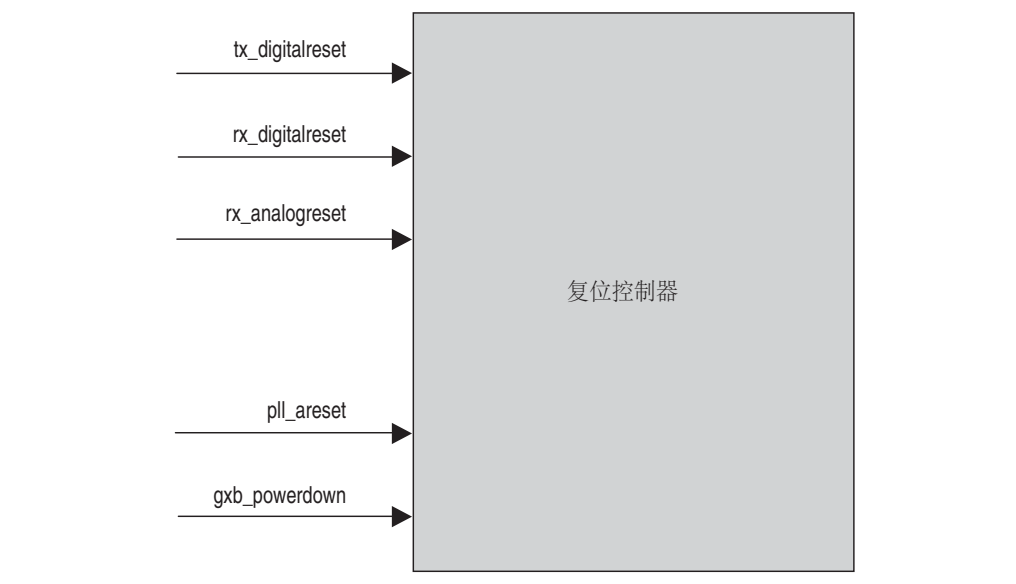
Cyclone® IV GX 器件提供了多个复位信号来对收发器通道进行独立地控制。ALTGX Transceiver MegaWizard™ 插件管理器对设计中例化的每个通道均提供了单独的复位信号。此外，它对每个收发器模块也提供了一个断电 (power-down) 信号。

本章节包含以下几部分内容：

- “用户复位与断电信号” 第 2-2 页
- “收发器复位流程” 第 2-4 页
- “动态重配置复位流程” 第 2-19 页
- “断电” 第 2-22 页
- “仿真要求” 第 2-22 页
- “参考信息” 第 2-23 页

图 2-1 显示了 Cyclone IV GX 器件的复位控制与断电模块。

图 2-1. 复位控制与断电模块



用户复位与断电信号

Cyclone IV GX 器件中的每一个收发器通道均具有单独的复位信号，对其物理编码子层 (PCS) 以及物理介质附加子层 (PMA) 进行复位。此外，收发器模块也具有一个断电 (power-down) 信号，影响到收发器模块中的多用锁相环 (PLL)、通用锁相环 (PLL) 以及所有通道。

 所有的复位和断电信号都是异步的。

表 2-1 列出了可用于收发器通道的复位信号。

表 2-1. 收发器通道的复位信号

| 信号 | ALTGX MegaWizard 插件管理器配置 | 说明 |
|---------------------|--|--|
| tx_digitalreset (1) | <ul style="list-style-type: none"> ■ Transmitter Only ■ Receiver and Transmitter | 对发送器 PCS 中的所有数字逻辑提供了异步复位，包括 XAUI 发送状态机。 该信号的最小脉冲宽度为两个并行时钟周期。 |
| rx_digitalreset (1) | <ul style="list-style-type: none"> ■ Receiver Only ■ Receiver and Transmitter | 对接收器 PCS 中的所有数字逻辑进行复位，包括： <ul style="list-style-type: none"> ■ XAUI 接收器状态机 ■ GIGE 接收器状态机 ■ XAUI 通道对齐状态机 ■ BIST-PRBS 验证器 ■ BIST 增量验证器 该信号的最小脉冲宽度为两个并行时钟周期。 |
| rx_analogreset | <ul style="list-style-type: none"> ■ Receiver Only ■ Receiver and Transmitter | 对存在于接收通道中的接收器 CDR 进行复位。 最小脉冲宽度为两个并行时钟周期。 |


表 2-1 注释：


- (1) 置位该信号，直到来自多用 PLL 以及接收器 CDR 上的时钟变得稳定。稳定的并行时钟对于 PCS 中发送器和接收器相位补偿 FIFO 的正确操作是至关重要的。

表 2-2 列出了用于每一个收发器模块的断电 (power-down) 信号。

表 2-2. 收发器模块的断电信号

| 信号 | 说明 |
|---------------|--|
| pll_areset | 复位收发器 PLL。pll_areset 信号在以下两种情况中被置位： <ul style="list-style-type: none"> ■ 复位流程期间，该信号被置位来复位收发器 PLL。该信号由用户控制。 ■ 对收发器 PLL 进行重配置后，该信号被 ALTPLL_RECONFIG 控制器拉高。该信号不由用户控制。 |
| gxb_powerdown | 将整个收发器模块断电。当该信号被置位时，该信号将所有收发器通道中的 PCS 和 PMA 断电。该信号独立于其它复位信号进行操作。该信号对于收发器模块是通用的。 |
| pll_locked | 一个状态信号。表明发送器多用 PLL 或通用 PLL 的状态。 <ul style="list-style-type: none"> ■ 高电平 — 表明多用 PLL 或通用 PLL 被锁定到输入参考时钟频率。 |
| rx_freqlocked | 一个状态信号。表明接收器 CDR 锁定模式的状态。 <ul style="list-style-type: none"> ■ 高电平 — 接收器处于 lock-to-data 模式。 ■ 低电平 — 接收器 CDR 处于 lock-to-reference 模式。 |
| busy | 一个状态信号。ALTGX_RECONFIG 模块上一个输出表明了动态重配置控制器的状态。该信号上电后在第一个 reconfig_clk 时钟周期保持在低电平，然后从第二个 reconfig_clk 时钟周期开始被置位。该信号的置位表明了正在接收缓冲器以及接收器 CDR 上正在执行偏移校准进程。该信号被拉低表明了偏移校准的完成。 另外，此 busy 信号也用于表明动态重配置的持续时间，例如在模拟重配置模式和通道重配置模式中。 |

 欲了解关于偏移校准的详细信息，请参考 *Cyclone IV Dynamic Reconfiguration* 章节。

 如果在收发器模块中没有通道被例化，那么 Quartus® II 软件将自动关断整个收发器模块。

被复位和断电信号所影响的模块

表 2-3 列出了被指定的复位及掉电信号所影响的模块。

表 2-3. 被复位和掉电信号所影响的模块 (1/2)

| 收发器模块 | rx_digitalreset | rx_analogreset | tx_digitalreset | pll_areset | gxb_powerdown |
|----------------|-----------------|----------------|-----------------|------------|---------------|
| 多用 PLL 和通用 PLL | — | — | — | ✓ | — |
| 发送器相位补偿 FIFO | — | — | ✓ | — | ✓ |
| 字节串化器 | — | — | ✓ | — | ✓ |
| 8B/10B 编码器 | — | — | ✓ | — | ✓ |
| 串化器 | — | — | ✓ | — | ✓ |
| 发送缓冲器 | — | — | — | — | ✓ |
| 发送器 XAUI 状态机 | — | — | ✓ | — | ✓ |
| 接收缓冲器 | — | — | — | — | ✓ |
| 接收器 CDR | — | ✓ | — | — | ✓ |
| 接收解串器 | — | — | — | — | ✓ |
| 接收字对齐器 | ✓ | — | — | — | ✓ |

表 2-3. 被复位和掉电信号所影响的模块 (2/2)


| 收发器模块 | rx_digitalreset | rx_analogreset | tx_digitalreset | pll_areset | gxb_powerdown |
|----------------|-----------------|----------------|-----------------|------------|---------------|
| 接收器去偏斜 FIFO | ✓ | — | — | — | ✓ |
| 接收器时钟速率补偿 FIFO | ✓ | — | — | — | ✓ |
| 接收器 8B/10B 解码器 | ✓ | — | — | — | ✓ |
| 接收器字节解串器 | ✓ | — | — | — | ✓ |
| 接收器字节排序 | ✓ | — | — | — | ✓ |
| 接收器相位补偿 FIFO | ✓ | — | — | — | ✓ |
| 接收器 XAUI 状态机 | ✓ | — | — | — | ✓ |
| BIST 验证器 | ✓ | — | — | — | ✓ |

收发器复位流程

您能够在各种配置中对 Cyclone IV GX 器件中的收发器通道进行配置。在除了 XAUI 功能模式之外的所有功能模式中，收发器通道可以是 bonded 或者 non-bonded。在 XAUI 功能模式中，收发器通道必须是 bonded。在 PCI Express® (PCIe®) 功能模式中，收发器通道既可以是 bonded，也可以是 non-bonded，但需要遵照指定的复位流程。

本章节所介绍的 Cyclone IV GX 器件的复位流程有两类：

- “除 PCIe 功能模式以外的所有支持的功能模式” 第 2-6 页 — 介绍了 bonded 和 non-bonded 配置中的复位流程。
- “PCIe 功能模式” 第 2-17 页 — 介绍了 PCIe 模式中例化/兼容相位及常规操作相位的复位流程。

 busy信号在第一个reconfig_clk时钟周期保持在低电平, 然后从第二个reconfig_clk时钟周期开始被置位。busy 信号随后的撤销表明了偏移校准进程的完成。除了 transmitter only 通道配置以外, 此 busy 信号在收发器复位流程中是必需的。请参考图 2-2 中所示的复位流程以及图注释中列出的相应参考。


 Altera 强烈建议遵循这些复位流程, 从而对 Cyclone IV GX 收发器进行正确的操作。

图 2-2 显示了 Cyclone IV GX 器件的收发器复位流程。

图 2-2. 收发器复位流程图

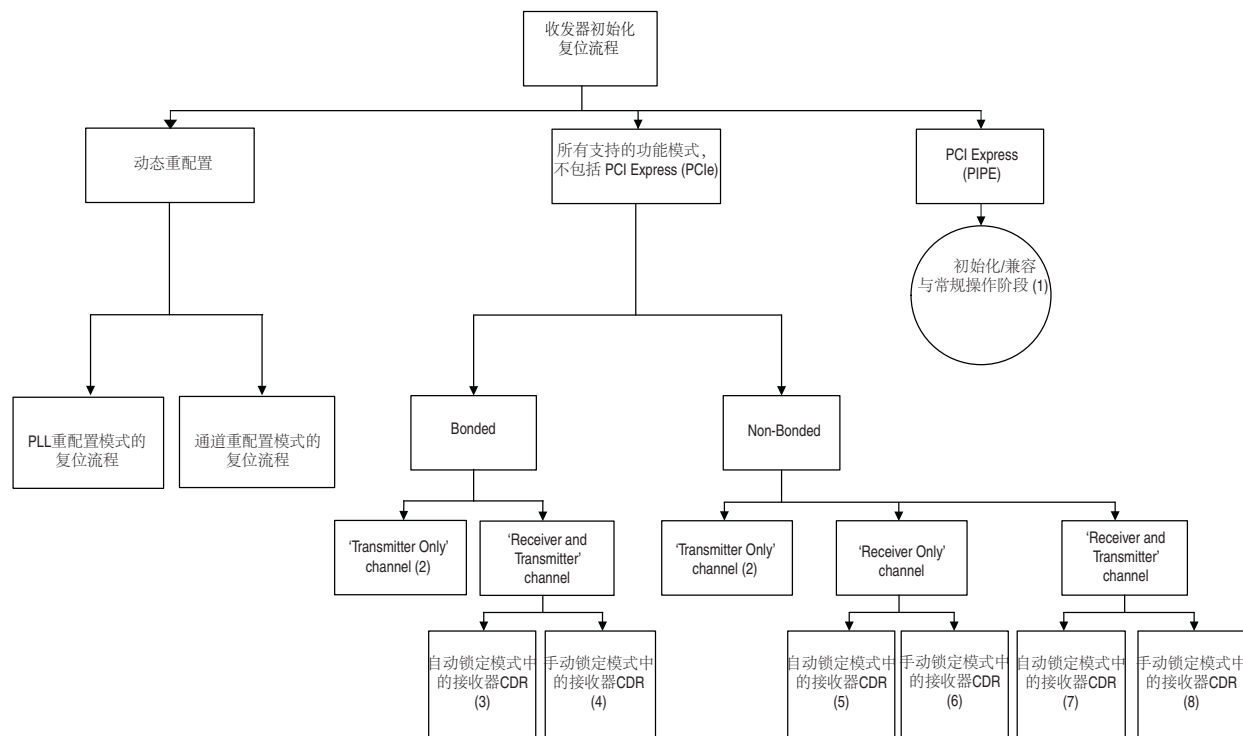


图 2-2 注释:

- (1) 请参考图 2-10 中的时序图。
- (2) 请参考图 2-3 中的时序图。
- (3) 请参考图 2-4 中的时序图。
- (4) 请参考图 2-5 中的时序图。
- (5) 请参考图 2-6 中的时序图。
- (6) 请参考图 2-7 中的时序图。
- (7) 请参考图 2-8 中的时序图。
- (8) 请参考图 2-9 中的时序图。

除 PCIe 功能模式以外的所有支持的功能模式

这一部分对 bonded 和 non-bonded 配置中的收发器通道复位流程作了介绍。一些常用配置的时序图将有助于正确复位流程的实现。在这些配置模式中，您既可以在自动锁定模式中，也可以在手动锁定模式中对接收器 CDR 进行设置。


 在手动锁定模式中，根据 rx_locktorefclk 和 rx_locktodataIn 信号上的逻辑电平，接收器 CDR 锁定到参考时钟 (lock-to-reference) 或者输入串行数据 (lock-to-data)。通过采用手动锁定模式下的接收器 CDR，您可以在 non-bonded，或者 bonded 模式下对 Cyclone IV GX 器件中的收发器通道进行配置。在 bonded 配置中，例如在 XAUI 模式中，四个通道结合在一起使用。

表 2-4 列出了 rx_locktorefclk 和 rx_locktodata 信号的 lock-to-reference (LTR) 与 lock-to-data (LTD) 控制器锁定模式。

表 2-4. Lock-To-Reference 与 Lock-To-Data 模式

| rx_locktorefclk | rx_locktodata | LTR/LTD 控制器锁定模式 |
|-----------------|---------------|-----------------|
| 1 | 0 | 手动, LTR 模式 |
| — | 1 | 手动, LTD 模式 |
| 0 | 0 | 自动锁定模式 |

Bonded 通道配置

在 bonded 通道配置中，您可以同时对所有 bonded 通道进行复位。一些 bonded 通道配置的实例是 XAUI、PCIe Gen1 ×2 和 ×4 以及 Basic ×2 和 ×4 功能模式。在 Basic ×2 和 ×4 功能模式中，您可以将 **Transmitter Only** 通道结合在一起。

在 XAUI 模式中，接收通道与发送通道被结合在一起。该模式中的每一个接收通道均有各自的 rx_freqlocked 输出状态信号。您一定要考虑到复位流程中这些信号的时序。

表 2-5 列出了在所提及的功能模式下，bonded 通道配置的复位与断电流程。

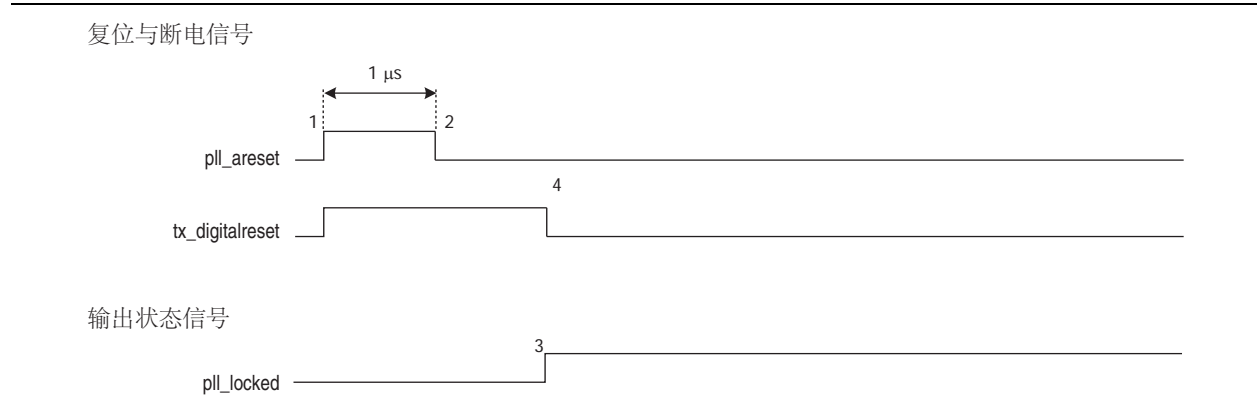
表 2-5. Bonded 通道配置的复位与断电流程

| 通道 | 接收器 CDR 模式 | 参考 |
|--------------------------|------------------|-------------------------------------|
| Transmitter Only | Basic ×2 和 ×4 | “Transmitter Only 通道” 第 2-7 页 |
| Receiver and Transmitter | XAUI 功能模式的自动锁定模式 | “接收与发送通道 — 自动锁定模式中的接收器 CDR” 第 2-8 页 |
| Receiver and Transmitter | XAUI 功能模式的手动锁定模式 | “接收与发送通道 — 手动锁定模式中的接收器 CDR” 第 2-9 页 |

Transmitter Only 通道

此配置仅包含一个发送通道。如果您在 ALTGX MegaWizard 插件管理器中的 Basic ×4 功能模式下创建了一个 Transmitter Only 实例，那么需要采用图 2-3 中所示的复位流程。

图 2-3. Bonded 和 Non-Bonded 配置 Transmitter Only 通道的复位流程样例



如图 2-3 所示，执行下面的复位步骤来实现 Transmitter Only 通道配置：

1. 上电后，置位 pll_areset 至少 1 μs（标记 1 和 2 的间隔时间）。
2. 这一期间内，保持 tx_digitalreset 信号处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 当多用 PLL 锁定时（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset 信号（标记 4）。此刻，发送器便可以开始数据发送。

接收与发送通道 — 自动锁定模式中的接收器 CDR

该配置包含发送通道以及接收通道。当接收器 CDR 处于自动锁定模式中时，需要采用图 2-4 中所示的复位流程。

图 2-4. Bonded 配置接收与发送通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

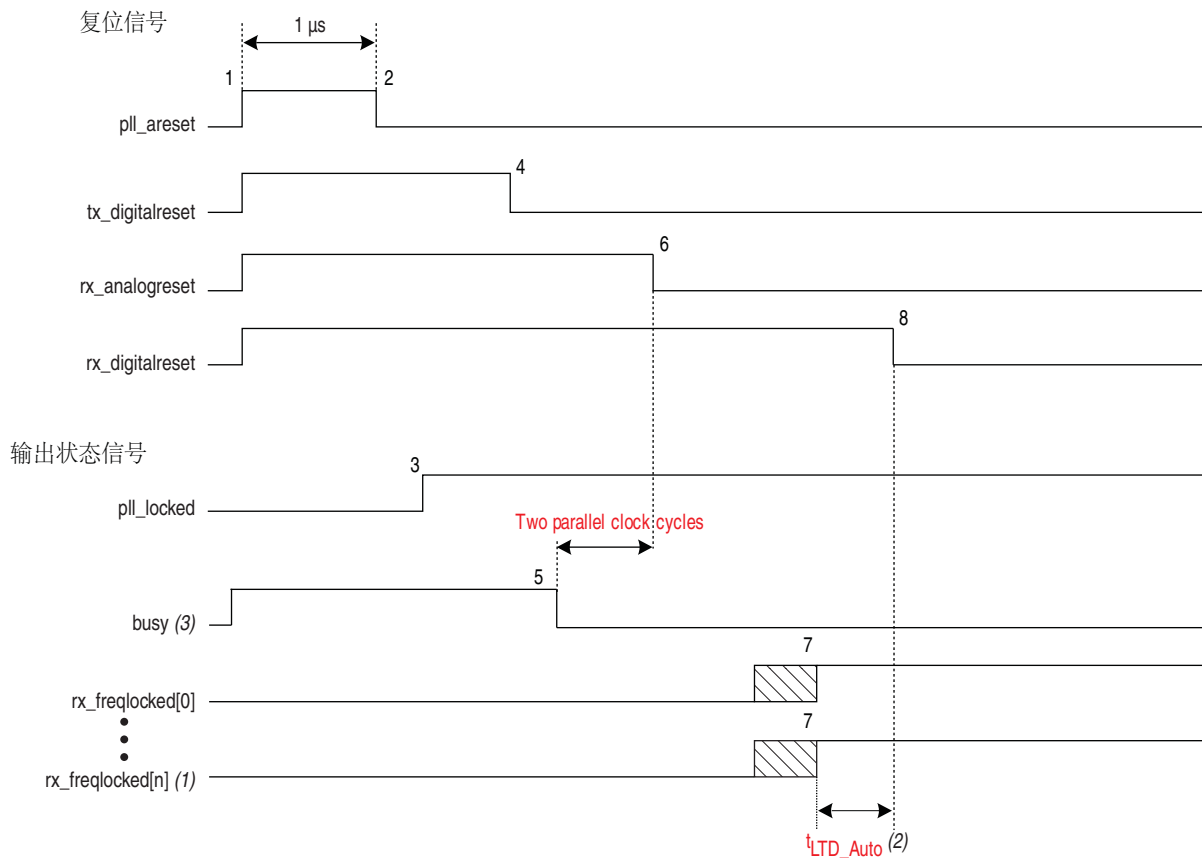


图 2-4 注释：

- (1) `rx_freqlocked[n]` 信号的数量取决于已配置的通道数量。n= 通道数量。
- (2) 关于 t_{LTD_Auto} 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。
- (3) 当发生偏移校准时，`busy` 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 `ALTGX_RECONFIG` 宏功能进行读或写操作时，`busy` 信号才会被拉高或拉低。

如图 2-4 所示，执行下面的复位步骤来实现自动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 `pll_areset` 至少 1 μs（标记 1 和 2 的间隔时间）。
2. 保持 `tx_digitalreset`、`rx_analogreset` 和 `rx_digitalreset` 信号在此期间处于置位状态。拉低 `pll_areset` 信号后，多用 PLL 开始锁定到输入参考时钟。
3. 多用 PLL 锁定后（由 `pll_locked` 信号变为高电平表明），拉低 `tx_digitalreset` 信号。此刻，发送器便可以开始数据传输。

4. 对于接收器操作，busy 信号撤销后，等待两个并行时钟周期来置低 rx_analogreset 信号。
5. 等待每个通道的 rx_freqlocked 信号变为高电平。每个通道的 rx_freqlocked 信号在不同的时间都有可能变高（由标记 7 中的斜线码型表明）。
6. 在 bonded 通道组中，当所有通道的 rx_freqlocked 信号都已经变为高电平时，从此刻开始，需要等待至少 t_{LTD_Auto} 时间以使接收器并行时钟变得稳定，然后拉低 rx_digitalreset 信号（标记 8）。这时候，所有的接收器均可以开始数据传输。

接收与发送通道 — 手动锁定模式中的接收器 CDR

该配置包括发送通道以及接收通道。当接收器 CDR 处于手动锁定模式中时，需要采用图 2-5 中所示的复位流程。

图 2-5. Bonded 配置接收与发送通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

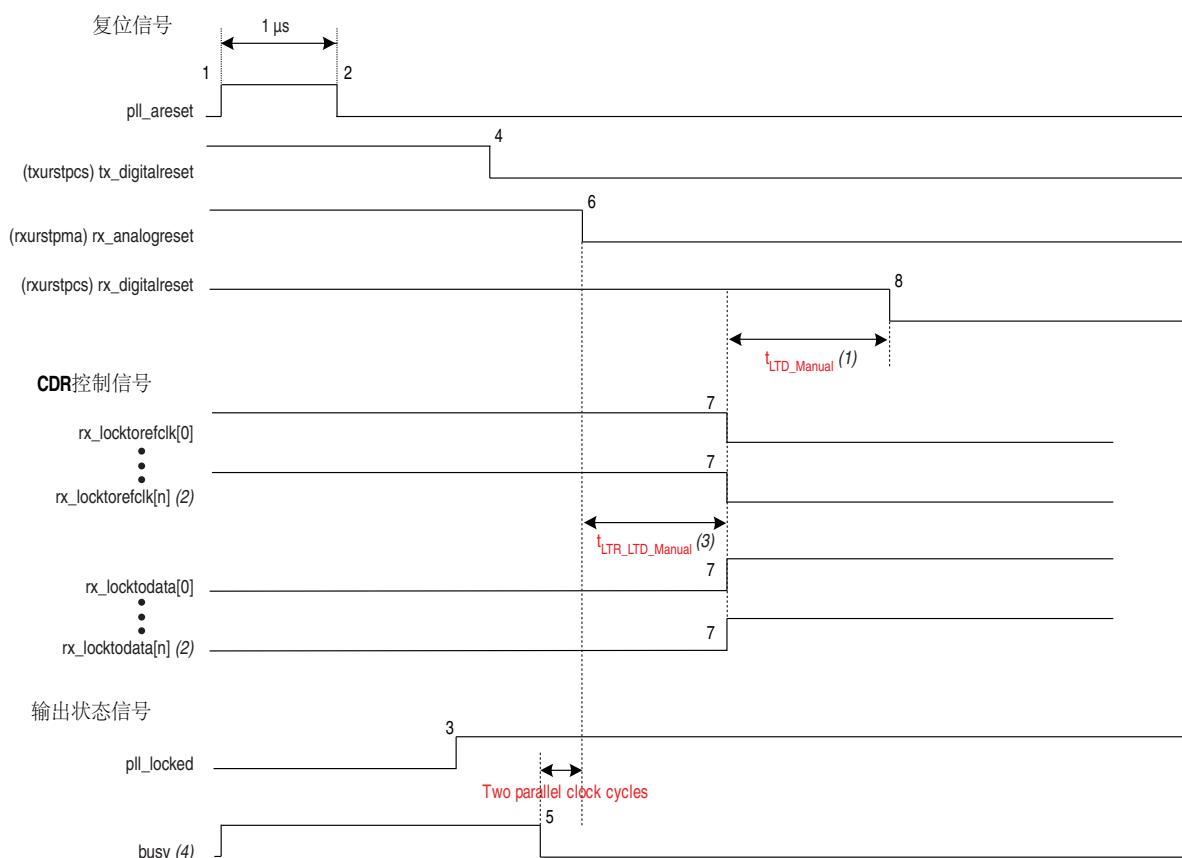


图 2-5 注释:

- (1) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) rx_locktoefclk[n] 和 rx_locktodata[n] 信号的数量取决于已配置通道的数量。n= 通道数量。
- (3) 关于 $t_{LTR_LTD_Manual}$ 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。
- (4) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作，busy 信号才会被拉高或拉低。

如图 2-5 所示，执行下面的复位步骤来进行手动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 `pll_areset` 至少 1 μ s（标记 1 与 2 的间隔时间）。
2. 在此期间保持 `tx_digitalreset`、`rx_analogreset`、`rx_digitalreset` 和 `rx_locktoefclk` 信号处于置位状态，并且保持 `rx_locktodata` 信号处于置低状态。拉低 `pll_areset` 信号后，多用 PLL 开始锁定到输入参考时钟。
3. 多用 PLL 锁定后（由 `pll_locked` 信号变为高电平（标记 3）表明），拉低 `tx_digitalreset` 信号（标记 4）。对于接收器操作，`busy` 信号拉低后，等待两个并行时钟周期来拉低 `rx_analogreset` 信号。
4. 在 bonded 通道组中，等待至少 $t_{LTR_LTD_Manual}$ ，然后拉低 `rx_locktoefclk`，并置位 `rx_locktodata`（标记 7）。这时候，所有通道的接收器 CDR 会进入 lock-to-data 模式，并开始锁定到已接收的数据。
5. 置位 `rx_locktodata` 信号后，在拉低 `rx_digitalreset` 信号前，等待至少 t_{LTD_Manual} （标记 7 与 8 的间隔时间）。此刻，发送器和接收器便可以开始数据传输。

Non-Bonded 通道配置


在 non-bonded 通道中，ALTGX MegaWizard 插件管理器实例中的每个通道均包含各自的 `tx_digitalreset`、`rx_analogreset`、`rx_digitalreset` 以及 `rx_freqlocked` 信号。

您能够单独地复位每个通道。例如，如果有四个 non-bonded 通道，那么 ALTGX MegaWizard 插件管理器将对每个通道提供以下四个信号：`tx_digitalreset`、`rx_analogreset`、`rx_digitalreset` 和 `rx_freqlocked`。

表 2-6 列出了在所提及的功能模式下的 non-bonded 配置中的复位和断电流程。

表 2-6. Non-Bonded 通道配置的复位和断电流程

| 通道 | 接收器 CDR 模式 | 参考 |
|--------------------------|------------|---|
| Transmitter Only | Basic ×1 | “Transmitter Only 通道” 第 2-11 页 |
| Receiver Only | 自动锁定模式 | “Receiver Only 通道 — 自动锁定模式中的接收器 CDR” 第 2-11 页 |
| Receiver Only | 手动锁定模式 | “Receiver Only 通道 — 手动锁定模式中的接收器 CDR” 第 2-12 页 |
| Receiver and Transmitter | 自动锁定模式 | “接收与发送通道 — 自动锁定模式中的接收器 CDR” 第 2-13 页 |
| Receiver and Transmitter | 手动锁定模式 | “接收与发送通道 — 手动锁定模式中的接收器 CDR” 第 2-14 页 |

 对于 non-bonded 配置中的所有其它通道，需要遵循同一复位流程。

Transmitter Only 通道

该配置仅包含一个发送通道。如果要在 ALTGX MegaWizard 插件管理器中创建一个 Transmitter Only 实例，则需要采用第 1-7 页图 2-3 中所示的同一复位流程。

Receiver Only 通道 — 自动锁定模式中的接收器 CDR

该配置仅包含一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过自动锁定模式中的接收器 CDR 来创建一个 Receiver Only 实例，则需要采用图 2-6 中所示的复位流程。

图 2-6. Receiver Only 通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

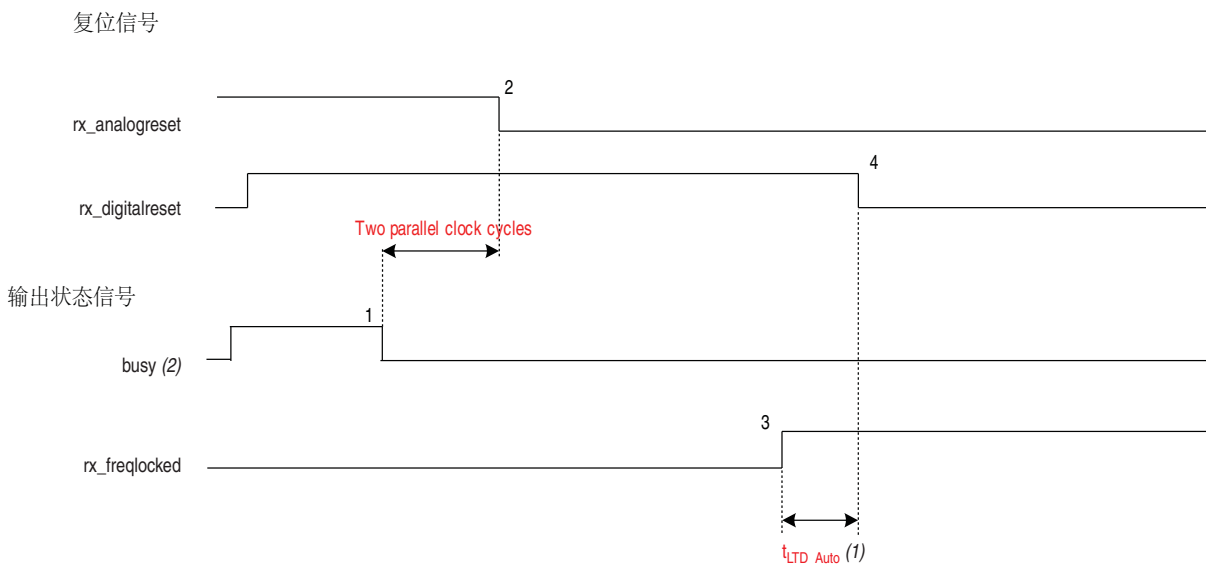


图 2-6 注释：

- (1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) 当发生偏移校准时，`busy` 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，`busy` 信号才会被拉高或拉低。

如图 2-6 所示，执行下面的复位步骤来进行自动锁定模式中的接收器 CDR 配置：

1. 上电后，等待 `busy` 信号被拉低。
2. 这期间保持 `rx_digitalreset` 和 `rx_analogreset` 信号处于置位状态。
3. 拉低 `busy` 信号后，再等待两个并行时钟周期，然后拉低 `rx_analogreset` 信号。
4. 等待 `rx_freqlocked` 信号变为高电平。
5. 当 `rx_freqlocked` 变高（标记 3），从此刻起，等待至少 t_{LTD_Auto} ，然后拉低 `rx_digitalreset` 信号（标记 4）。此时，接收器便可以开始接收数据。

Receiver Only 通道 — 手动锁定模式中的接收器 CDR

该配置仅包含一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过手动锁定模式中的接收器 CDR 来创建一个 Receiver Only 实例，则需要采用图 2-7 中所示的复位流程。

图 2-7. Receiver Only 通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

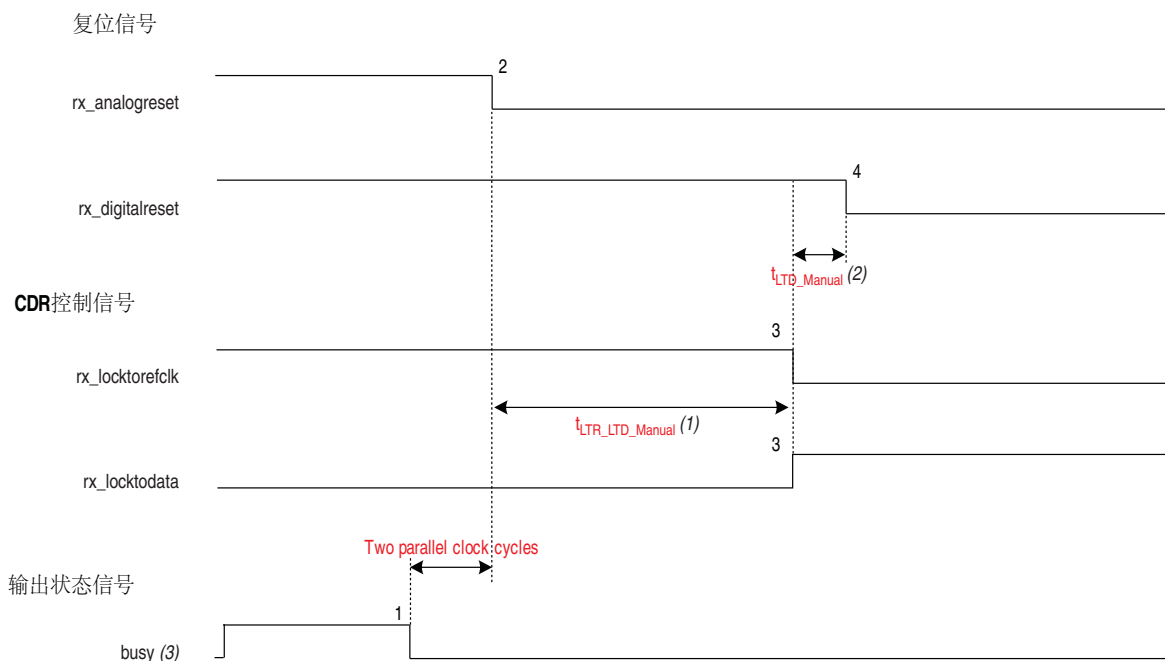


图 2-7 注释：

- (1) 关于 $t_{LTR_LTD_Manual}$ 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作，busy 信号才会被拉高或拉低。

如图 2-7 所示，对于手动锁定模式中的接收器 CDR，执行下面的复位步骤：

1. 上电后，等待 busy 信号被置位。
2. 这期间保持 rx_digitalreset 和 rx_locktoefclk 信号处于置位状态，并且保持 rx_locktodata 信号处于置低状态。
3. busy 信号置低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待至少 $t_{LTR_LTD_Manual}$ ，然后拉低 rx_locktoefclk 信号。与此同时，置位 rx_locktodata 信号（标记 3）。
5. 置位 rx_locktodata 信号后，拉低 rx_digitalreset 信号至少 t_{LTD_Manual} （标记 3 与 4 的间隔时间）。此刻，接收器便可以开始接收数据了。

接收与发送通道 — 自动锁定模式中的接收器 CDR

此配置包含一个发送通道以及一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过自动锁定模式中的接收器 CDR 来创建一个 Receiver and Transmitter 实例，则需要采用图 2-8 中所示的复位流程。

图 2-8. 接收与发送通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

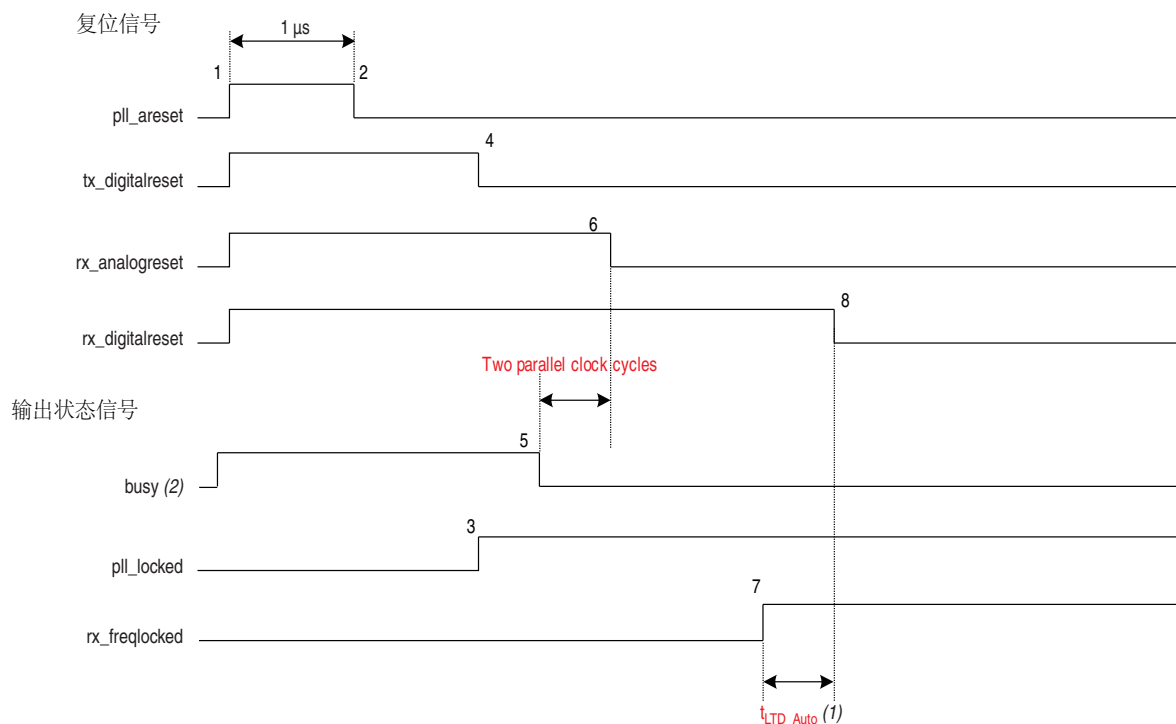


图 2-8 注释：

- (1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

如图 2-8 所示，执行下面的复位步骤来进行自动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 pll_areset 至少 1 μ s（标记 1 与 2 的间隔时间）。
2. 这期间保持 tx_digitalreset、rx_analogreset 和 rx_digitalreset 信号处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 多用 PLL 锁定后（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset 信号。对于接收器操作，busy 信号拉低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待 rx_freqlocked 信号变为高电平（标记 7）。
5. rx_freqlocked 信号变为高电平后，等待至少 t_{LTD_Auto} ，然后拉低 rx_digitalreset 信号（标记 8）。这时候，发送器和接收器均可以开始进行数据传输。

接收与发送通道 — 手动锁定模式中的接收器 CDR

此配置包含一个发送通道以及一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过手动锁定模式中的接收器 CDR 来创建一个 Receiver and Transmitter 实例，则需要采用图 2-9 中所示的复位流程。

图 2-9. 接收与发送通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

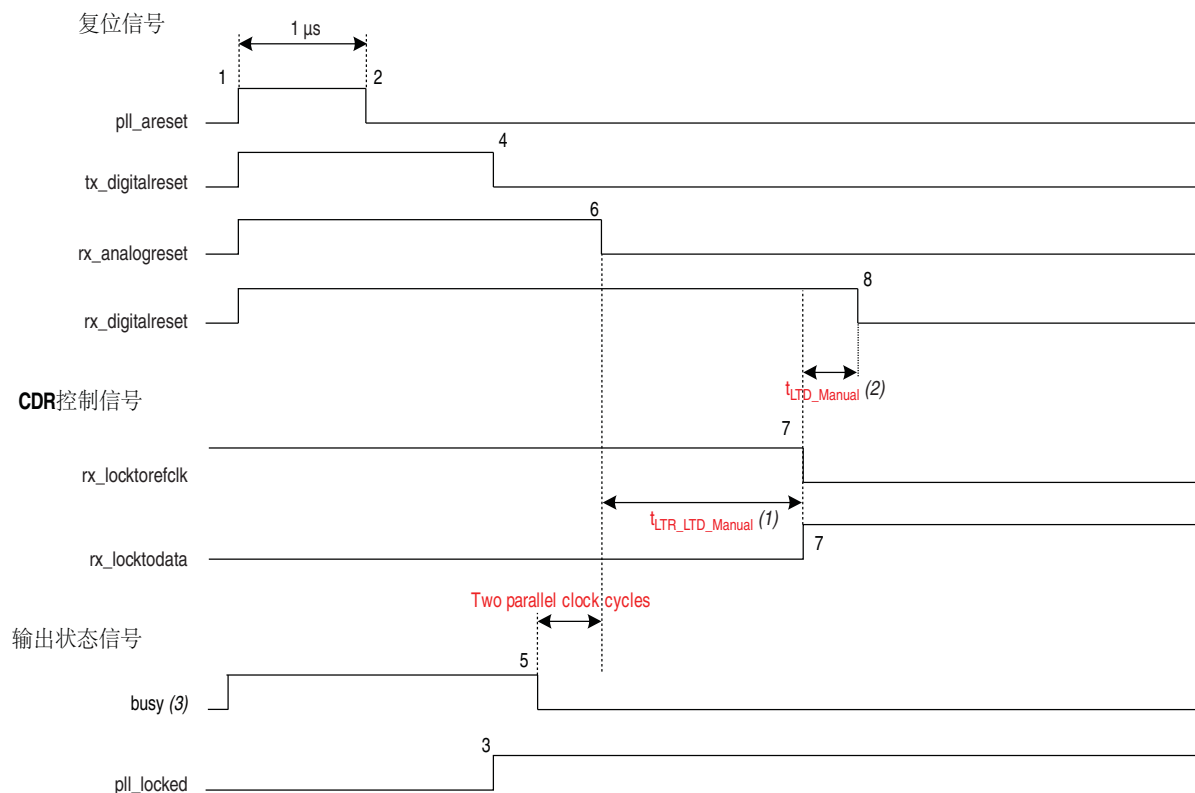


图 2-9 注释：

- (1) 关于 $t_{LTR_LTD_Manual}$ 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

如图 2-9 所示，对于手动锁定模式中的接收器 CDR，执行下面的复位步骤：

1. 上电后，置位 pll_areset 至少 1 μ s (标记 1 与 2 的间隔时间)。
2. 这期间保持 tx_digitalreset、rx_analogreset、rx_digitalreset 和 rx_locktoefclk 信号处于置位状态，并且保持 rx_locktodata 信号处于置低状态。置低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 多用 PLL 锁定后 (由 pll_locked 信号变为高电平 (标记 3) 表明)，拉低 tx_digitalreset。对于接收器操作，busy 信号拉低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待至少 $t_{LTR_LTD_Manual}$ (标记 6 与 7 的时间间隔)，然后拉低 rx_locktoefclk 信号。与此同时，置位 rx_locktodata 信号 (标记 7)。这时候，接收器 CDR 进入 lock-to-data 模式，接收器 CDR 开始锁定到已接收的数据。

5. 置位 rx_locktodata 信号后，拉低 rx_digitalreset 信号至少 t_{LTD_Manual} （标记 7 与 8 的时间间隔）。这时候，发送器和接收器便可以开始数据传输了。

链路丢失情况下的复位流程

本地参考时钟源的丢失或者未接插头的电缆都会致使链路的丢失。像电源中断这种情况也可能导致其它器件或者链路搭档的信号丢失。

本地 REFCLK 或其它参考时钟丢失的情况

如果本地参考时钟输入被禁用或者变得不稳定，则需要采取以下步骤：

1. 监控 pll_locked 信号。如果本地参考时钟源不可用，那么置低 pll_locked 信号。
2. 由于 TX PLL 锁定到输入时钟，因此 pll_locked 信号的置位表明了一个稳定的参考时钟。您可以遵循器件手册中所提供的相应复位流程（从 pll_locked 信号的置位开始）。

由未接电源及远端关闭引起的链路丢失的情况

通过下面的一种或几种方法可以判断链路搭档是否处于通电状态：

- 信号检测功能在 PCIe 和 Basic 模式下可用。您可以通过监控 rx_signaldetect 信号作为链路丢失的指示器。当链路搭档返回时，rx_signaldetect 信号被置位。
- 在那些没有信号检测功能的模式下，您可以通过实现器件内核中的 ppm 检测器来监控链路。ppm 检测器可以帮助判断链路是否处于通电状态。
- 在用户逻辑中，数据损坏或者 RX 相位补偿 FIFO 的上溢或下溢，都有可能表明链路丢失的情况。

当检测到链路丢失时，需要应用下面的复位流程：

- 对于自动 CDR 锁定模式：
 - a. 监控 rx_freqlocked 信号。当 CDR 回到 lock-to-data (LTD) 模式时，链路丢失将导致 rx_freqlocked 信号被拉低。
 - b. 置位 rx_digitalreset。
 - c. 当 CDR 不断在 LTR 与 LTD 模式间进行切换时，随着时间的推移将出现 rx_freqlocked 的触发。
 - d. 如果 rx_freqlocked 变为低电平，则拉低 rx_digitalreset。
 - e. 在用户逻辑中，如果观测到数据损坏或者 RX 相位补偿 FIFO 的上溢或下溢的情况，那么置位 rx_digitalreset 两个并行时钟周期，然后将其拉低。

这一解决方案可能会违背某些协议特定的要求。这种情况下，你可以使用手动 CDR 锁定选项。

- 对于手动 CDR 锁定模式，`rx_freqlocked` 信号不可用。当检测到一个死链路，需要执行下面的步骤：
 - a. 切换到 LTR 模式。
 - b. 置位 `rx_digitalreset`。
 - c. 等待 `rx_pll_locked` 变为高电平。
 - d. 当在接收管脚上检测到输入数据时，切换到 LTD 模式。
 - e. 等待一个 t_{LTD_Manual} 的持续时间，这是 `rx_locktodata` 信号在手动模式下被置位后，恢复有效数据所使用的时间。
 - f. 置低 `rx_digitalreset`。

PCIe 功能模式

您可以通过或者不通过 Cyclone IV GX 器件中的接收器时钟速率补偿 FIFO，来对 PCIe 功能模式进行配置。无论使用接收器时钟速率补偿 FIFO 与否，复位流程都将保持不变。

PCIe 复位流程

PCIe 协议由初始化 / 兼容阶段及常规操作阶段组成。这两个阶段的复位流程在图 2-10 中的时序图中有所介绍。

图 2-10. PCIe 功能模式的复位流程 (1), (2)

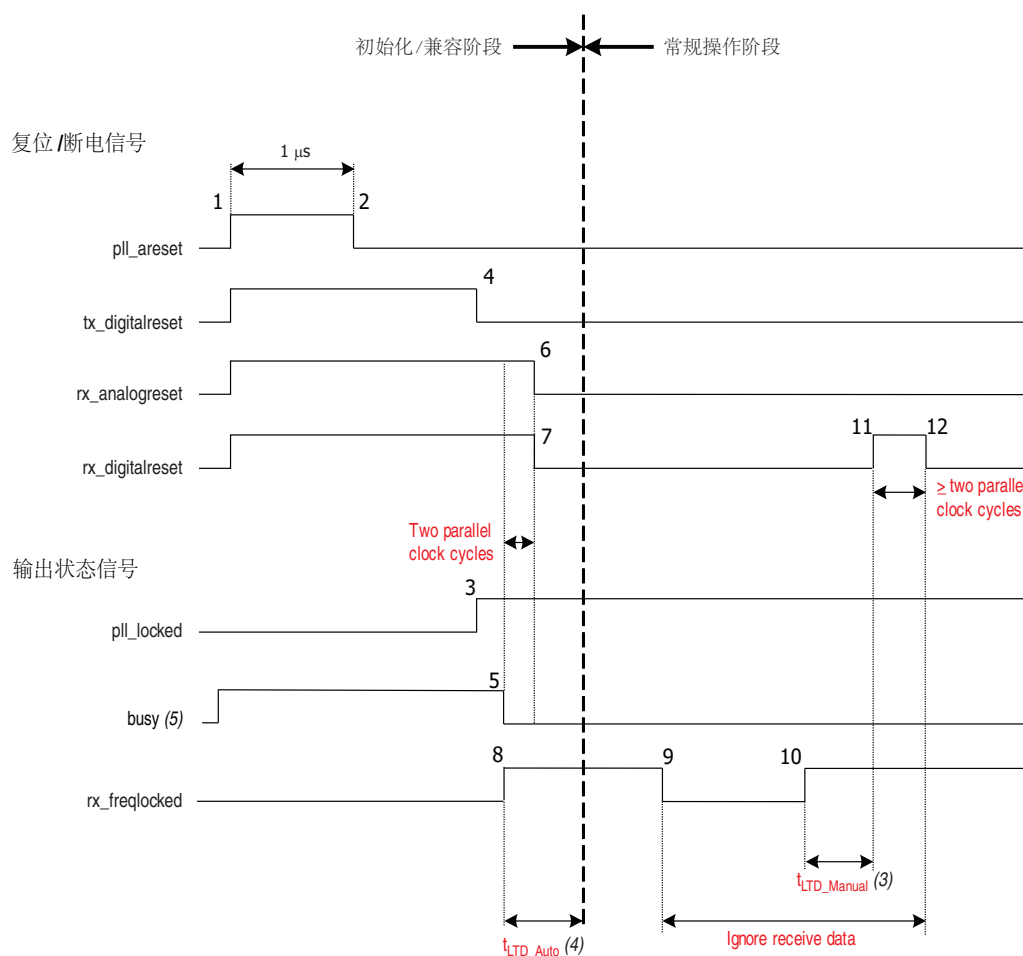


图 2-10 注释:

- (1) 该时序图是根据 PCIe Gen 1 ×1 模式绘制而成的。
- (2) 对于 bonded PCIe Gen 1 ×2 和 ×4 模式，将存在额外的 rx_freqlocked[n] 信号。n= 通道数量。
- (3) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (4) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (5) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

PCIe 初始化 / 兼容阶段

器件上电后，PCIe 兼容器件在初始化过程中遍历整个兼容阶段。正如链路层所需要的，`rx_digitalreset` 信号在该兼容阶段必须被置低来实现 `pipephydonestatus` 信号上的跳变。根据 `rx_freqlocked` 信号的置位来置低 `rx_digitalreset` 信号。

在初始化 / 兼容阶段，不要使用 `rx_freqlocked` 信号来触发 `rx_digitalreset` 信号的撤销。相反，需要执行下面的复位流程：

1. 上电后，置位 `pll_areset` 至少 1 μs （标记 1 和 2 的间隔时间）。这期间保持 `tx_digitalreset`、`rx_analogreset` 和 `rx_digitalreset` 信号处于置位状态。拉低 `pll_areset` 信号后，多用 PLL 开始锁定到输入参考时钟。
2. 多用 PLL 锁定后（由 `pll_locked` 信号变为高电平（标记 3）所表明），置低 `tx_digitalreset` 信号。对于接收器操作，`busy` 信号置低后，等待两个并行时钟周期来置低 `rx_analogreset` 信号。`rx_analogreset` 置低后，接收器 CDR 开始锁定到接收器输入参考时钟。
3. 同时拉低 `rx_analogreset` 信号（marker 6）以及 `rx_digitalreset` 信号（标记 7），如图 2-10 中所指示的。置低 `rx_digitalreset` 后，收发器通道中的 `pipephydonestatus` 信号跳变表明了链路层的状态。根据这一状态 `pipephydonestatus` 信号将有助于兼容阶段的继续。这一阶段成功完成后，器件进入常规操作阶段。

PCIe 常规阶段

对于常规 PCIe 阶段：

1. 初始化 / 兼容阶段完成后，运行在 Gen1 数据速率的常规操作期间，`rx_freqlocked` 信号被置低（图 2-10 中的标记 9）。
2. 等待 `rx_freqlocked` 信号再一次变高。在这一阶段，接收到的数据是有效的（不是电路空闲），并且接收器 CDR 锁定到输入数据。`rx_freqlocked` 信号置位后，继续复位流程。
3. `rx_freqlocked` 信号变高后，置位 `rx_digitalreset`（图 2-10 中的标记 12）两个并行时钟周期前，等待至少 t_{LTD_Manual} ，以便能够对接收器相位补偿 FIFO 进行初始化。对于 bonded PCIe Gen 1 模式（ $\times 2$ 和 $\times 4$ ），等待所有的 `rx_freqlocked` 信号变高，然后在置位 `rx_digitalreset` 两个并行时钟周期前，等待 t_{LTD_Manual} 。

动态重配置复位流程

当在 PLL 重配置或通道重配置中的数据速率分频模式中使用动态重配置时，需要采用下面的复位流程。

PLL 重配置模式中的复位流程

当您使用 PLL 动态重配置控制器来更改收发器通道的数据速率时，需要使用图 2-11 中所示的复位流程实例。在这一实例中，PLL 动态重配置用于动态地重配置收发器通道的数据速率，该数据速率在具有自动锁定模式中接收器 CDR 的 Basic $\times 1$ 模式中配置。

图 2-11. 当使用 PLL 动态重配置控制器来更改收发器通道的数据速率时的复位流程

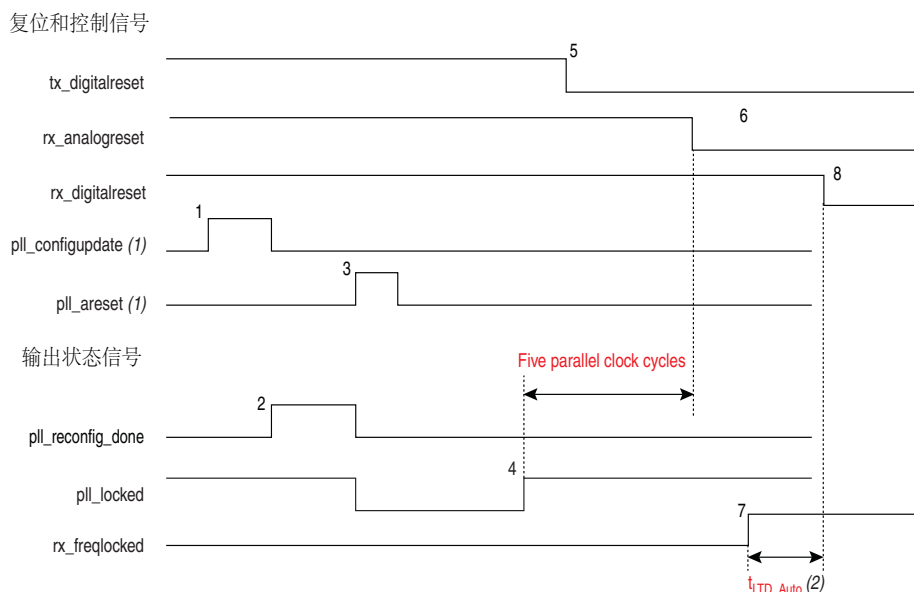


图 2-11 注释：

- (1) pll_configupdate 和 pll_aret 信号由 ALTPLL_RECONFIG 宏功能来驱动。关于详细信息，请参考 *AN 609: 实现 Cyclone IV GX 器件中的动态重配置* 和 *Cyclone IV Dynamic Reconfiguration* 章节。
- (2) 关于 t_{LTD_Auto} 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。

如图 2-11 所示，当使用 PLL 动态重配置控制器来更改发送通道中的 PLL 配置时，需要执行下面的复位步骤：

1. 置位 tx_digitalreset、rx_analogreset 和 rx_digitalreset 信号。最后的数据位被发送后，ALTPLL_RECONFIG 宏功能将置位 pll_configupdate 信号（标记 1）。pll_reconfig_done 信号被置位（标记 2），以告知 ALTPLL_RECONFIG 宏功能已完成扫描链进程。然后，ALTPLL_RECONFIG 宏功能置位 pll_aret 信号（标记 3）来复位收发器 PLL。

2. 复位 PLL 后，等待 `pll_locked` 信号变高（标记 4），其表明 PLL 锁定到输入参考时钟。`pll_locked` 信号置位后，拉低 `tx_digitalreset` 信号（标记 5）。
3. `pll_locked` 信号被置位后，需要等待至少五个并行时钟周期来置低 `rx_analogreset` 信号（标识 6）。
4. 当 `rx_freqlocked` 信号变高时（标识 7），从此刻起，等待至少 t_{LTD_Auto} ，然后置低 `rx_digitalreset` 信号（标识 8）。这时候，接收器便可以开始数据传输了。

通道重配置模式中的复位流程

当您使用动态重配置控制器来更改收发器通道的 PCS 设置时，需要采用图 2-12 中所所示的复位流程实例。在这一实例中，PLL 动态重配置用于动态地重配置收发器通道的数据速率，该数据速率在具有自动锁定模式中接收器 CDR 的 Basic $\times 1$ 模式中配置。

图 2-12. 当使用 PLL 动态重配置控制器来更改收发器通道的 PCS 设置时的复位流程

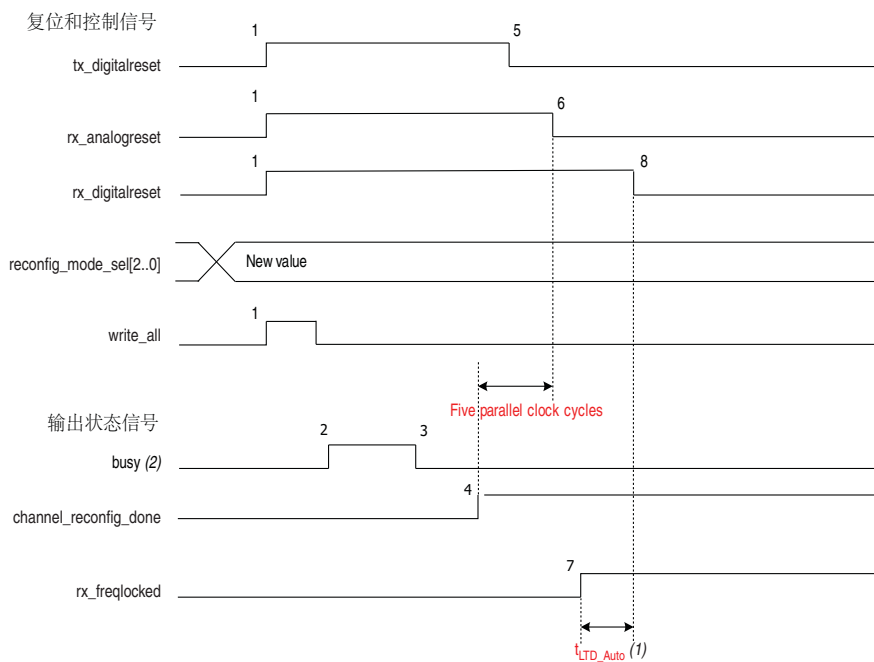


图 2-12 注释：

- (1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (2) 当发生偏移校准时，`busy` 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 `ALTGX_RECONFIG` 宏功能进行读或写操作时，`busy` 信号才会被拉高或拉低。

如图 2-12 所示，当使用 PLL 动态重配置控制器来更改发送通道中的配置时，需要执行下面的复位步骤：

1. 上电并确保收发器按需操作后，将所需的新值写进相应的寄存器中（包括 `reconfig_mode_sel[2:0]`），接下来置位 `write_all` 信号（标记 1）以启动动态重配置。

 欲了解详细信息，请参考 *Cyclone IV Dynamic Reconfiguration* 章节。

2. 置位 `tx_digitalreset`、`rx_analogreset` 和 `rx_digitalreset` 信号。
3. `write_all` 信号一被置位，动态重配置控制器就会开始执行它的操作。这是由 `busy` 信号的置位表明的（标记 2）。
4. 等待 `channel_reconfig_done` 信号的置位（标记 4），其表明在该模式下动态重配置的完成。
5. 置低 `tx_digitalreset` 信号（标记 5）。在 `channel_reconfig_done` 信号（标记 4）置位后和 `rx_analogreset` 信号（标记 6）置低前，必须拉低该信号。
6. `channel_reconfig_done` 信号（标记 4）置位后，等待至少五个并行时钟周期来置低 `rx_analogreset` 信号（标记 6）。
7. 最后，等待 `rx_freqlocked` 信号变高。`rx_freqlocked` 变高后（标记 7），等待 t_{LTD_Auto} 来置低 `rx_digitalreset` 信号（标记 8）。这时候，接收器便可以开始数据传输。

断电

Quartus II 软件自动选择断电通道功能，当配置 Cyclone IV GX 器件时，这些功能变得有效。对所有未使用的收发器通道以及模块进行断电，从而降低总功耗。

gxb_powerdown 信号是一个可选的收发器模块信号。此信号关断收发器模块中的所有收发器通道及所有的功能模块。此信号的最小脉冲宽度为 1 μ s。上电后，如果要使用 gxb_powerdown 信号，那么需要等待 busy 信号的置低，然后置位 gxb_powerdown 信号至少 1 μ s。最后，遵循图 2-13 中所示的流程。

busy 信号的置低表明成功完成了接收通道上的偏移校准进程。

图 2-13. 使用可选 gxb_powerdown 信号的接受与发送通道 - 自动锁定模式中的接收器 CDR 的复位流程样例 (1)

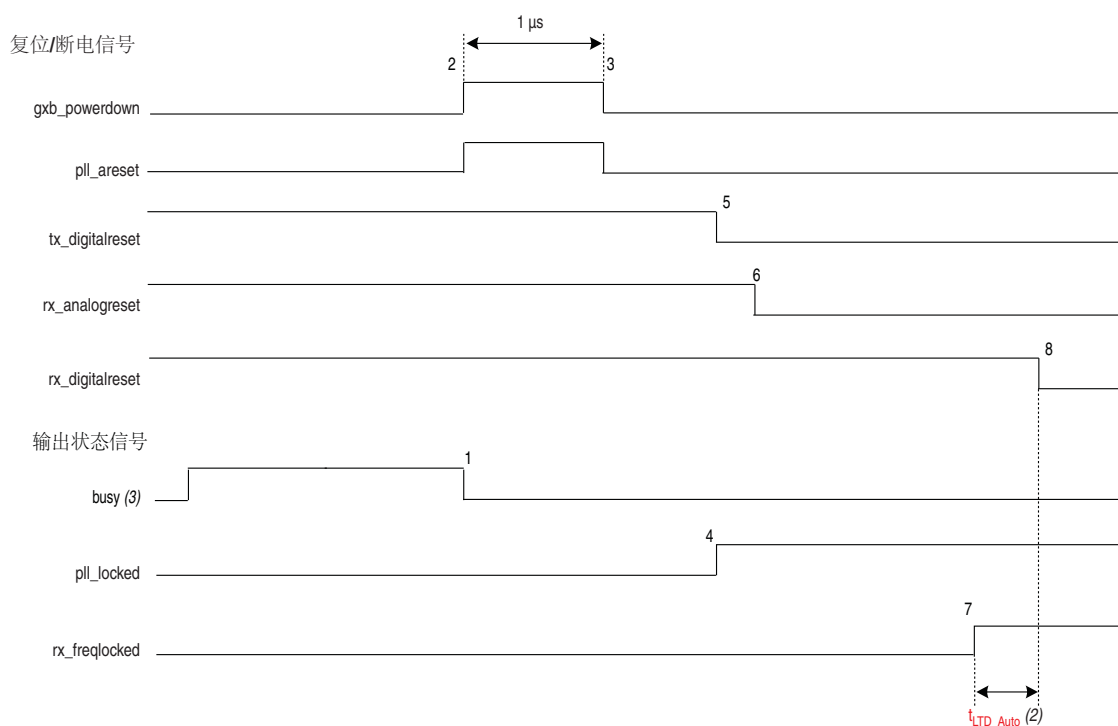


图 2-13 注释：

- (1) 在偏移校准流程中，一定不要置位 gxb_powerdown 信号。
- (2) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
- (3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

仿真要求

仿真要求如下：

- gxb_powerdown 端口是可选的。在仿真中，如果 gxb_powerdown 端口没有被例化，那么您必须适当地置位 tx_digitalreset、rx_digitalreset 以及 rx_analogreset 信号，以实现正确的仿真行为。
- 如果 gxb_powerdown 端口被例化，并且其它的复位信号没有被使用，那么您必须置位 gxb_powerdown 信号至少 1 μ s，以实现正确的仿真行为。

- rx_freqlocked 信号变高后，立即拉低 rx_digitalreset 信号，从而减少仿真运行时间。不必等待 t_{LTD_Auto} （真复位流程中所建议的）。
- 20 个并行 reconfig_clk 时钟周期后，busy 信号被拉低，从而减少仿真运行时间。对于硬件中的芯片行为，您可以遵照前面部分所介绍的复位流程。
- 在 PCIe 模式仿真中，发送常规数据前，必须置位 tx_forceidle 信号至少一个并行时钟周期，以实现正确的仿真行为。

参考信息

欲了解本章中一些常用的参考术语，请参考表 2-7 中所列出的相关链接。

表 2-7. 参考信息

| 本章中所使用的术语 | 参考页 |
|-----------------|----------|
| 自动锁定模式 | 第 2-8 页 |
| Bonded 通道配置 | 第 2-6 页 |
| busy | 第 2-3 页 |
| 动态重配置复位流程 | 第 2-19 页 |
| gxb_powerdown | 第 2-3 页 |
| LTD | 第 2-6 页 |
| LTR | 第 2-6 页 |
| 手动锁定模式 | 第 2-9 页 |
| Non-Bonded 通道配置 | 第 2-10 页 |
| PCIe | 第 2-17 页 |
| pll_locked | 第 2-3 页 |
| pll_areset | 第 2-3 页 |
| rx_analogreset | 第 2-2 页 |
| rx_digitalreset | 第 2-2 页 |
| rx_freqlocked | 第 2-3 页 |
| tx_digitalreset | 第 2-2 页 |

文档修订历史

表 2-8 列出了本章节的修订历史。

表 2-8. 文档修订历史

| 日期 | 版本 | 修订内容 |
|-------------|-----|--|
| 2011 年 11 月 | 1.2 | 更新了“除 PCIe 功能模式以外的所有支持的功能模式”部分。 |
| 2010 年 12 月 | 1.1 | <ul style="list-style-type: none"> ■ 针对 Quartus II 10.1 的发布所作的更新。 ■ 将所有的 pll_powerdown 更新成 pll_areset。 ■ 在图 2-4、图 2-5、图 2-6、图 2-7、图 2-8、图 2-9、图 2-10、图 2-12 和图 2-13 中添加了关于 busy 信号的相关信息。 ■ 添加了更详细的相关信息（“接收与发送通道 — 自动锁定模式中的接收器 CDR”、“Receiver Only 通道 — 自动锁定模式中的接收器 CDR”、“Receiver Only 通道 — 手动锁定模式中的接收器 CDR”、“接收与发送通道 — 手动锁定模式中的接收器 CDR”和“通道重配置模式中的复位流程”）。 ■ 少量的文本编辑。 |
| 2010 年 7 月 | 1.0 | 首次发布。 |