



采用低成本MAX II CPLD，降低便携式应用的系统总成本

引言

传统上，便携式系统设计人员一直使用ASIC和ASSP来实现便携式系统中的存储器接口、I/O扩展、上电排序、离散逻辑以及显示等功能。低成本、低功耗和小电路板空间要求限制了可编程逻辑在便携式领域中的应用。然而，当今可编程逻辑器件低廉的平均销售价格以及低功耗和小外形封装使其能够替代便携式应用中的ASIC、ASSP和分立器件。

由于MAX[®] II CPLD具有非常低的成本以及超小外形封装、高密度、片内电压稳压器和低功耗等突出优势，与竞争CPLD方案相比，便携式系统设计人员使用这种CPLD能够将功耗和成本平均降低50%，而且还具有ASIC和ASSP无法实现的产品及时面市和灵活性优势。

便携式系统面临的挑战

随着对小型低廉产品（这些产品支持高级功能，电池供电时间较长）需求的不断增长，便携式系统得到了广泛应用。表1列出了部分最终市场和应用领域。

市场	应用领域
消费类	<ul style="list-style-type: none">▪ 教育玩具▪ 便携式媒体播放器
工业	<ul style="list-style-type: none">▪ 条形码扫描器▪ 工业PDA▪ 照像模块
医疗	<ul style="list-style-type: none">▪ 手持式超声仪
测试和测量	<ul style="list-style-type: none">▪ 手持式测试仪▪ 万用表
无线和有线通信	<ul style="list-style-type: none">▪ PCMCIA 卡▪ 光模块
汽车	<ul style="list-style-type: none">▪ 移动GPS

便携式系统的体积不断减小，价格也越低，人们要求以低成本来实现高级功能，这对于系统设计人员而言确实是很大的挑战。外部电压稳压器、上电排序用的外部时钟源、实现电压电平转换以及串行 I/O 扩展逻辑功能的分立逻辑器件等电路板元件都直接增加了最终产品的成本。因此，电路板上的元件越多，最终产品价格就越昂贵。

由于产品尺寸在减小，便携式系统设计人员还需要考虑缩小电路板空间。设计人员需要外形非常小的封装，将电池充电功能、显示图形、显示协议桥接和转换功能，以及密集 I/O 功能支持（例如存储器管理）等复杂逻辑集成到一起。

便携式设计工程师面临的另一挑战是功耗问题。消费者需要功能丰富的小型产品，更需要电池使用时间较长的产品，以满足他们移动生活方式的要求。便携式系统设计人员最关心的三种功耗设计问题是：泄漏、简单性以及转换。功率泄漏包括动态和静态两部分；在大部分便携式应用中，要求较低的动态功耗以延长电池使用时间，而在某些应用中则需要较低的静态功能。有必要通过降低动态和静态功耗来延长电池使用时间，但是不能不考虑成本问题。



电源系统应尽可能简单。在电池供电应用中，应尽量不要采用多电源供电方式。多电源便携式系统采用灵活的控制机制非常关键，每一电源都能够方便的上电和关电。电源转换也非常重要，一个典型的电源管理系统经常从一种电源模式转换到另一种电源模式。由于热插拔特性较差，器件在“关断”状态下可能会比“接通”状态下消耗更多的功率。

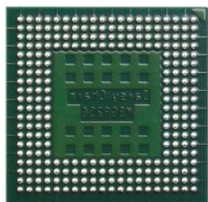
工程师面临的另一挑战涉及到便携式产品的上市时间问题。便携式产品的标准可能会一直在变，例如，随着时间的推移，出现文本、图形以及视频显示的需求。ASIC 和 ASSP 在本质上功能固定，不能很好的支持这种变化的产品需求。而且，随着工艺技术的进步，ASIC、ASSP 以及分立器件会逐渐过时。结果，系统设计人员使用这些器件后，不得不重新设计硬件和软件，不但成本高而且还耗时。

MAX II CPLD 降低了系统总成本，减小了电路板空间

便携式应用中 ASIC、ASSP 和分立器件实现的功能可以集成到 Altera® MAX II CPLD 中，它在超小型封装中提供了最大的逻辑容量。这些封装能够在电路板上实现较多的 I/O，例如便携式应用的 LCD 显示、键盘、闪存和存储器接口等。而且，它还具有很高的逻辑电路板比例，有助于集成分立元件以缩小 PCB 空间。

MAX II CPLD 提供低成本薄型四方扁平 (TQFP)、FineLine BGA® (FBGA) (1.0mm 间距) 和 micro-FBGA (0.5mm 间距) 封装。小外形 100 引脚和 256 引脚 0.5mm micro-FBGA 封装适用于便携式应用，帮助便携式系统设计人员在更小的电路板上实现更多的功能，不用牺牲器件功能便可以开发出尺寸更小的产品。图 1 所示为 0.5mm micro-FBGA 封装的引脚布局。

图 1. 0.5mm Micro-FBGA 封装引脚



256 引脚 Micro-FBGA 封装引脚布局

100 引脚 Micro-FBGA 封装引脚布局

这些小外形封装支持紧凑 0.5mm FBGA，轻松实现了部分板上组装阵列。这种封装经过设计，在两层 PCB 中就可以完成所有的引脚和电源连线。

MAX II CPLD 超小型封装不但节省了电路板空间，而且与其他 CPLD 相比，系统设计人员集成的用户 I/O 和逻辑密度多出 50%，从而降低了系统总成本。表 2 对比了某些 CPLD 系列每 mm² 的 I/O 以及每 mm² 的宏单元。总体上，与对应的 CoolRunner-II 和 ispMACH 4000Z 封装相比，小外形封装的 MAX II CPLD 多出 50% 的 I/O (mm²) 以及 200% 的逻辑密度 (mm²)。

表 2. CPLD 系列每 mm² I/O 和每 mm² 逻辑密度对比

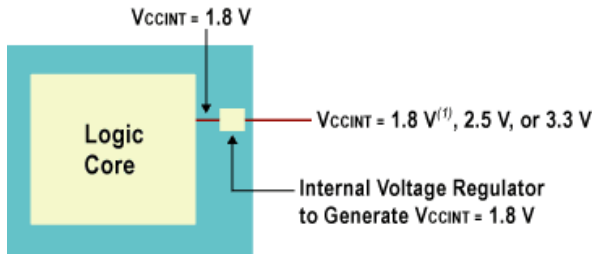
PLD 系列	器件	封装	尺寸	I/O	MC	每 mm ² I/O	每 mm ² MC
CoolRunner-II	Xc2C64	CP56	6x6	45	64	1.25	1.78
ispMACH 4000Z	4064Z	CS56	6x6	32	64	0.89	1.78
ispMACH 4000Z	4064Z	CS132	8x8	64	64	1.00	1.00
MAX II	EPM240	M100	6x6	80	192	2.22	5.33



CoolRunner-II	XC2C128	CP132	8x8	100	128	1.56	2.00
ispMACH 4000Z	4128Z	CS132	8x8	96	128	1.50	2.00
MAX II	EPM240	M100	6x6	80	192	2.22	5.33
CoolRunner-II	XC2C256	CP132	8x8	106	256	1.66	4.00
ispMACH 4000Z	4256Z	CS132	8x8	96	256	1.50	4.00
MAX II	EPM570	M100	6x6	76	440	2.22	12.22

MAX II 器件的高密度特性还有助于减少电路板元件数量，从而降低系统总成本。MAX II 器件支持 MultiVolt™ 内核（图 2），使这些器件能够采用 1.8V、2.5V 以及 3.3V 供电电压，帮助系统设计人员减小电源数量，简化电路板设计。

图2. 多电压内核工作



注释:

1. V_{CCINT} = 1.8 V 旁路稳压器

较少的电源意味着在 PCB 上更少的走线和电路板层，从而降低了系统总成本。MAX II 器件还具有低频内部振荡器，不必采用外部时钟源进行上电排序，也不必采用事件定时器和键盘编码器。

表 3 对比了典型便携式应用中的部分 ASSP、分立器件和 CPLD 方案的成本和特点。MAX II CPLD 提供的可编程逻辑资源集成了其他的电路板功能，降低了便携式系统方案总成本，节省了电路板空间，降低了系统复杂度。同样的，在防止产品过时方面，MAX II CPLD 也是替代 ASSP 和分立器件的理想选择。

表3. 便携式系统中基于Altera MAX II CPLD的功能和基于分立器件功能的对比

解决方案	CPLD 密度 (MC)	电压稳压器	频率振荡器	BOM 灵活性 (2)	不会过时	方案的大概价格 (3)
Altera MAX II EPM240M100C5	192	✓	✓	✓	✓	\$4.80
Microchip PIC16F883-I/SP + TI TPS79118DBVR (LDO) + TI SN74AHC1G00DBVR (电压转换器) + TI PAL16R4 (I/O 扩展器件)		✓	✓			\$4.45
FTDI 245RL (ASSP) + TI TPS79118DBVR (LDO) + TI PAL16R4 (I/O 扩展器件)		✓				\$4.76



Non-Altera CPLD (1) + TI TPS79118DBVR (LDO) + Microchip PIC12F683-E/SN-ND (上电排序控制器)	128-256	✓	✓	✓	✓	\$8.00- \$16.50
---	---------	---	---	---	---	--------------------

注释:

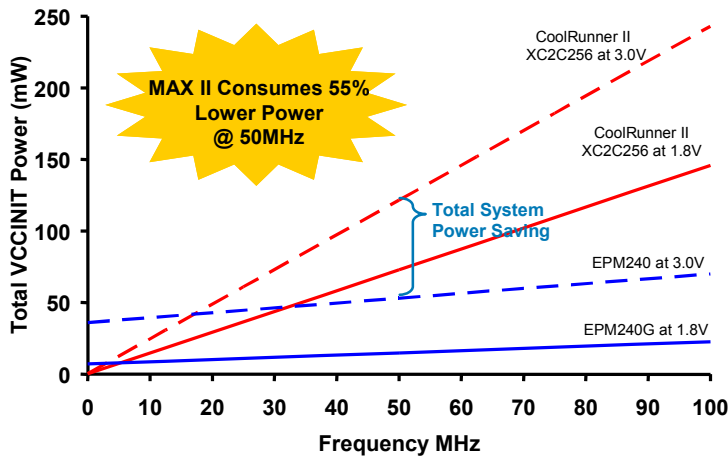
1. 非 Altera CPLD 的一个例子是 Xilinx XC2C128CP132-7C (每 1000 片的价格是 7.31 美金)
2. BOM 灵活性是指能够采用多个不同供应商的产品 (例如, 显示、闪存或者 A/D 转换器供应商)
3. 价格是基于每 1000 片的价格

MAX II CPLD 降低了系统功耗, 简化了系统电源设计

MAX II 器件丰富的供电系统特性对便携式应用非常有利。MAX II 器件在 CPLD 业界具有最低的动态功耗。在典型的便携式应用中, 系统要么运行要么关闭, 等待用户打开系统。低内核电压 PLD 的确能够降低功耗。PLD 消耗的总功率是 $VCCINT \times ICC$, 其中 ICC 是 PLD 器件的动态和静态 ICC。VCCINT 电压源自低漏失稳压器 (LDO), 该稳压器产生内核电压。

图 3 显示了采用 3.0V 锂聚合物电池供电时, MAX II 器件和 CoolRunner-II 器件的系统功耗曲线对比。这一应用实例采用了 128 个内核状态机逻辑寄存器和运行在指定频率下的 16 个开关输入。CoolRunner-II 器件的虚线代表系统实际功耗, 包括 LDO 稳压器消耗的电池功率, 以及为 1.8V 内核供电所消耗的功率。

图 3. MAX II 与 CoolRunner-II: 便携式系统的动态功耗



MAX II CPLD 提供易于使用的新型关电模式, 使便携式系统设计人员能够在 0MHz 时实现零功耗。与竞争 CPLD 不同, MAX II CPLD 具有优异的电源系统特性, 例如热插拔支持、灵活的电源排序以及简捷的单电源供电等, 不用限制电源排序, 便可以完全关电, 因此, 不使用便携式系统时, 节省了电池功耗。

图 4 显示当完全关电时, MAX II 器件能够在 0MHz 时实现零功耗。VCCIO 和 VCCINT 断电时, CoolRunner-II 器件 50% 的 I/O 引脚连接至 VCC, 剩余的 50% 连接至 GND。这导致漏电流通过 I/O 引脚, “关断”状态要比 MAX II 器件的“关断”状态消耗更多的功率。MAX II 器件关断时, 与 VCC 或者 GND 连接的多个 I/O 对功耗的影响很小, 甚至没有影响。

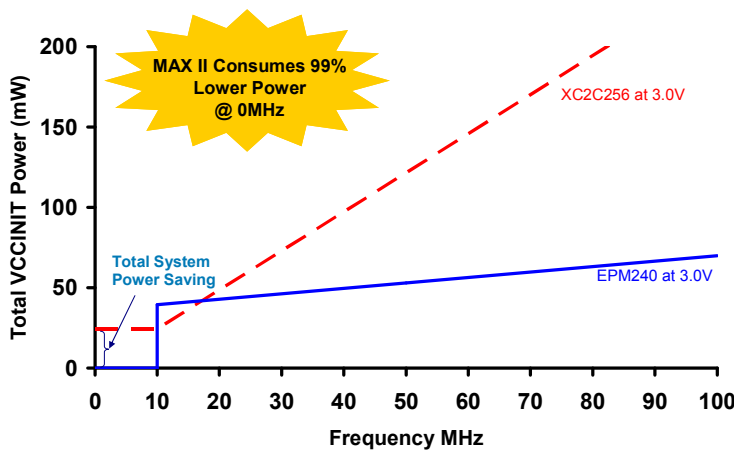


图4. MAX II 与 CoolRunner-II: 关电

现有的 PLD 器件无法通过关断来节省功耗，除非与电路其他部分相连的每一输入都确保关断。而 MAX II 器件没有这种要求。表 4 列出了各种 CPLD 的电源特性。

表 4. 电源规格对比

系列	最少电源数量(1)	最大I/O块数量	上电排序要求	热插拔 I _{DK} 泄漏
MAX II	1	4	否	否
MAX IIG	2	4	否	否
MachXO	2 (2)	4	否	是
ispMACH 4000Z	2	2	否	是
CoolRunner-II	2	2	是	是

注释:

1. 3.3-V I/O 电池供电系统中需要的电源数量
2. MachXO VCC 和 VCCIO 工作在 1.71-3.465V 较大的范围内，而 VCCAUX 的工作范围 3.135-3.465V 较小。

表 4 第二列显示了电池供电的 3.3V I/O 便携式系统中所需要的最少电源数量。在这种系统中，至少一个 I/O 块是 3.3V 供电。各种 PLD 的非 3.3V 内核以及各种辅助系统需要其他的电源供电。较少的电源供电数量具有明显的优势。MAX II 器件最少的电源供电数量是一个。而且，MAX II 器件为 2.5V 系统提供相同的单电源供电功能，甚至可以工作在电池供电便携式系统要求的 2.3V 至 3.2V 范围内。

表4第三列是独立I/O块的数量。3.3V是最常用的系统电压，有些应用利用PLD进行电压电平转换。与其他CPLD器件相比，MAX II器件的I/O块数量最多。即使在只需要两个VCCIO电平的情况下，四个I/O块也有优势，在为引脚分配电源时具有更大的灵活性。

第四列显示在上电时是否需要对VCC电源进行排序。“否”是最好的，因为用户能够以任意顺序对VCCIO、VCCINIT以及VCCAUX进行上电或者关电。MAX II CPLD对上电顺序没有限制。在



VCCIO和VCCINT采用同一供电情况下，这也不是什么问题。“是”表明如果不按照预先设定顺序进行上电，将导致出现电流浪涌，可能使系统进入暂停状态。要求特定的上电顺序会增加复杂度，提高系统总成本。不需要进行排序还避免了使用PLD来控制电路板上其他器件的上电排序。

表 4 第五列显示器件是否具有完全的热插拔保护。主要的热插拔问题是 PLD 没有加电时的 I/O 引脚泄漏。 I_{DK} 是当器件 VCCIO 或者 VCCINT 没有加电时，VCC 或者 GND 的 I/O 引脚漏电流。即使器件关断， I_{DK} 漏电流也会流过 I/O 引脚，导致系统功耗增加。MAX II 器件具有非常低的静态 I_{DK} 漏电流，支持热插拔功能。设计人员在 PCB 上使用 3.3、2.5、1.8 以及 1.5V 电压器件（这些器件以不同的模式进行关断）时，热插拔特性可以帮助他们轻松的进行设计。在便携式系统中，热插拔特性避免了 CPLD I/O 引脚上出现不需要的杂散漏电流通路，从而简化了系统的关断部分。

结论

与 ASIC、ASSP、分立器件和其他 CPLD 器件相比，MAX II CPLD 具有多种优势。超小外形封装以及高密度、内核电压稳压器和内部频率振荡器等功能使系统设计人员能够将现有的分立器件集成到一块电路板上，降低了系统总成本，节省了电路板空间。MAX II CPLD 不但帮助系统设计人员降低了系统功耗，而且简化了最终产品的系统功耗管理。对于一直使用 ASIC、ASSP 和分立器件的大部分便携式应用，MAX II CPLD 较低的方案总成本具有明显的优势来替代这些器件。