

Stratix III FPGA 信号完整性

随着器件开关速率的提高以及器件引脚数量的增多，信号和电源完整性成为非常突出的问题，它既可以成就一个系统也可能毁掉一个系统。在 90nm 工艺技术上工作良好的芯片设计未必能够适应 65nm 芯片。较差的信号完整性降低了可靠性，劣化了系统性能，最糟糕的情况下会导致系统彻底失败。在前代 Stratix II 系列基础上，Stratix® III FPGA 进行了全面改进，提高了信号和电源完整性。这些改进包括管芯和封装级信号回路优化，其 8:1:1 用户 I/O 至地 / 电源比降低了环路电感；改进的去耦合方案；动态片内匹配 (OCT)；可编程 LVDS 缓冲；以及新的摆率和交差输出延迟控制功能，这一功能使设计人员可以控制器件的噪声电平。

本白皮书介绍 Altera®Stratix III FPGA 的这些新特性和改进措施是怎样通过提高信号和电源完整性，简化印刷电路板 (PCB) 设计来解决这些问题，帮助客户进行系统设计的。

引言

当今的系统需要更高的性能和更大的带宽，促使器件采用更快的开关速率和更多的引脚，特别是在 FPGA 中，引脚以成百的数量增加。系统运行在吉赫兹速率上时，时序余量下降，而器件边沿速率增大，杂散电容电感对器件信号和电源完整性的影响成为设计人员最关心的问题。交叉串扰、振铃、同时开关噪声 (SSN)、反射、抖动，以及由于传输线效应导致的信号衰减等现象妨碍了信号完整性，增加了 PCB 设计的难度和复杂度。必须仔细的设计 PCB 和芯片电源分配网络 (PDN)，否则，PDN 将影响系统的电源完整性。

信号完整性的影响

系统设计人员在管理信号完整性以及运行系统性能仿真时必须非常小心。较差的信号完整性降低了可靠性，劣化了系统性能，最糟糕的情况下会导致系统彻底失败，因此，他们投入了大量的时间和精力进行系统调试。然而，越来越短的产品生命周期和产品及时面市等问题非常关键，由于信号完整性问题而投入大量的时间来调试系统便有些不切实际。这些额外的时间意味着失去机会、昂贵的电路板重制以及更多的人工小时。如果信号完整性问题导致产品现场失效，其代价将是公司的声誉受损。

Stratix III 器件在已经非常可靠和强大的 Stratix II FPGA 基础上不断进行改进，其严格的设计目标中便包括了优异的信号和电源完整性。详细的分析进一步改进了管芯和封装，确保 Stratix III FPGA 具有同类最佳的信号完整性，芯片封装 PCB 协同设计方法简化了系统设计。这些芯片改进措施和新特性帮助客户在系统级上简化 PCB 设计，大大降低了系统总成本。

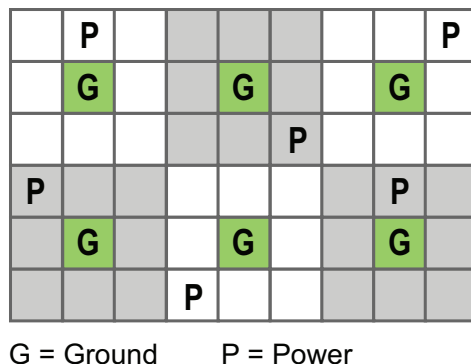
Stratix III 信号完整性优势

新的 Stratix III FPGA 信号完整性优势包括 8:1:1 用户 I/O 至地 / 电源比、最佳管芯和封装级信号回路、可调摆率控制、交差输出延迟控制、动态 OCT、封装去耦合和管芯电容，以及 LVDS 缓冲增强等。

8:1:1 用户 I/O 至地 / 电源比

Stratix III FPGA 采用了 8:1:1 的用户 I/O 至地 / 电源比。这种新的封装引脚形式 (图 1 所示) 的地和电源靠近每个 I/O，具有很低的 I/O 阻抗回路。降低环路电感可以减小 V_{CC} 下陷和地反弹。这种新的设计不但降低了噪声而且在用户 I/O 数量上达到最佳。8:1:1 是理想的比例，超过这一值会减少回路，牺牲用户 I/O 数量。

图 1. Stratix III 封装引脚布局



最佳管芯和封装级信号回路

在 Stratix II 器件设计上进行了多处管芯和封装级改进，Stratix III FPGA 进一步减小了信号返回通路电感，降低了 I/O 之间的串扰。这些改进措施包括：

- 管芯级大范围分布式地焊块，用户 I/O 至地 / 电源比为 8:2:1。
- 所有走线以可靠连续的平面为参考，支持的层数更多。
- 封装内更多的地参考焊盘
- 电源 / 地焊球分布更合理
- 封装焊球至平面更多的焊盘
- 总体上更好的回路和更好的 PDN 设计

可调摆率控制

信号边沿会影响系统性能。例如，非常快的边沿导致上冲以及其他信号完整性问题，而较慢的边沿会降低时序余量。二者之间达到平衡是实现良好系统设计的关键。

Stratix III FPGA 支持可调摆率控制，设计人员可以调整信号的边沿速率，实现更好的信号完整性，同时实现最佳系统性能。采用了四种不同的摆率设置来控制缓冲上升和下降时间，达到要求的 I/O 标准，控制噪声和上冲。这种灵活性使设计人员能够更好的控制设计，优化系统性能，获得优异的信号完整性。

交差输出延时控制

SSN 是由于大量的 I/O 同时开关造成的。降低同时开关 I/O 数量的方法之一是延迟部分同时开关输出 (SSO) 边沿，从而使输出开关时间彼此错开，在时间上分散开 SSN 的影响，降低其强度。

Stratix III FPGA 采用了新的交差输出延迟设置来控制并延迟部分 SSO，允许设计人员控制并降低 SSN，获得最好的性能。此外，设计人员利用这一特性还可以调整信号占空比以及由电路板走线失配造成的斜移补偿等，从而简化了系统和 PCB 设计，降低了成本。

动态 OCT

源输出 (Z_S)、传输线 (Z_0) 和负载 (Z_L) 之间的阻抗失配会导致信号反射和失真，例如上冲、下冲、振铃和阶梯波形等，输出错误的信号。根据具体应用，采用不同的匹配方案来克服阻抗失配。传统上，采用电阻等外部元件进行匹配，但更好的方法是使用器件的 OCT 电阻。这减少了 PCB 上的元件数量，节省了宝贵的电路板空间和元件成本，而且消除了其他走线分支的影响，这些分支会产生信号反射等信号完整性问题。

Stratix III FPGA 在所有 I/O 上支持高级动态 OCT 技术，不需要外部匹配电阻。这不但提高了系统可靠性和信号完整性，而且降低了系统成本，简化了 PCB 设计。单端串联和并联匹配的动态 OCT 特性支持对匹配方

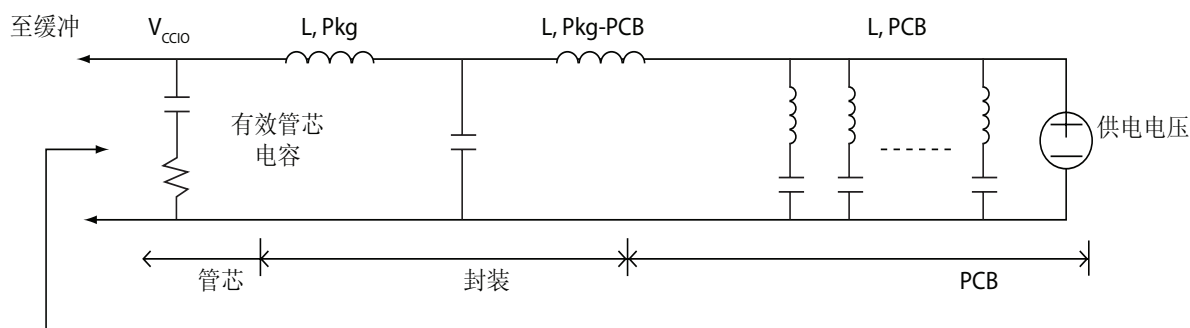
案的动态改动。这一特性对于实现双向接口非常有用，例如在 DDR 存储器中，可以根据所在的读写周期来动态修改 OCT 方案。

之所以采用动态 OCT，主要是为了降低功耗，只有在需要时才接通 OCT 电阻，总线上不再使用恒定的直流电源。Stratix III FPGA 还为高速接口提供差分 OCT。所有 Stratix III FPGA I/O 都带有内置增强数字自校准电路，提供精确的阻抗控制，对由于温度和电压波动导致的阻抗变化进行补偿，从而准确地进行终端匹配，并且能够重复实现，具有可预测性。

封装去耦合和管芯电容

在典型的 FPGA 系统（参见图 2）中，PDN 由三个主要部分构成：芯片、封装和 PCB，包括电压稳压模块 (VRM)。PCB 上的去耦电容，例如钽电容和陶瓷电容等，在 100-300kHz 频率范围内维持较低的 PDN 阻抗。板上 VRM 支持较低的频率，实际可以达到 100kHz。对于高频去耦合，Stratix III FPGA 同时采用了封装去耦合和管芯电容。这些电容从邻近位置向缓冲提供瞬时电荷，补充栅极转换的源漏电流浪涌。

图 2. 典型 FPGA 系统中的 PDN 部分



从芯片看的阻抗

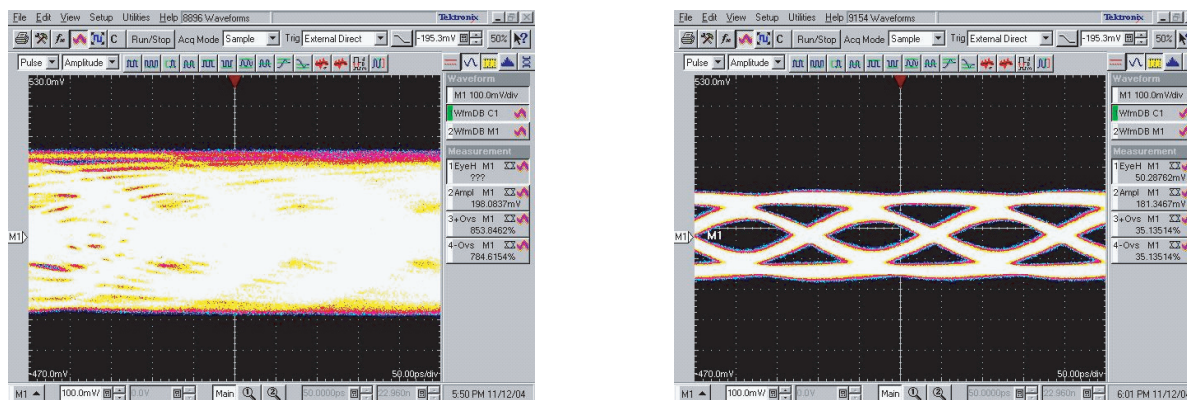
封装去耦合利用了等效串联电感 (ESL) 非常低的平面栅格阵列 (LGA) 电容。这些低感抗电容能够在非常宽的频率范围内维持较低的 PDN 阻抗，抑制电源噪声，提供非常纯净的电源。I/O 驱动电容值较大的管芯电容也有助于实现纯净的电源，特别是在高频范围内。去耦电容减少了外部 PCB 去耦电容的数量，从而节省了电路板空间，降低了成本，大大简化了 PCB 设计。

LVDS 缓冲增强

在低频，可以认为传输线是理想状态，没有损耗。但是在高频，传输线不再是理想状态。当高速信号在电路板走线上传输时，传输线效应（例如趋肤效应和介质吸收等）导致信号出现衰减。所有的 Stratix III FPGA LVDS I/O 缓冲具有可编程预加重和 VOD 功能，满足了长走线和短走线对高速信号的要求，降低了信号衰减，接收端可以正确的解调信号。

可编程预加重功能提升高频信号分量，降低与模式有关的抖动，对高频衰减进行补偿。可以采取四种设置对各种走线长度、传输线特性和电源进行调整和补偿，使用户能够针对不同情形灵活的选择预加重级别（如图 3 所示）。

图 3. 40 英寸背板上信号没有预加重 (左图) 和经过预加重 (右图) 的例子



可编程 V_{OD} 设置使设计人员能够调整输出眼图高度，以适应长距离高性能链路，这些链路要求增加 V_{OD} 驱动，在接收端实现较大的眼图张开，并提高电压余量；同时还可以适应对功耗敏感的短距离应用，这些应用要求较小的 V_{OD} 摆动，以降低功耗。

芯片封装 PCB 协同设计策略

系统越来越复杂，出现了前面提到的各种信号完整性问题，PCB 设计更加复杂，成本也越来越高。Stratix III 芯片封装 PCB 协同设计策略为客户提供了强大的高性能解决方案，具有优异的信号和电源完整性，大大简化了 PCB 设计和去耦合方案，降低了系统方案成本。管芯和封装电容能够有效的去除电源噪声耦合，降低 PCB 去耦电容。新的封装设计目的在于降低封装 PCB 引出区的 I/O 交叉串扰，简化 PCB 去耦合。电源和地焊球对位置靠近，有利于设计人员采用较小的低 ESL 去耦电容高效实现 PCB 去耦合。

Altera 对客户的承诺

Altera 在 Stratix III FPGA 上制定了很多严格的目标，其中包括实现优异的信号和电源完整性，简化 PCB 设计。从设计早期阶段开始，信号和电源完整性便一直是 Stratix III FPGA 关注的重点，仔细考虑了每一个设计细节，进行了详细分析和大量的器件以及系统级特性测试和仿真，以改进管芯和封装。

Altera 提供多种支持来简化 Stratix III FPGA 设计。其解决方案包括辅助支持，例如设计指南、手册和特征报告，以及高级设计工具，例如 Quartus® II 开发软件等，帮助用户充分发挥 Stratix III FPGA 的优势，充满信心地进行设计

结论

Altera 开发了创新的芯片封装 PCB 协同设计策略，提高了信号和电源完整性，帮助用户改进系统设计。对管芯和封装级信号回路进行了优化，降低了回路电感；摆率和交差输出延迟等新的控制功能使设计人员能够控制器件的噪声电平。Stratix III FPGA 的动态 OCT 技术以及高级管芯电容和封装去耦合方案进一步提高了信号和电源完整性，同时简化了 PCB 设计，降低了成本。此外，对 Stratix III LVDS 缓冲进行了改进，支持可编程预加重和可编程 VOD，对传输线信号衰减进行补偿。

芯片封装 PCB 协同设计策略所进行的大量改进措施保证了 Stratix III FPGA 具有优异的信号和电源完整性。用户使用 Stratix III FPGA，降低了系统失败的风险，简化了设计过程，提高了设计性能和灵活性，能够轻松的达到产品设计目标，将产品迅速推向市场。Altera 承诺为用户提供最好的信号完整性解决方案。

详细信息

- 您可以从信号完整性中心详细了解 Stratix III FPGA 的信号完整性：
www.altera.com/si

- 信号完整性基本原理：
www.altera.com/literature/wp/wp_sgnIntgry.pdf
- AN 224: Stratix 器件高速电路板设计指南：
www.altera.com/literature/an/an224.pdf
- Hong Shi, et al, “Analysis of FPGA Simultaneous Switching Noise in Three Domains: Time, Frequency, and Spectrum,” DesignCon 2006:
www.altera.com/literature/cp/cp-simswit.pdf
- Larry Smith, et al, “Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology,” IEEE Transactions on Advanced Packaging, Vol. 22, No. 3, August 1999:
http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?tp=&arnumber=784476&isnumber=17029
- Online Lecture 803: “Best Board Design Practices for Power Distribution Network,” by Dr. Eric Bogatin of Bogatin Enterprises, LLC:
www.bethesignal.com



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

版权 © 2006 Altera 公司。保留所有版权。Altera, 可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品或服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。