

## 在 65-nm Cyclone III FPGA 中实现低功耗

随着 65-nm Cyclone® III 系列的推出，在对成本敏感的大批量应用中，Altera 帮助设计人员进一步提高了设计能力。过渡到 65-nm 工艺节点具有小工艺尺寸的优点：更低的成本、更好的性能以及更大的逻辑容量。然而，除了这些优点之外，65-nm 工艺也带来了和功耗相关的新挑战。本白皮书阐述 Altera 是怎样保持 65-nm 器件性能不变，甚至超过同类 90-nm 器件，同时大大降低其静态和动态功耗的。

### 引言

传统上，人们总是期望新一代 FPGA 具有更好的特性和性能。然而，设计人员必须将这些新特性和性能在相同的尺寸（甚至更小）上实现，并且保持功耗不变。此外，某些应用还有必须要满足的特殊功耗要求。结果，功耗在设计人员的 FPGA 选择标准中扮演了越来越重要的角色。

为了能够以最低的功耗来实现 65-nm 工艺节点的低成本和高性能特性，Altera 结合芯片工艺优化和 Quartus® II PowerPlay 功耗分析以及优化技术，生产了业界功耗最低的低成本 65-nm FPGA—Cyclone III。

### 降低功耗的优势

实现低功耗目标不但使器件保持良好的工作状态，而且还有很多优势。当然，器件需要按照规范来工作以满足性能和可靠性要求，实现这些目标对整个系统都有积极的影响。

降低 FPGA 功耗对系统设计的好处立竿见影。降低供电要求可以采用更少的元件实现成本更低的电源供电系统，从而减少了 PCB 面积。高性能电源系统的实施成本一般在每瓦 0.50 美元至 1.00 美元之间。因此，降低 FPGA 的功耗会直接降低整个系统的成本，使用较小的风扇甚至不使用风扇，还有助于减小 EMI。

与功耗直接相关的是散热问题，因此，较低的工作功耗可以实现简单而又低廉的散热管理。一般可以不使用热沉或者使用较小的热沉。在高密度、高性能设计中，可以采用无源热沉来替代成本较高、可靠性较差的有源器件，也同时降低了系统对气流散热的要求。

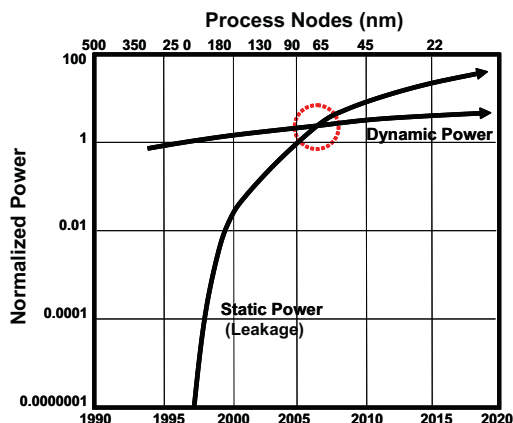
低功耗工作意味着较少的元件和较低的器件温度，从而对系统可靠性有积极的影响。器件工作温度降低 10°C 会使元件使用寿命延长一倍。对于 FPGA 而言，降低功耗的根本在于直接提高了整个系统的性能和质量，降低了成本。

### 65 nm 的功耗挑战

功耗由静态功耗和动态功耗组成。随着半导体采用更小的工艺尺寸以及系统速率的提高，每一节点的内核电压下降，比较容易管理动态功耗的增加。结合更小的杂散电容（与较小的晶体管有关）以及逻辑门之间更短、更少的容性互联，动态功耗的增加率降低。然而，由于晶体管泄漏的增加，静态功耗呈指数增大。

图 1 所示为在 65-nm 节点，静态功耗超过动态功耗的交叉点。

图 1. 动态和静态功耗以及工艺节点



### 静态功耗的挑战

半导体物理中众所周知的规律是漏电流随晶体管长度的减小而增大。较短的物理连接距离使电流更容易泄漏。源极至漏极泄漏电流以及栅极漏电流分别和沟道长度以及逻辑门氧化厚度成反比，其泄漏会显著增大。

### 源极至漏极泄漏电流

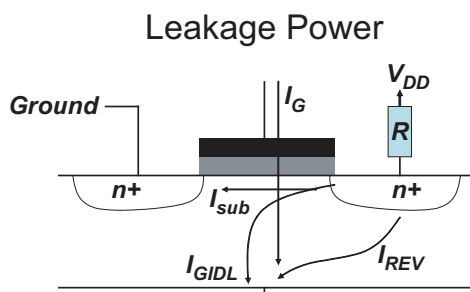
源极至漏极泄漏电流也称为亚阈值电流 ( $I_{SUB}$ ) (图 2)，是泄漏的主要原因。此处，即使晶体管逻辑门已经关断，电流仍然从晶体管源极流向漏极。由于晶体管尺寸减小，很难防止这种电流的出现，因此，在所有其他参数相等的情况下，较小的 65-nm 晶体管要比尺寸较大的晶体管有更大的源极至漏极泄漏电流。而且，源极至漏极泄漏电流随温度的增加而呈指数增加。例如，结温 ( $T_J$ ) 从 25°C 上升到 85°C 会使源极至漏极泄漏电流增大 5 倍。

另一问题是逻辑门氧化层的厚度。较薄的氧化层使晶体管能够更迅速地开关，但是也增加了漏电流。晶体管的阈值电压也会影响漏电流的大小。晶体管的阈值电压 ( $V_T$ ) 是沟道开始传导源极和漏极之间电流的电压值。较小的高速晶体管需要较低的阈值电压（受掺杂和氧化层厚度的影响）通过逻辑门控制来保持晶体管打开和关断的速率，但是由于晶体管沟道不能彻底关断，这也会增加漏电流。

### 栅极泄漏电流

从栅极到基底的这种漏电流虽然没有亚阈值那么关键，但也非常重要。栅极漏电流随着晶体管逻辑门氧化层厚度在 65-nm 工艺节点的降低而增大。与源极至漏极泄漏电流不同，栅极漏电流受温度的影响不大。

图 2. 晶体管泄漏电流图



### 动态功耗的挑战

动态功耗是器件信号触发和电容负载冲放电导致的额外功耗。如图 3 所示，影响动态功耗的主要因素是电容充电、供电电压以及时钟频率。动态功耗受益于小工艺节点上电容和电压的减小，按照摩尔定律降低。

其挑战在于随着工艺节点的减小以及最大时钟频率的增加，需要采用更多的电路。尽管随着工艺节点的发展，相同电路的功耗在降低，但 FPGA 电容一直在迅速增大，最大时钟频率也在增加。

图 3. 影响动态功耗的因素

$$P_{dynamic} = \left[ \frac{1}{2} CV^2 + Q_{ShortCircuit} V \right] f \cdot activity$$

Capacitance Charging
Short Circuit Charge During Switching
Percent of Circuit That Switches Each Cycle

如果不采取适当措施来降低静态和动态功耗，FPGA 功耗很容易达到一个平衡点，在这一点，其功耗将抵消工艺节点减小而带来的优势。

### Altera 解决 Cyclone III FPGA 65-nm 功耗挑战的措施

Altera 采用了三重措施来解决 65-nm 的功耗挑战：使用 TSMC 的 65-nm 低功耗 (LP) 工艺，芯片工艺优化以及 PowerPlay 功耗分析和优化技术。

#### TSMC 65-nm 低功耗工艺

自 0.13- $\mu\text{m}$  之后的每一工艺节点，TSMC 都采用了特殊的系列技术来优化低功耗应用。TSMC 的 65-nm LP 系列技术面向 DVR、手持终端设备以及便携式媒体播放器等便携式和消费类市场应用。为实现最低的静态和动态功耗，LP 工艺使用多阈值电压、多 I/O 电压晶体管和可变逻辑门长度晶体管等技术针对性能和漏电流进行精细调整。和 TSMC 的通用 (G) 器件相比，LP 器件使用较厚的逻辑门氧化层，仅仅牺牲部分性能，使待机电流呈指数下降。此外，TSMC 提供针对低功耗进行了优化的库、IP 和设计参考流程，将工艺和设计技术紧密结合在一起。

#### 芯片工艺优化

在半导体行业中，一直通过加大对设备、工艺技术、设计工具和电路设计方法的投入来解决小工艺尺寸发展带来的挑战。由于小工艺尺寸导致晶体管漏电流增大，使得功耗增加成为整个行业面临的难题。65-nm 工艺节点（以及以前的工艺节点）广泛使用的技术被用于保持或者提高性能，同时管理由晶体管泄漏导致的功耗问题。Altera 使用业界最新的技术，继续提供前沿的 FPGA，如表 1 所示。

表 1. Altera 所采用的工艺和设计方法

工艺或者设计技术	在哪一工艺节点采用	优点
全铜布线	150 nm	提高了性能
低 K 绝缘	130 nm	提高了性能，降低了功耗
多阈值晶体管	90 nm	降低了功耗
可变逻辑门长度晶体管	90 nm	降低了功耗
TSMC 低功耗工艺	65 nm	降低了功耗

#### 全铜布线

Altera 在 150-nm 工艺节点开始采用全铜金属进行片内布线，在所有 130-nm、90-nm 和 65-nm 产品中都采用了全铜布线，这在 FPGA 业界尚属首次。铜替代铝之后，减小了电气损耗和功率损耗，从而提升了性能。

### 低 K 绝缘

绝缘材料实现了金属层之间的隔离，支持多布线层。采用低 k 绝缘后，降低了布线层之间的电容，显著提高了性能，降低了功耗。Altera 是首家成功采用低 k 绝缘工艺技术的 FPGA 公司。

### 多阈值晶体管

晶体管的电压阈值影响晶体管的性能和泄漏功率。Altera 对性能要求较高的高速晶体管采用低阈值电压，对性能要求不高的慢速低泄漏晶体管采用高阈值电压。90-nm 和 65-nm Stratix® 系列器件以及 65-nm Cyclone III 器件采用了多阈值晶体管。

### 可变逻辑门长度晶体管

晶体管的逻辑门长度影响其速率和亚阈值漏电流。当晶体管的长度接近 65-nm 工艺的最小逻辑门长度时，亚阈值漏电流会显著增加。Altera 在性能要求不高的电路中使用较长的逻辑门以降低漏电流。对于性能非常关键的电路，Altera 使用长度较短的逻辑门来提高性能。Altera 在 90-nm 和 65-nm Stratix 系列器件中首次采用可变逻辑门长度晶体管来降低功耗之后，在 65-nm Cyclone III 器件中继续采用了该技术。

### PowerPlay 功耗分析和优化技术

Altera 创新的关键所在是 Quartus II 综合以及布局布线引擎能够预测功耗。PowerPlay 技术对用户透明，可通过简单的编译设置来实现。设计工程师将时序约束简单地设置为设计输入过程的一部分，对设计进行综合以满足性能要求。Altera® 和第三方工具为每一逻辑自动选择需要的性能，并通过预测布局布线和时钟的功耗来降低功耗。Quartus II 软件的自动功耗优化功能对设计人员而言都是透明的，而且还对 Cyclone III FPGA 体系结构采取细致的优化措施以降低功耗，这些措施包括：

- 分析和综合优化
  - 主要功能模块变换，映射用户 RAM，从而降低其功耗。
  - 重新规划逻辑以降低动态功耗，正确的选择逻辑输入，降低高频触发网络的电容。
- 适配器优化
  - 降低核心逻辑的面积和连线要求，以降低布线的动态功耗。
  - 修改布局以降低时钟功耗
  - 在对时序不重要的数据信号进行布线时，降低速率以减小功耗。

最终设计以最低的功耗满足了设计人员的需求。用户然后可以选择“最小努力”或者“最大努力”优化方法。选择“最大努力”能够最大程度地降低功耗，代价是编译时间较长，结果随设计和所选择的努力级别而不同。这一特性的目的是不需要用户的干涉而降低功耗，同时对设计性能的影响最小。

### Altera 的功耗 / 性能优势

Altera 在 Cyclone III 系列中降低功耗的三重措施大大降低了这些器件的功耗和漏电流（参见表 2）。尽管业界关心的 65-nm 器件较大的漏电流问题是用户必须考虑的，它导致了过大的静态功耗，而 Altera 的 Cyclone III FPGA 静态功耗大大低于 90nm Cyclone II FPGA 和竞争 65-nm FPGA 的静态功耗。通过积极创新的低功耗技术，Altera Cyclone III FPGA 的动态功耗低于 90nm Cyclone II FPGA 以及竞争 65-nm FPGA 的动态功耗，同时其性能进一步提高。

表 2. Cyclone III 降低功耗的方法

Cyclone III 降低功耗的方法	降低静态功耗	降低动态功耗
TSMC 低功耗工艺	✓	✓
芯片工艺优化	✓	✓
PowerPlay 功耗分析和优化		✓

Altera 不但降低了器件功耗，而且延续了其性能优势。所有 Cyclone III 系列的关键性能优势——嵌入式存储器、I/O、存储器接口以及乘法器，和 Cyclone II 器件相比，不但数量得到了增加，而且逻辑结构的性能保持不变。结合多种功耗管理方法，从工艺创新到设计软件功耗优化，Altera Cyclone III 用户可以充分发挥 65-nm 工艺的优势，以最低的功耗获得需要的性能。

### Altera 降低 65 nm 生产风险的措施

Altera 在 65-nm 半导体制造工艺上的发展策略是充分利用先进的技术和方法，以最低的成本为客户提供性能最好的器件，同时降低客户风险，保证产品尽快面市。Altera 在 130-nm 和 90-nm 器件上的市场份额表明，高级半导体技术存在的风险促进了 FPGA 体系结构的市场发展。因此，Altera 自从 2003 年上半年以来，一直在稳固开发和测试其 65-nm 技术。

为了可靠实现工艺优势，同时降低前沿技术的风险，Altera 采用的措施包括高级工艺技术、全面的 65-nm 测试芯片程序以及降低缺陷密度的成熟系统。在所有产品中采用这些严格的测试和检验流程，Altera 保证了产品具有最好的质量、可靠性以及可用性。

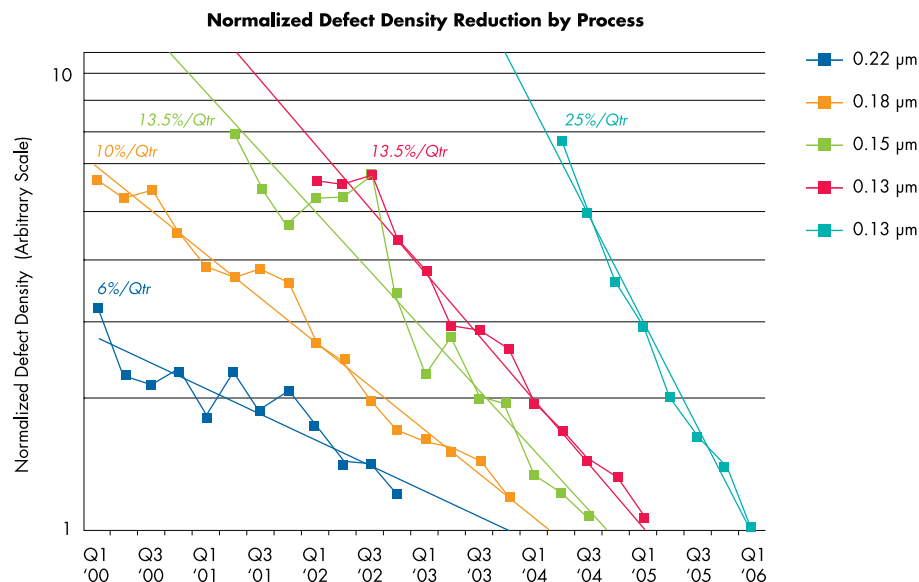
Altera 的代工线合作伙伴 TSMC 是代工线市场的领先者。在专业代工线领域，TSMC 占据了 50% 以上的世界市场份额，年度研究和开发投入超出最相近竞争对手 55%。这些投入使 TSMC 在光刻方面保持世界领先，Altera 也采取措施以发挥 65-nm 半导体工艺的优势。Altera 的工艺性设计 (DFM) 技术进一步保证了 TSMC 能够成功交付高级工艺节点的产品。例如，TSMC 在浸入光刻技术上世界领先，这一新工艺技术利用光刻棱镜和清澈液体提供高分辨率光线，实现了体积更小、封装更紧凑的器件。

TSMC 建立自己的模板集，完善了光刻技术，根据器件产量建立直接反馈机制。TSMC 是少数具有这一能力的代工线之一，其模板制造设备在业界是同类产品中运行时间最长的，使 TSMC 能够比竞争对手更迅速高效地提高工艺和产量。这些基础设施还为 TSMC 在 DFM 上的领先优势提供了强大的支持，其第一个 DFM 兼容计划包括首款各种工具 DFM 统一数据格式、第一个 DFM 数据包，以及针对库和 IP 定义 DFM 兼容性的首个程序等。

Altera 和 TSMC 强强联合，65-nm 的成功是双方在实现高级工艺技术上长期合作的结果。Altera 集中精力与业界最强大的代工线进行合作，而不是将注意力分散在不同的代工线上，从而能够交付可靠的产品，不会出现多个制造合作伙伴导致的产品不连续性以及供应链中断等问题。

通过双方的共同努力，Altera-TSMC 合作最显著的成果是 Altera 产品的缺陷密度在稳步下降。芯片工艺中出现缺陷是不可避免的，在新工艺的早期阶段，缺陷密度往往会非常高。Altera 和 TSMC 积极合作，通过持续反馈以及改进制造工艺，降低了缺陷密度。在过去的 5 个工艺节点中，Altera 和 TSMC 不但有效降低了缺陷密度，而且加速了这一实现过程（参见图 4）。双方在可编程逻辑业界的长期合作使得 Altera 和 TSMC 在 65-nm FPGA 推向市场过程中处于最有利的位置，能够迅速可靠地稳步提高产量。

图 4. Altera 的 TSMC 产品标准化缺陷密度和最近 5 个工艺节点曲线



与 Altera 一起，和 TSMC 合作开发 65-nm 工艺的其他半导体企业包括 Broadcom、QUALCOMM 和 Freescale 等大公司。在这些主要半导体供应商的推动下，TSMC 在专业代工线中处于独一无二的位置，能够交付质量最可靠的 65-nm 产品。

## 结论

虽然迈向尺寸更小的工艺节点实现了摩尔定律预言的密度和性能优势，但也会显著增加功耗，有可能出现无法承受的高功耗。如果不采取降低功耗的措施，静态功耗会增大到临界水平。而且，如果不采取一定的功耗优化措施，由于逻辑电容增大，以及开关频率的提高，动态功耗也会增加。

Altera 不断采用最前沿的技术来提高性能，降低功耗。通过采用 TSMC 的 65-nm 低功耗芯片工艺优化和 Quartus II PowerPlay 功耗分析和优化技术，不必牺牲性能便能够把 Cyclone III FPGA 的功耗降到最低。此外，Cyclone III FPGA 继续了 Altera 在工艺和电路设计中使用业界最佳实践以及代工线合作伙伴的方法，功耗比 Cyclone II 降低了 50%，使 Cyclone III 器件成为业界功耗最低的低成本 FPGA。

## 详细信息

- Altera 发挥 65-nm 半导体工艺优势的措施：  
[www.altera.com/literature/wp/wp-01002.pdf](http://www.altera.com/literature/wp/wp-01002.pdf)
- Stratix III 可编程功耗：  
[www.altera.com/literature/wp/wp-01006.pdf](http://www.altera.com/literature/wp/wp-01006.pdf)
- 漏电流：静态功耗符合摩尔定律，计算机，2003 年 12 月 IEEE 计算机协会：  
[www.eecs.umich.edu/~tnm/papers/computer03.pdf](http://www.eecs.umich.edu/~tnm/papers/computer03.pdf)

## 致谢

- Denny Steele, 低成本产品高级营销经理，Altera 公司。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
<http://www.altera.com>

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。