

SDR 的体系结构和组件选择

引言

在无线通信中，特别是军事领域，软件无线电 (SDR) 是应用目标之一。SDR 的基本概念是将数模转换部分尽量靠近天线放置。这可以通过可重新配置数字电路替代以前的模拟电路功能来实现。这种射频产品在成功实施后不会过时，能够支持大量的现有以及未来的空中接口和调制格式。

在实际中，这些目标很难达到，特别是在电池供电的小型系统应用中。在设计上需要对成本、功耗、体积和环境等方面的要求进行折衷考虑。尽管不同的应用有不同的需求，但是它们实际上有共同点。在本文中，我们将研究典型 SDR 应用的最佳体系结构。

一般要求

- 低功耗，特别是待机模式下。
- 可重新配置基带，有足够的处理资源来实现多种信号类型，例如频移键控 (FSK)、正交振幅调制 (QAM)、码分复用 (CDMA)，以及正交频分复用 (OFDM) 等。
- 多路天线
- 小外形
- 信息视频显示
- 和其他设备的公共外部接口，例如以太网和 USB。
- 较宽的工作温度范围，不需要散热。
- 较宽的工作频率带宽
- 多频带支持
- 成本适中
- 可批量生产

关键设计参数是射频链中接收和发射链路数模转换部分的位置，它对能否满足系统要求有很大的影响。SDR 技术要求这一部分应尽量靠近天线放置。

最近，中频 (IF) 二次采样模数转换 (ADC) 达到了 12 位 100 MSPS，其模拟输入带宽在 1 GHz 以上。一流供应商目前提供的产品每通道功耗只有 200 mW。

这样，IF 频率实际可以达到 500 MHz 以上。现在还不能对 2-GHz 信号直接采样，但是可以在较宽的带宽内，通过一次射频转换来采样多路信号。基带处理速率和目标信号相匹配，因此，提高采样率也会增大有效信噪比 (SNR)，提高射频接收机的灵敏度和动态范围。

对于发送侧，在这些 IF 频率上进行接口有一定的难度。大部分基带电路很难产生高于 200 MHz 的发送采样率，使发送 IF 被限制在采样率的 40%，即 80 MHz。而部分数模转换器 (DAC) 供应商解决了这一问题，他们在产品中采用了内插技术，增加电路，使 DAC 在较高的 Nyquist 区能够选择输出（从而没有了 40% 的限制）。另一种方法是集成内插技术、数字混频器和 DAC。这也能实现较高的发送 IF 频率，在 400 MHz 量级。然而，这些方法在成本上非常昂贵，而且功耗大。如果能够降低发送 IF，那么可以采用低成本、低功耗解决方案。

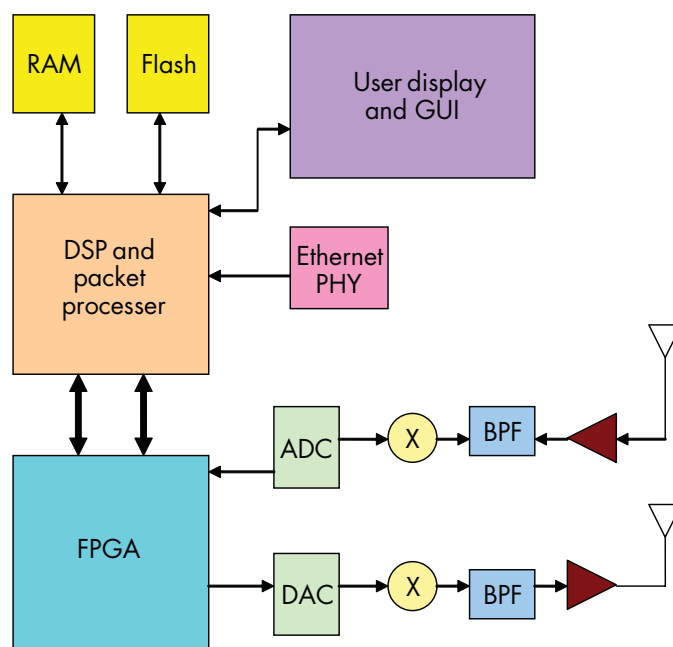
对于基带处理，有很多可行的解决方案和体系结构。对于 SDR 应用，最关键的需求是配置能力和灵活性。这样就无法采用成本最低的低功耗定制基带 ASIC 解决方案，例如商用移动电话所采用的方案。最灵活的数字信号处理 (DSP) 解决方案是同时使用 DSP 处理器和 FPGA。这一方法有以下优点：

- DSP 处理器为非常复杂的算法实现提供了理想的平台
- FPGA 为某些功能提供非常高的处理速率以及位精度，例如有限冲击响应 (FIR) 滤波器、快速傅立叶变换 (FFT)、CDMA RAKE 接收机、Turbo 解码器等大量的其他功能。
- 只要有合适的宽带连接，FPGA 可以用作 DSP 处理器有效的协处理器；这样，能够以最佳的方式，在 DSP 器件和 FPGA 之间分配算法。
- DSP 和 FPGA 供应商都能够为复杂但是标准化的大量功能提供广泛的供应商或者第三方知识产权 (IP) 支持
- 提供成熟的开发工具环境
- 以后可以移植到 DSP/FPGA 产品系列中的最新型号，不断增加新功能同时保护了在内部开发、IP、工具和设计方法上的最初投入。
- DSP 处理器可完成协议和数据包处理功能，不论是采用双核处理器还是采用单一的集总处理器体系结构。
- DSP 处理器能够实现和用户显示器的 BT656 视频接口

选择供应商以及产品系列对功耗、成本、射频数据速率以及系统更新能力有很大的影响。一旦做出选择，如果没有大的工程设计变化，以后就很难进行改动。

图 1 所示为典型 SDR 射频实现的通用结构图。本文讨论对射频性能和功能有主要影响的关键组件，对不同供应商的产品进行对比。考虑的关键组件有 ADC、DAC、DSP 和 FPGA 等器件。出于两个原因没有对成本进行对比。第一，难以得到定价，而且价格和谈判有很大关系。而更重要的是，由于市场压力，生产商在可比器件上会制定和竞争对手差不多的价格，从而很难确定成本优势。

图 1. 高级 SDR 结构图



ADC 选择

IF 二次采样接收技术一般用于 SDR 设计中，可以实现非常高的接收 IF。理论上，接收 IF 仅限于 ADC 的模拟带宽。实际中，非常高的接收 IF 会劣化 ADC 性能，而且对 ADC 时钟抖动有严格的要求。出于这些原因，有必要对比 ADC 模拟带宽和厂商数据资料列出的最大特征接收信号。应该和器件厂商验证 IF 高出数据资料

时的 ADC 性能。在表 1 中，只考虑了大于每秒 1 亿次采样 (MSPS) 以及每通道功耗小于 500 mW 的 ADC。12 位精度一般能够满足大部分现代射频设备的要求，考虑了 12 位到 14 位 ADC。

大部分 SDR 接收机要求产品多样性，因此双路 ADC 更受欢迎。

表 1. 竞争 ADC 的对比

ADC 生产商	型号	最大 F_{CONV}	模拟带宽	位	最大 F_{CONV} 时的功耗	通道数	最大特征 IF 频率时的 SNR
Analog Devices, Inc.	AD9254	150 MHz	650 MHz	14	430 mW	单	170 MHz IF 时 71 dB
Analog Devices, Inc.	AD9230	250 MHz	700 MHz	12	430 mW (1)	单	250 MHz IF 时 65 dB
National Semiconductor	ADC14DS105	105 MHz	1 GHz	14	450 mW	双	240 MHz IF 时 72 dB
National Semiconductor	ADC12DS105	105 MHz	1 GHz	12	450 mW	双	240 MHz IF 时 68 dB
Texas Instruments	ADS6245	125 MHz	500 MHz	14	1 W	双	230 MHz 时 69 dB
Texas Instruments	ADS6225	125 MHz	500 MHz	12	1 W	双	230 MHz 时 68 dB

注释:

(1) AD9230 采样率要远远高于表中的其他型号。ADC 功耗一般随 ADC 转换速率线性变化，所以在 100 MSPS 时大概需要 200 mW 的功率。如果需要较高的采样率，或者每个封装需要一个 ADC 时，该型号是较好的选择

国家半导体公司的 ADC 具有非常宽的模拟带宽，而且功耗较低（每通道大约 200 mW）。100 MSPS 采样率几乎对所有的 SDR 应用都是足够的

DAC 选择

非常高的发送 IF 在功耗和成本上代价很大，除非有很强的理由，否则难以被采用。由于 400-MHz 发送 IF 仍远远低于大部分频率带宽，因此，几乎所有的应用都需要采用模拟上变频级。对于信号带宽小于 25 MHz 的典型 SDR 应用，比较实用的是采用辅助 100-MHz 发送 IF 频率以及 RF 混频器级。表 2 总结了竞争 DAC 的对比结果。14 位精度可以满足现代射频调制的性能要求。

表 2. 竞争 DAC 对比

DAC 生产商	型号	最大 F_{CONV}	最大 IF	位	最大 F_{CONV} 时的功耗	通道数	说明
Analog Devices, Inc.	AD9778	1 GHz	480 MHz	14	~1 W	单	需要外部模拟正交调制器，Nyquist 区选择集成了 8 倍内插
Analog Devices, Inc.	AD9957	1 GHz	400 MHz	14	1.3 W	单	集成了 255 倍内插，复数数控振荡器 (NCO)
Analog Devices, Inc.	AD9744	210 MHz	85 MHz	14	150 mW	单	低成本、引脚兼容系列，8、10、12、14 位
Analog Devices, Inc.	AD9755	300 MHz	140 MHz	14	155 mW	双	提供引脚兼容的 10、12 位版本
Texas Instruments	DAC5672	275 MHz	110 MHz	14	330 mW	双	提供引脚兼容的低成本 12 位版本

对于一条发送链，AD9744 是较好的选择。然而，基于现代通信系统各种传输技术的一般需求，AD9755 是更好的选择，它提供 100-MHz 以上的发送 IF。很容易在 FPGA 中有效地实现内插滤波器以及合成 NCO 功能。

DSP 选择

如上所述，第一次就应该做出正确的 DSP 处理器选择，因为以后很难再进行改动。以下列出的需求使得这一领域只限于两个供应商系列。

- 成熟的产品系列，得到市场的认可，今后有良好的支持，并且功能会进一步增加。
- 较好的操作系统选择：供应商提供的、Linux、第三方。
- 能够支持数据包处理任务（介质访问控制 (MAC) 层）
- 能够支持射频上层协议层
- 成熟的开发环境
- 500-MHz 内核性能
- 低功耗体系结构（小于 1 W）
- 支持以太网和高速 USB
- 外部 DDR（或者 SDRAM）存储器接口
- 能够与 FPGA 连接的宽带接口
- 能够驱动视频显示接口

对比了几家供应商之后，两个 DSP 产品系列胜出：模拟器件公司的 Blackfin 和德州仪器公司的 DaVinci。如表 3 所示，这些 DSP 系列都满足上面讨论的要求。此外，每一供应商都有多种系列型号，提供不同的外设，具有不同的特性。这两个系列都有生产商和第三方软件 IP 开发商为其提供支持，有较大的市场基础，并且今后能够进一步提升性能和特性。

表 3. DSP 对比表

要求	模拟器件公司	德州仪器公司	说明
型号	ADSP-BF527	TMS320DM6441	
最大 DSP 内核时钟 最大 RISC 内核时钟	600 MHz	513 MHz 257 MHz	其他的 DaVinci 型号可达到 600MHz，但是功耗大，或者没有 ARM RISC 内核
嵌入式 L1 RAM	132 Kbytes	112 Kbytes + 40K RISC	两种器件都有额外的 L2 RAM
16 位每秒千兆乘累加操作 (GMACS)	1.2	2.05	和 FPGA GMACS 对比
内核功耗	600 MHz 时 270 mW 400 MHz 时 120 mW	513 MHz 时 800 mW 405 MHz 时 550 mW	模拟器件公司的主要优势（使用 BF537 数据）
集成 ARM RISC 内核	否	是	德州仪器公司的主要优势
闪存控制器	是	是	
视频 BT656 I/F 视频加速器	是 / 否	是 / 是	
以太网支持	10/100 MAC	10/100 MAC	
USB 支持	是	是	
OS 支持	是	是	供应商提供的 BIOS、Linux 和第三方
集成开发环境 (IDE)	Visual DSP	Code Composer	
主机端口接口	16 位	16 位	FPGA 可以利用它来访问 DSP 内部存储器
准时可编程存储器部分	是	否	可以用于保密功能
外部存储器接口	16 位 SDRAM	32 位 DDR	
串口	2	2	
串行外设接口 (SPI) I/F	是	是	
锁相环 (PLL) 任意调整	是	是	动态降低时钟，以节省功耗
封装	208, 289 BGA	361 BGA	

Blackfin 和 DaVinci 都有很多系列型号。这在选择上有一定的困难，因为不同的应用侧重于不同的处理器功能。

对于 Blackfin，以太网 MAC 的要求大大限制了其应用范围。最合适的是 BF527。如果 USB 2.0 能够替代以太网 MAC，那么可以考虑 BF548，这一型号有额外的并口，非常适合 FPGA 宽带连接。BF548 还对视频处理指令进行了改进。

对于 DaVinci，只考虑带有集成 RISC 内核的系列型号，例如 6441。数据包处理软件可以驻留在单独的 CPU 内核中，这是它的主要优势。作为对比，模拟器件公司使用“集总”体系结构，其 Blackfin 内核能够同时支持数据包处理和 DSP 应用。

总之，Blackfin 在功耗、体积甚至成本上都有较大的优势。DaVinci 具有 DSP 和 RISC 内核，处理能力更强。对于 DaVinci，单独的数据包处理 / 协议和 DSP 内核简化了软件开发。模拟器件公司和德州仪器公司的处理器都设计为媒体处理器，而 DaVinci 为视频处理提供更多的支持。

SDR 手持设备要求功耗非常低，Blackfin 可能是更好的选择。对于车载系统，DaVinci 提供更强的处理能力，优势要大一些。

DSP 处理器和 FPGA 进行接口时，带宽和接口对性能的影响非常大。很多射频算法最好分开在 DSP 处理器和 FPGA 中进行。可以在 DSP 中实现算法复杂但是处理速率较低的任务。应该在 FPGA 中实现算法简单但是对处理速率有要求的任务。这需要灵活的宽带接口。

常见的例子是第一次采集接收信号的情况。一般采用迭代方法来找到频率偏移，同时进行时序恢复和同步。通常采用复数算法，最好的方法是把算法分开在 DSP 处理器和 FPGA 中实现，FPGA 完成大部分处理，而 DSP 计算算法参数。器件间的通信要求能够使用直接存储器访问 (DMA)，在 DSP 存储器之间低延迟传送大块数据，并能够利用快速 DSP 访问来控制 FPGA 中的寄存器。由 DMA 触发的中断通常被用于同步 DSP 处理器和 FPGA 之间的处理任务。

FPGA 选择

FPGA 代表了另一重要的体系结构组件选择。FPGA 生产商提供丰富的 IP 内核、微控制器软核、参考设计、芯片系统设计方法，以及完善的设计环境，因此，FPGA 已经不仅仅是可编程硬件了。

由于功耗和成本限制，只考虑了 Altera® Cyclone® III FPGA 和 Xilinx Spartan-3 器件系列。这两家生产商的这些系列都有很强的 DSP 能力，超过了 DSP 处理器的处理速率。数字上变频和下变频链，以及波形滤波、CDMA 比特级处理、OFDM FFT 处理、发送峰值因子抑制、Turbo、Viterbi 和 Reed Solomon 解码等都能很好地在 FPGA 中实现。两家生产商为大部分功能提供 IP 内核和参考设计。

FPGA 有各种容量大小，一般能够引脚兼容。这样，可以采用大型器件，为今后的射频协议留有足够的处理余量。

表 4 对比了最近发布的两款 Xilinx Spartan-3A DSP 器件和 Altera Cyclone III 系列。这两款 Xilinx 器件和 Altera Cyclone III 系列一样，都针对 DSP 应用进行了优化。并没有列出所有的 Cyclone III 系列器件。

表 4. Spartan-3A 和 Cyclone III 器件对比

FPGA 器件	Xilinx XC3SD1800A	Xilinx XC3SD3400A	Altera EP3C25	Altera EP3C40	Altera EP3C55	Altera EP3C120
逻辑单元 (LE)	37.4K	53.7K	24.6K	39.6K	55.9K	119.1K
18 x 18 乘法器	84	126	66	126	156	288
9 x 9 乘法器	84	126	132	252	312	576

表 4. Spartan-3A 和 Cyclone III 器件对比

FPGA 器件	Xilinx XC3SD1800A	Xilinx XC3SD3400A	Altera EP3C25	Altera EP3C40	Altera EP3C55	Altera EP3C120
Block RAM	1510 Kbits	2270 Kbits	610 Kbits	1160 Kbits	2400 Kbits	4000 Kbits
最大 MAC 速率	250 MHz	250 MHz	260 MHz	260 MHz	260 MHz	233 MHz
GMACS (18 x 18)	21	31.5	17.1	32.8	40.6	67.1
最大差分 I/O 数量	227	213	83	227	163	233
技术	90 nm	90 nm	65 nm	65 nm	65 nm	65 nm
100 MHz 时的动态功耗	未提供数据	未提供数据	0.48 W	0.73 W	1.0 W	1.8 W
25°C 时的静态功耗	198 mW	272 mW	60 mW	63 mW	65 mW	70 mW

乘法器资源只有硬件乘法器，没有逻辑资源构建的软核乘法器。同样的，由于分布式 RAM 占用了 LE，不能再使用这些逻辑资源，因此只考虑了模块 RAM。乘法器数量是指 18 x 18 或者 9 x 9 乘法器配置的情况。

虽然 FPGA 有较强的 DSP 能力（对比上表中的 GMACS），但是功耗也较大。因此，需要考虑的关键参数是功耗。这一参数并不容易进行评估（Xilinx 数据资料并没有给出任何动态功耗参数）。因此，两家生产商都提供功耗估算器，它可以用在设计早期。可以简单地对比静态功耗值（器件没有工作或者编程），虽然它不代表 FPGA 的实际功耗，但是可以用于进行对比。Altera 器件的静态功耗大概是 Xilinx 器件的三分之一。

虽然 Xilinx 的这两个型号是面向 DSP 应用的，但其性能比不上 Altera Cyclone III FPGA。这里推荐 484 引脚 BGA 封装的 Altera EP3C40。如表中所示，Cyclone III FPGA 要比同样大小的 Spartan-3A DSP 有更强的 DSP 能力。Cyclone III EP3C40 器件功耗更低，而且和 3 个容量更大的型号引脚兼容，含有 120K LE、288 个乘法器和 4 Mbits RAM。对于功耗非常关键的设计，Altera Cyclone III 提供 5K 和 10K LE 容量，达到 6-GMACS DSP 性能，在 100-MHz 时钟下，功耗在 200 mW 量级。

总结

SDR 设计工程师在努力设计非常复杂的产品时，考虑到相互矛盾的需求和特性，可以利用本文作为设计起点。设计电池供电的 SDR 产品仍然是很大的挑战。这些产品很难达到消费类产品的功耗水平，消费类产品比较特殊，产品生命周期很短。但是经过仔细设计，使用最新的半导体产品，可以在中等外形封装中实现合理的工作和待机时间。

致谢

Michael Parker，IP 和技术产品营销资深技术营销经理，Altera 公司



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2007 Altera 公司。保留所有版权。Altera，可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。