

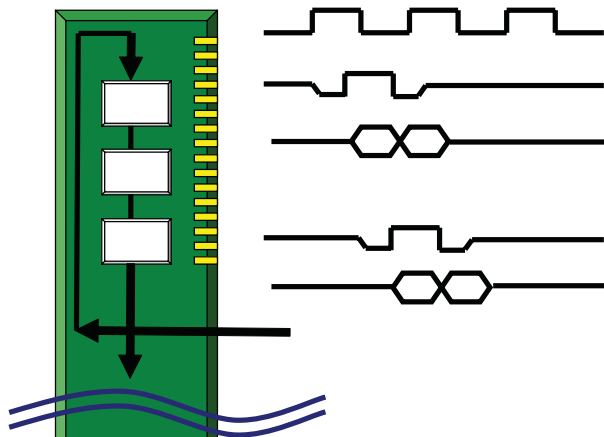
## 在 DDR3 SDRAM 存储器接口中使用调平技术

### 引言

DDR3 SDRAM 存储器体系结构提高了带宽，总线速率达到了 600 Mbps 至 1.6 Gbps (300 至 800 MHz)，它采用 1.5V 工作，降低了功耗，90-nm 工艺密度提高到 2 Gbits。这一体系结构的确速率更快，容量更大，单位比特的功耗更低，但是怎样才能实现 DDR3 SDRAM DIMM 和 FPGA 的接口呢？调平技术是关键。如果 FPGA I/O 结构中没有直接内置调平功能，和 DDR3 SDRAM DIMM 的接口会非常复杂，成本也高，需要采用大量的外部元件。那么，什么是调平技术，这一技术为什么非常重要？

为提高信号完整性，实现更好的性能，JEDEC 针对时钟 and 命令 / 数据总线定义了飞越 (fly-by) 匹配。飞越拓扑降低了同时开关噪声 (SSN)，但是当时钟和地址 / 命令通过 DIMM 时，每一 DRAM 上会出现时钟和数据 / 选通飞行时间 (flight-time) 斜移，如图 1 所示。

图 1. DDR3 SDRAM DIMM：飞行时间斜移降低了 SSN，必须通过控制器调整数据，调整范围为 2 个时钟周期。



飞行时间斜移会高达  $0.8 t_{CK}$ ，增大到足以无法确定数据会对应两个时钟周期中的哪一个。因此，JEDEC 针对 DDR3 存储器定义了“调平”功能，让控制器调整每个字节通道的时序，补偿这种斜移。

最新的 FPGA 具有很多特性以实现多种应用中双倍数据速率 SDRAM 存储器的接口，例如桌面计算机、服务器、存储器、LCD 显示器、网络和通信设备等。然而，如果要使用最新的 DRAM 技术——DDR3 SDRAM，则需要可靠的调平方案。

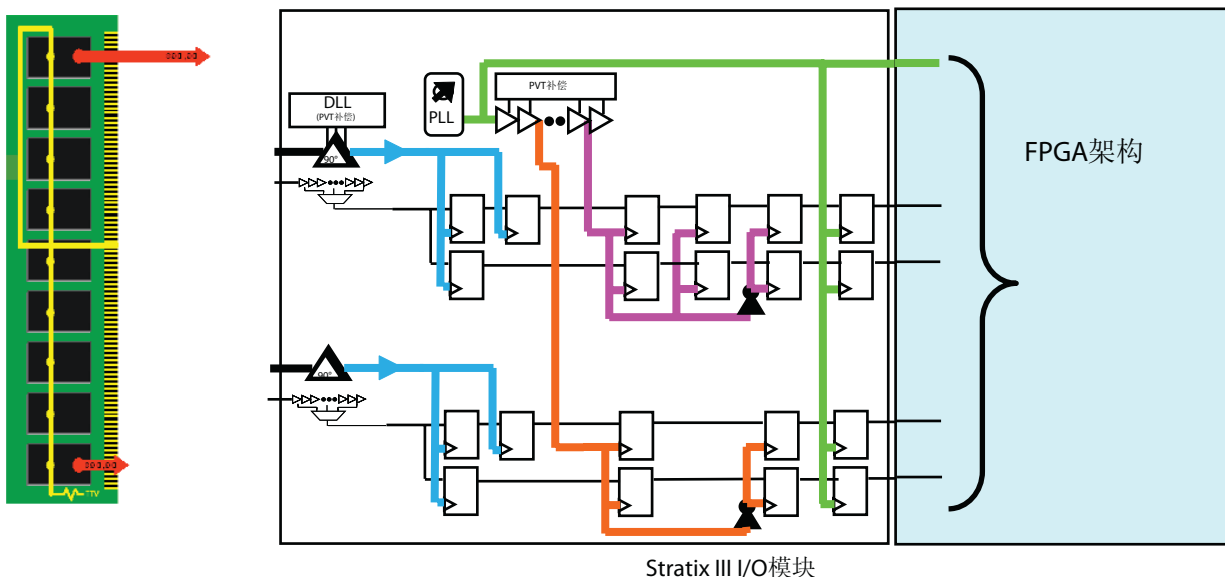
### FPGA I/O 结构

FPGA，例如最近发布的 Altera® Stratix® III 器件系列，具有高速 I/O，能够灵活地支持现有以及新兴的外部存储器标准。

#### 读调平

在读操作期间，存储器控制器侧必须补偿由飞越存储器拓扑引入的延时，这种延时对读周期会有影响。在数据通路上，调平不仅仅是处理 I/O 延时，还需要 IT 和下降沿寄存器来调平或者对齐所有的数据。每一 DQS 需要单独的重新同步时钟位置相移 (PVT 补偿)。图 2 所示为同一读命令从 DIMM 返回的两个 DQS 组。

图 2. Stratix III I/O 单元中的 1T、下降沿和调平寄存器



开始时，每一 DQS 相移 90 度，采集组中相关的 DQ 数据。然后，采用自由运行的重新同步时钟（与 DQS 相同的频率和相位），将数据从采集域移到调平电路中——图 2 中以粉色和桔色链路表示。在这一阶段，每一 DQS 组都有独立的重新同步时钟。

下一步，DQ 数据被传送至 1T 寄存器。在图 2 所示的例子中，上层通道需要 1T 寄存器来延时某一 DQS 组中的 DQ 数据位。请注意，在这个例子中，下层通道并不需要 1T 寄存器。这一过程开始对齐上层通道和下层通道。在免费的 PHY IP 内核校准方案中，会自动确定某些通道是否需要 1T 寄存器。

然后将两个 DQS 组传送至下降沿寄存器。如果需要，自动校准过程启动时接入或者断开可选寄存器。最后一步是将上层和下层通道对齐同一重新同步时钟，建立源同步接口，将完全对齐，即调平后的单倍数据速率 (SDR) 数据传送给 FPGA 架构。

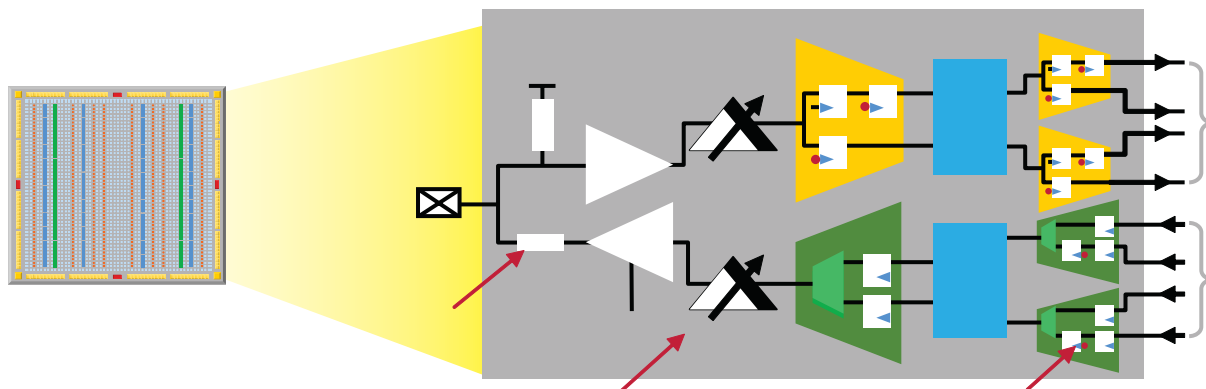
### 写调平

和读调平相似，但过程相反，在单独的时间启动 DQS 组，对齐到达 DIMM 器件的时钟，必须达到  $t_{DQSS}$  参数的  $\pm 0.25 t_{CK}$ 。

### 其他的 FPGA I/O 创新

高端 FPGA 有很多创新的 I/O 特性，实现多种存储器简单可靠的接口，例如动态片内匹配 (OCT)、可变 I/O 延时以及半数据速率 (HDR) 等，如图 3 所示。本文在下面列出这些特性（从左到右），对每一特性进行详细介绍。

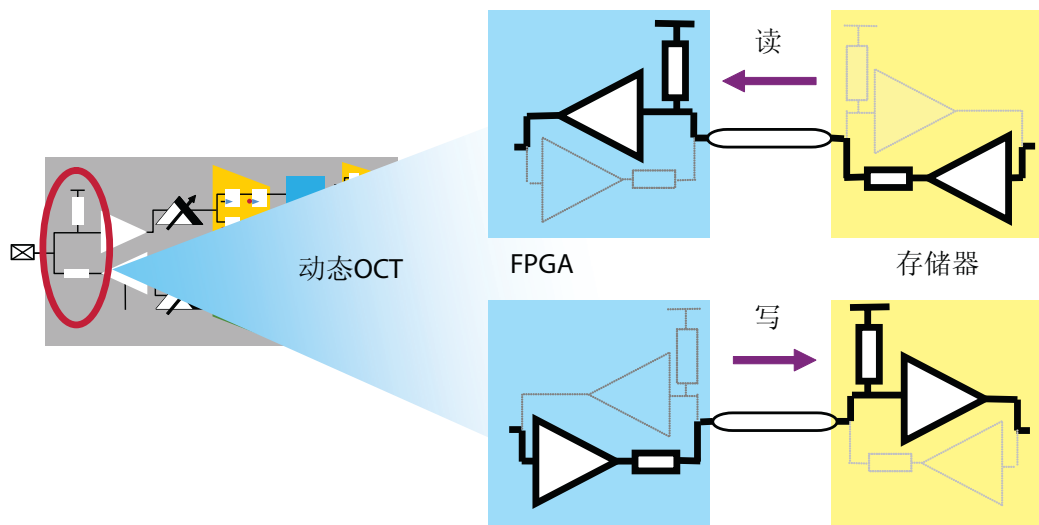
图 3. 适用于 DDR3 SDRAM 存储器接口的 I/O 特性



### 动态 OCT

并行和串行 OCT 为读写总线提供合适的线路终端和阻抗匹配。这样，FPGA 不需要外部电阻，节省了外部元件成本，减小了电路板面积，降低了走线复杂度。由于并行匹配有效地减少了写操作电流，因此，大大降低了功耗。图 4 所示为读写操作的终端匹配。

图 4. 动态 OCT - 读写操作



### 可变延时，实现 DQ 去斜移

在走线长度失配和电去斜移上采用可变输入和输出延时（图 5 所示）。精细的输入和输出延时分辨率（即，50 微微秒 (ps) 步长）可实现更精确的内部 DQS 去斜移（和调平功能分开），这一斜移是由电路板长度失配或者 FPGA 和存储器 I/O 缓冲变化引起的，如表 1 所示。最终，这提高了每一 DQS 组的采集余量。

图 5. I/O 单元中的静态和动态延时

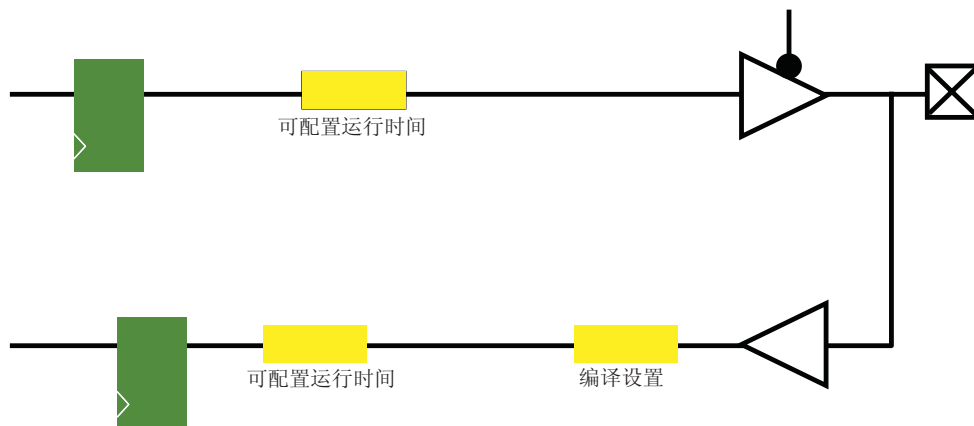
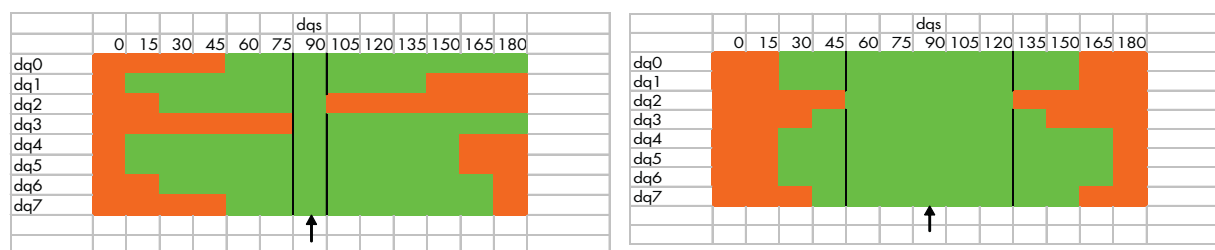


表 1. FPGA I/O 延时

通道	变化范围	静态	静态	总计
输入	750 ps	350 ps	2,800 ps	3,900 ps
	50 ps	50 ps	400 ps	
通道	变化范围		I/O 缓冲	总计
输出	1,100 ps		150 ps	1,250 ps
	50 ps		50 ps	

可以在运行时从 FPGA 架构访问延时单元，作为启动校准过程的一部分，实现自动 DDR3 去斜移算法。图 6 所示为怎样对 DQ 数据去斜移，中心对齐 DQS，提高采集余量。还可以利用输出延时在输出通道中插入少量的斜移，有意减少同时开关的 I/O 数量。

图 6. DQS 组中的 DQ 去斜移概念，以 90 度相移 DQS 为中心



### 可靠采集

DQS 信号起到输入选通的作用，必须移至合适的位置以采集读操作。相移电路 (图 7 中所示) 可以把到达 DQS 信号移相 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、135°、144° 和 180°，具体数值取决于 DLL 频率模式。移位后的 DQS 信号被用作 I/O 单元输入寄存器时钟。

图 7. DQ 采集电路

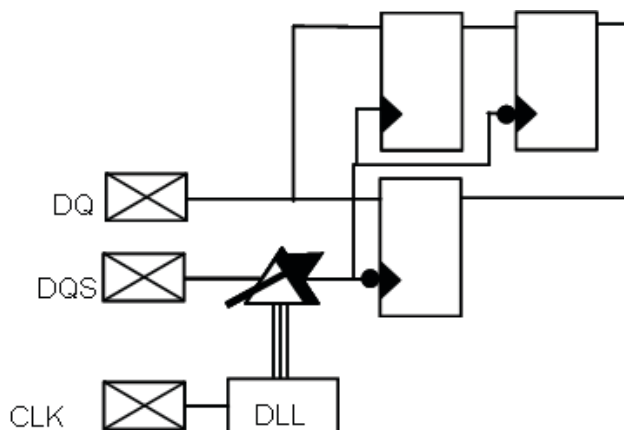
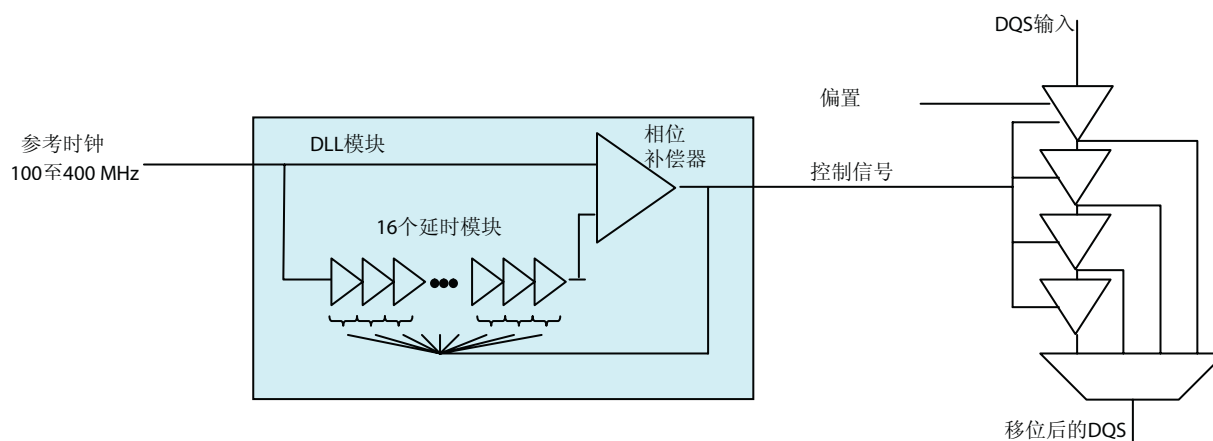


图 7 所示的延时锁定环 (DLL) 将 PVT 相移保持在固定位置。图 8 所示为 DLL 和相移电路之间的关系。

图 8. DLL 和 DQS 相移电路

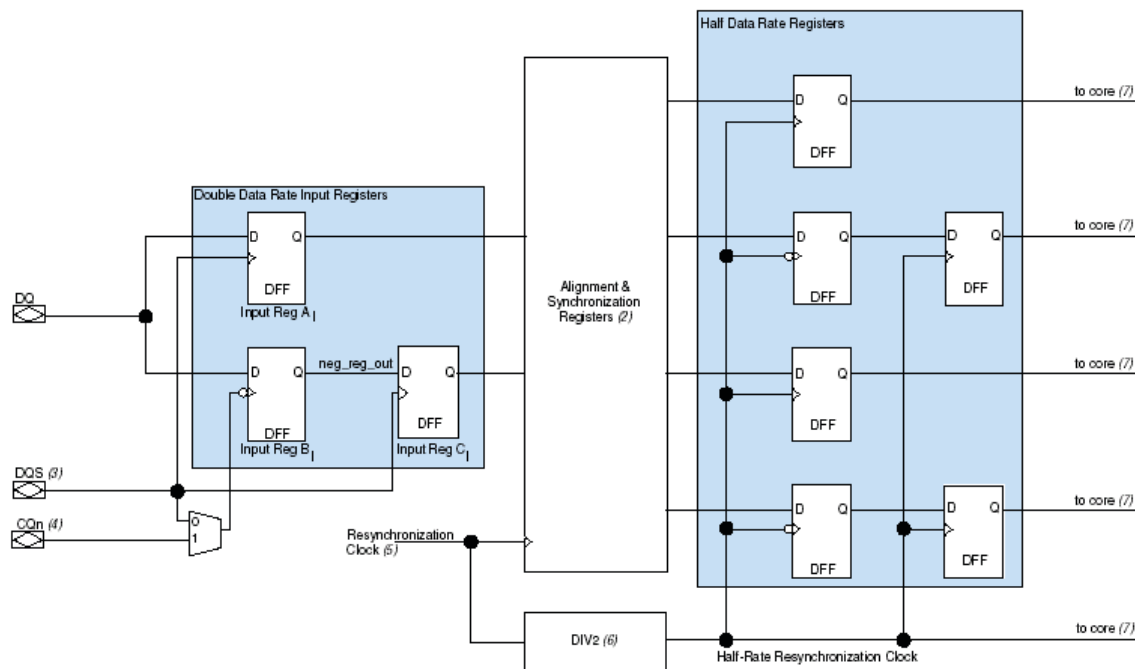


DLL 使用频率参考来动态产生每一 DQS 引脚的延时链控制信号，使其能够补偿 PVT 变化。Stratix III 器件中有 4 个 DLL，每个都位于器件的角上。每个 DLL 延伸到器件的两侧，使器件在所有侧面都实现了对多个 DDR3 SDRAM 存储器的接口支持。

### 高速数据速率域交叉和设计简化

DDR 采集寄存器和 HDR 寄存器使数据能够从双倍数据速率域 (在时钟两个边沿的数据) 安全下传至 SDR 域 (同一时钟频率一个上升沿的数据，但数据宽度加倍)，以及 HDR 域 (时钟上升沿的数据，但是频率只有 SDR 的一半，数据宽度加倍)，更容易达到内部设计时序。图 9 所示为 DQ 数据是怎样通过各种数据速率域的。

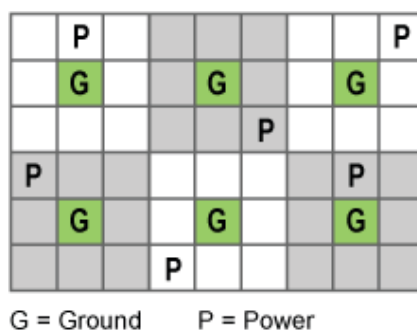
图 9. Stratix III 输入通道寄存器



提高管芯、封装和数字信号的完整性

FPGA 管芯和封装的设计应具有可靠的信号完整性，实现高性能存储器接口（即，有 8:1:1 用户 I/O 至地和电源比，以及较好的信号返回通道，如图 10 所示）。此外，设计还应具有 OCT、可变摆率和可编程驱动能力，以便正确地控制信号质量。

图 10. 每一电源和地的 8 个用户 I/O

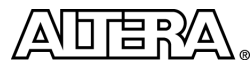


结论

高性能 FPGA 具有较宽的存储器带宽，增大了时序余量，能够灵活地进行系统设计，进一步完善了高性能 DDR3 SDRAM DIMM。FPGA 和 DDR3 SDRAM 相结合满足了当今通信、网络和数字信号处理系统的大吞吐量需求。

致谢

- Paul Evans, Stratix III FPGA 产品营销经理，高端 FPGA 产品，Altera 公司。



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera, 可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品或服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。