

## 利用高级 Cyclone III FPGA PLL，增加灵活性，提高集成度

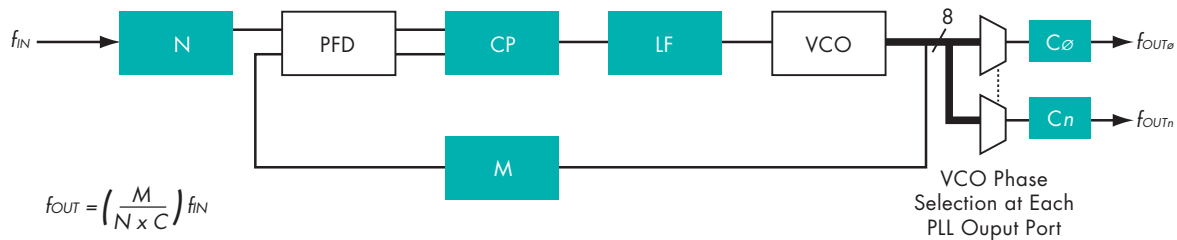
### 引言

人们在使用 FPGA 时，经常忽略它的一个优点——能够集成时钟解决方案。这种集成能力不但降低了系统成本，而且最新的 65-nm Altera® Cyclone® III FPGA 支持高级时钟管理和锁相环 (PLL) 技术，因此，还极大地提高了设计灵活性。设计人员利用 Cyclone III 时钟管理功能，管理整个 FPGA 和电路板的时钟系统。而且，由于 Cyclone III PLL 集成在 FPGA 中，可以利用 Altera 的 Quartus® II 设计环境，轻松进行设置。

### Cyclone III PLL 时钟合成器体系结构

图 1 所示为 Cyclone III PLL 结构图。PLL 是一种反馈环路，主要组成包括相位频率探测器 (PFD)、电荷泵 (CP)、环路滤波器 (LF)、压控振荡器 (VCO) 和反馈计数器 M。PFD 探测输入时钟和反馈时钟之间的相位差，相位失配时，向 PLL 发出信号。CP 和 LF 接收来自 PFD 的信号，将控制电压提供给 VCO，以得到所需的输出频率和相位。PLL 含有三种类型的计数器：预调整 N 计数器、后调整 C 计数器和反馈 M 计数器。

图 1. Cyclone III PLL 结构图



结构图中高亮显示的模块表示 Cyclone III PLL 的用户编程部分，该部分给用户带来了很大的灵活性。PLL 中所有的计数器都是用户可编程的，几乎可以合成任意的输入输出时钟频率比。它还支持大范围输入频率，并能够产生大范围输出频率。可编程输出 C 计数器支持从一个时钟输入中产生不同的频率和相位时钟输出。PLL 的可编程环路组件实现了对 PLL 的带宽控制，能够滤除或者接受不同范围的输入抖动频率。可以通过软件自动配置这些用户可编程组件，利用 Quartus II 设计环境很容易配置整个 PLL。

### 使用 Cyclone III PLL 的优点——灵活性、集成和使用方便

一个 Cyclone III PLL 是完整的时钟合成器，能够产生 5 路时钟输出。这些时钟可以输出给器件的任意引脚，大大提高了电路板上其他器件时钟的灵活性。时钟补偿模式使设计人员能够调整 PLL 输出时钟和输入时钟的相位关系。利用 PLL 提供的不同时钟补偿模式（参见表 1），以及专用时钟输出引脚，设计人员可以针对具体应用定制电路板时钟方案。在所有器件中，除了最小的器件，Cyclone III FPGA 每个器件都提供 4 路独立 PLL。此外，多个 PLL 可以级联，更灵活地满足系统时钟要求，例如粒度更大的时钟频率。

Cyclone III 器件还能够灵活地处理各种不同的 I/O 标准，把它们转换成其他的 I/O 标准。这样，一个时钟输入就可以和电路板的其他芯片实现接口，包括使用 SSTL 的 DDR2 SDRAM 以及使用 LVTTTL 的 LED 驱动器。

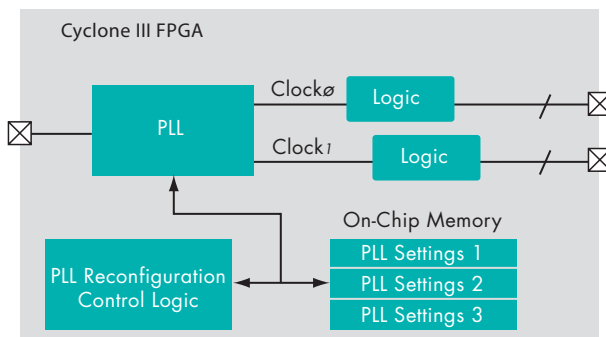
这避免了采用外部元件，例如时钟驱动器、电压转换器或者分立的 PLL，从而减少了材料，降低了成本，缩小了电路板面积。

表 1. 时钟补偿模式

补偿模式	波形	说明
源同步模式		<p>使用这一模式实现源同步数据传送。在这种模式中，维持了器件引脚的数据和时钟之间的相位关系。</p>
无补偿模式		<p>利用这一模式实现最佳抖动性能。在这一模式中，PLL 没有补偿任何时钟网络。</p>
普通模式		<p>利用这一模式来对齐器件引脚时钟和器件内部寄存器时钟</p>
零延时缓冲模式		<p>利用这一模式实现器件零延时</p>

为用户带来灵活性的另一特性是 Cyclone III PLL 的重新配置功能，它能够在器件工作时动态改变 PLL 状态。可以在片内存储器中存储多个 PLL 状态配置，根据系统建立的触发条件而动态进行加载。图 2 所示为这种系统的一个例子，根据一组固定输入或者用户建立的触发条件而采用了 3 种不同的频率模式。一个 Cyclone III PLL 便能够支持所有 3 种模式，每一模式对应一种 PLL 状态配置，可以实时进行动态加载。这样，设计人员能够针对多种不同的应用建立一个设计，从而节省了宝贵的工程资源，将产品迅速推向市场。

图 2. PLL 重新配置方案

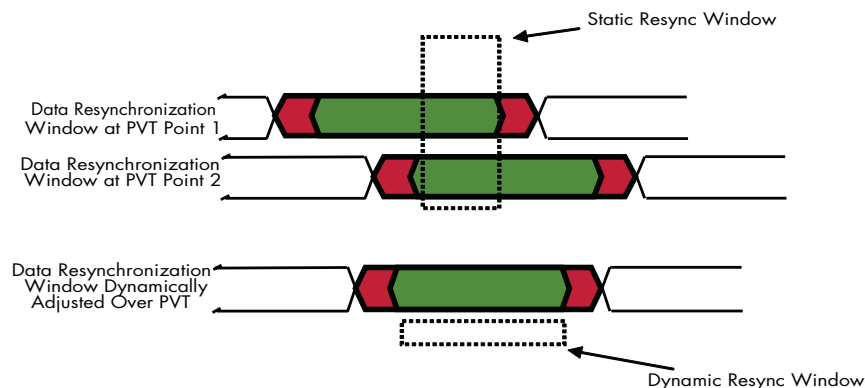


PLL 重新配置特性能够动态调整 PLL 参数，在很宽的输入时钟频谱范围内进行锁定。这一特性在显示应用中非常有用，在这类应用中，时钟速率随系统以及选用的刷新率而变化。在这种情况下，Altera 提供的 IP 被用于控制重新配置，自动调整 PLL 参数，锁定在指定输入频率上。

动态相移实现了对 PLL 输出时钟的任意调整，以及电路板制成后对系统时序的调整。此外，向 DDR2 SDRAM 等外部接口发送数据时，它还可以用于动态确定数据窗口的中心位置。

由于存储器的高速宽带接口提高了适时采样的难度，因此和快速 DDR 存储器的接口需要较长的时间。接口还必须能够适应工艺、电压和温度 (PVT) 的变化，但是很难找到合适的数据采样点使存储器能够正常工作。Altera 提供自动校准 PHY，随 PVT 变化来调整 PLL 输出时钟，从而简化了这一过程。这一 IP 利用 Cyclone III PLL 的动态相移特性调整时钟相位，对接口进行校准。这样，实现了设计中的最佳时序余量，和其他方式相比，接口能够工作在更高的数据速率上，如图 3 所示。在非自动校准系统中，由于数据窗口的移动，数据有效窗口实际变小，而采样点没有变。自动校准系统对移动进行补偿，因此有效地增大了采样窗口。

图 3. 在 DDR SDRAM 接口中利用动态相移来提高时序余量



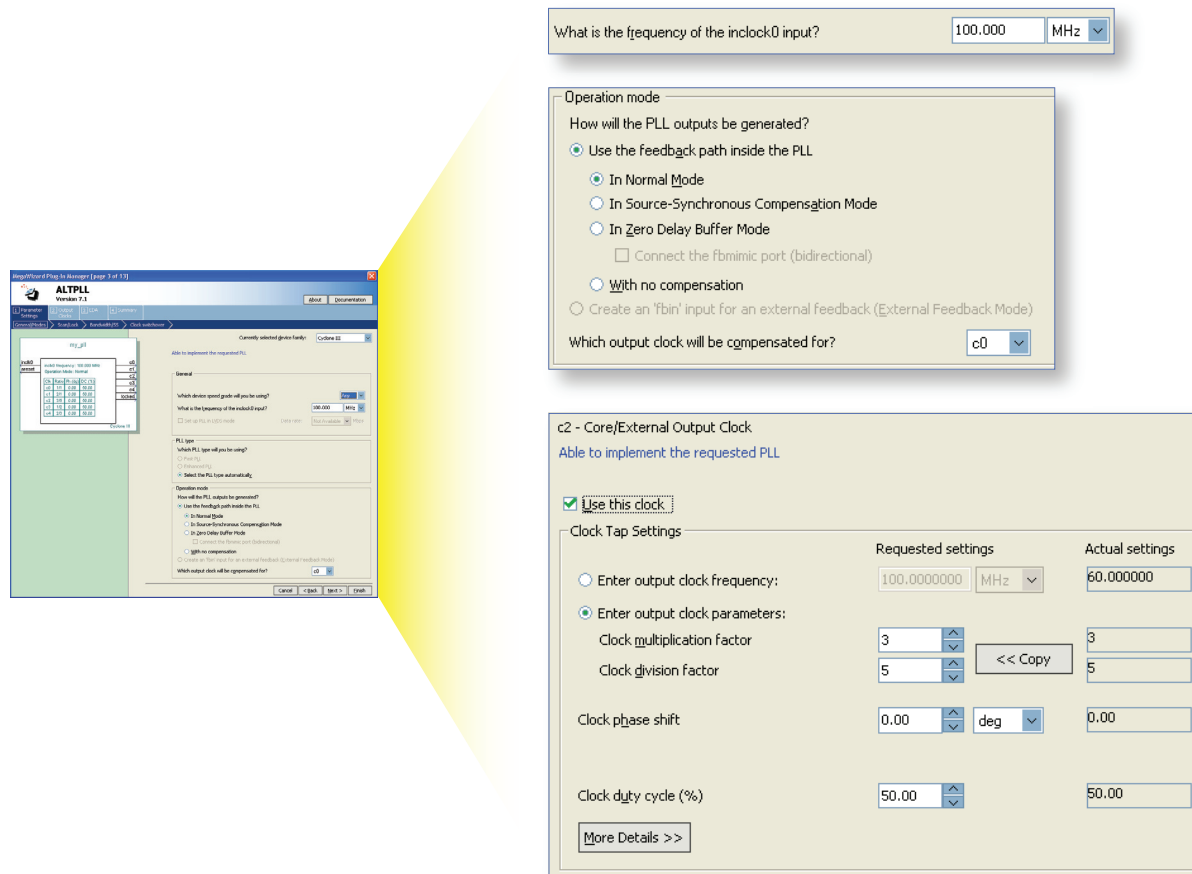
Cyclone III FPGA PLL的灵活性和易用性并不以牺牲PLL性能为代价。表2列出了重要的Cyclone III PLL性能参数，系统时钟方案可以只采用一个晶振。这种 PLL 能够产生片内功能需要的所有时钟，以及电路板上其他芯片需要的时钟，避免了采用多个晶振、其他时钟驱动器或者功能有限的分立 PLL。

表 2. 关键的 Cyclone III PLL 性能参数

参数	最小	典型	最大
PLL 输入频率范围	5 MHz		472.5 MHz
PLL 输出频率范围	5 MHz		472.5 MHz
PLL 输出周期抖动		100 ps	
时钟相移步长	96 ps		

通过 Altera 的 Quartus II 设计软件很容易充分发挥 Cyclone III PLL 的优势。使用软件直观的 MegaWizard® 插件来配置 PLL，设计人员只要输入所需的输入和输出频率以及相位关系，软件会自动生成满足设计要求的 PLL。图 4 为 PLL MegaWizard 配置过程的截屏显示。可以在这一界面下控制 PLL 的所有特性，包括设置所需的输入时钟频率、补偿模式、乘除因子，以及每一输出时钟的相移和占空比。根据设计需要设置好 PLL 后，设计人员单击“Finish”，在设计中例化 PLL，编译，对器件进行编程。

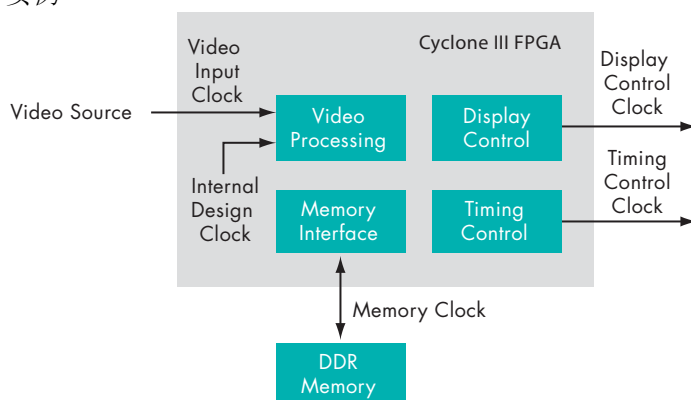
图 4. PLL MegaWizard 插件



## LCD 设计实例

图 5 所示为采用改进 Cyclone III PLL 的典型应用实例。系统驱动一个 LCD 显示器，将时序控制器、视频处理和存储器控制器等功能集成在一片 Cyclone III FPGA 中。

图 5. LCD 显示器设计实例



这一例子利用了 Cyclone III PLL 的多种特性。首先是能够驱动多个时钟。这一应用有 FPGA 必须产生的多个时钟域。它必须从视频源获得时钟频率，为存储器接口和 FPGA 内部逻辑生成时钟，以及 LCD 显示器需要的多路时钟。取决于 LCD 的大小和分辨率，面板可能需要多路时钟驱动。使用大量输出和多个 PLL 可以生成内部和外部需要的所有时钟。

第二个特性是重新配置能力。在很多情况下，并不知道时钟速率。视频源可能会有不同的格式和不同的时钟频率，不同的面板也有不同的 LCD 刷新率和分辨率，并且会随时改变。宽频 PLL 支持采用多种不同的源，随时对频率进行切换和重新调整。在其他 FPGA 体系结构中，需要对整个 FPGA 进行重新配置，以产生合适的时钟，但是这种重新配置非常耗时，而且需要特殊的设计考虑。Cyclone III PLL 重新配置特性保证了这一切能够顺利进行，从而缩短了停机时间。

这一设计还利用了动态相移功能。视频处理的数据量很大，用户可能需要在片外存储大量的数据。利用器件中的第二个 PLL 以及 Altera 的自动校准 PHY IP，FPGA 能够针对 PVT 进行调整，在最佳数据窗口采样，简化了与 DDR 和 DDR2 存储器的接口。

Cyclone III 器件的逻辑容量，结合 PLL 技术的进步以及大量的 PLL，整个系统可以集成在一片 Cyclone III FPGA 中，从而大大降低了成本。

## 总结

和 Cyclone III 中的其他特性一样，PLL 性能大幅度提高，设计人员在一片 FPGA 能够比以前实现更多的功能。PLL 和 FPGA 架构相结合提高了集成度，从而降低了成本。定制实现 PLL 多路输出使设计人员有更多的选择进行设计，更加灵活。而且，由于 Altera 非常重视 FPGA 的软件设计，因此，设计人员能够在系统中轻松地配置 PLL。

## 详细信息

使用免费的 Quartus II 网络版软件设计 Cyclone III 器件：

[www.altera.com/support/software/download/sof-download\\_center.html](http://www.altera.com/support/software/download/sof-download_center.html)

## 致谢

Jim Foroudian，器件应用工程经理，Altera 公司

Stephen Lim，低成本产品营销经理，Altera 公司



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera，可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。