

MIMO-OFDMA 无线基站的 DSP-FPGA 系统划分

数字信号处理 (DSP) 芯片和可编程逻辑供应商对哪类器件更适合新的无线系统设计有不同的观点, 而最重要的是客户实际采用了什么。今天, 设计人员结合使用 PLD 和 DSP 芯片以满足市场需求。对无线系统而言, 这两类器件之间的“智能划分”实现了功能和成本效益的最佳组合。除了满足设计规范之外, 结合使用 DSP 芯片和 FPGA 还是防止产品今后过时以及无风险降低成本的好方法。本文详细介绍这些设计策略, 提供的几个无线基站 FPGA+DSP 系统划分实例解释了为什么结合使用可编程逻辑和 DSP 有助于设计人员完成他们的项目。

引言

无线运营商通过提供增强数据服务来提高他们的单位用户平均收益 (ARPU), 这同时推动了对宽带的需求, 导致对数据速率的要求越来越高。而且, 为用户提供各种应用体验的要求也促使底层网络体系结构进行变革。窄带 2G GSM、IS-95 系统等以语音为中心的技术已经发展到目前基于 WCDMA 的 HSDPA 和 HSUPA 系统, 峰值数据速率达到了 10 Mbps。今后的 3GPP 长期发展规范采用了多输入多输出 (MIMO) 等复杂的信号处理技术, 以及正交频分复用接入 (OFDMA) 和多载波码分复用接入 (MC-CDMA) 等新的射频技术, 这些技术是实现 100 Mbps 以上吞吐量的关键。WiMAX 等其他 OFDM 宽带无线系统也在不断发展, 传输速率已经超过了 70 Mbps。

数据速率之所以能够提高, 主要是使用了高阶调制技术以及可变速率通道编码, 也就是常说的自适应调制和编码 (AMC) 等技术。复杂的空间信号处理方法, 例如聚束和 MIMO 天线技术, 也是提高数据速率成熟可靠的技术, 但其代价是需要进行复杂的计算。对于设计基站 OEM 而言, 这些支撑技术带来了很大的挑战, 设计的基站不但要有很高的性价比, 能够更新, 而且要非常灵活, 随着标准的发展能够继续使用。

基站设计要求

无线系统设计人员需要满足的各种关键需求包括处理速度、灵活性以及产品及及时面市等, 所有需求最终决定了对硬件平台的选用。

处理带宽

WiMAX 和 LTE 宽带无线系统对吞吐量和数据速率的要求远远高于 W-CDMA 和 cdma2000 等蜂窝系统。为了能够支持如此高的数据速率, 底层硬件平台必须有足够的处理带宽。而且, Turbo 编解码等高级信号处理技术以及快速傅立叶变换 / 反变换 (FFT/IFFT)、聚束、MIMO、峰值因子抑制 (CFR) 和数字预失真 (DPD) 等前端功能都需要进行大量的计算, 每秒乘累加 (MAC) 操作高达数十亿次。

灵活性

WiMAX 是相对较新的市场, 目前还处于最初的发展和实施阶段。类似的, 3GPP LTE 还在制定过程中, 在最终完成之前, 还需要经过多个版本的修订。虽然有很多的竞争移动宽带技术, 例如 WiMAX、LTE 和 UMB 等, 但它们的共同点是 OFDMA-MIMO。在目前的背景下, 需要有灵活的可编程产品来实现标准还没有确定的基站或者多协议基站。系统如果具有这种灵活性, 无线基础设施 OEM 和运营商则可以大大降低资金投入和运营开支, 同时减小了标准不断变化带来的风险。

降低成本的途径

设计和开发 3G 系统时得出的一个重要经验是从一开始就要制定长期降低成本的策略。不断发展的 WiMAX 和 LTE 标准最终会稳定下来。OEM 和服务供应商要保持市场上的竞争地位, 必须重视最终产品的成本, 这要比灵活性重要得多。合适的硬件平台也是降低批量生产成本的无缝措施, 能够节省数百万美元由系统重新设计导致的工程成本投入。

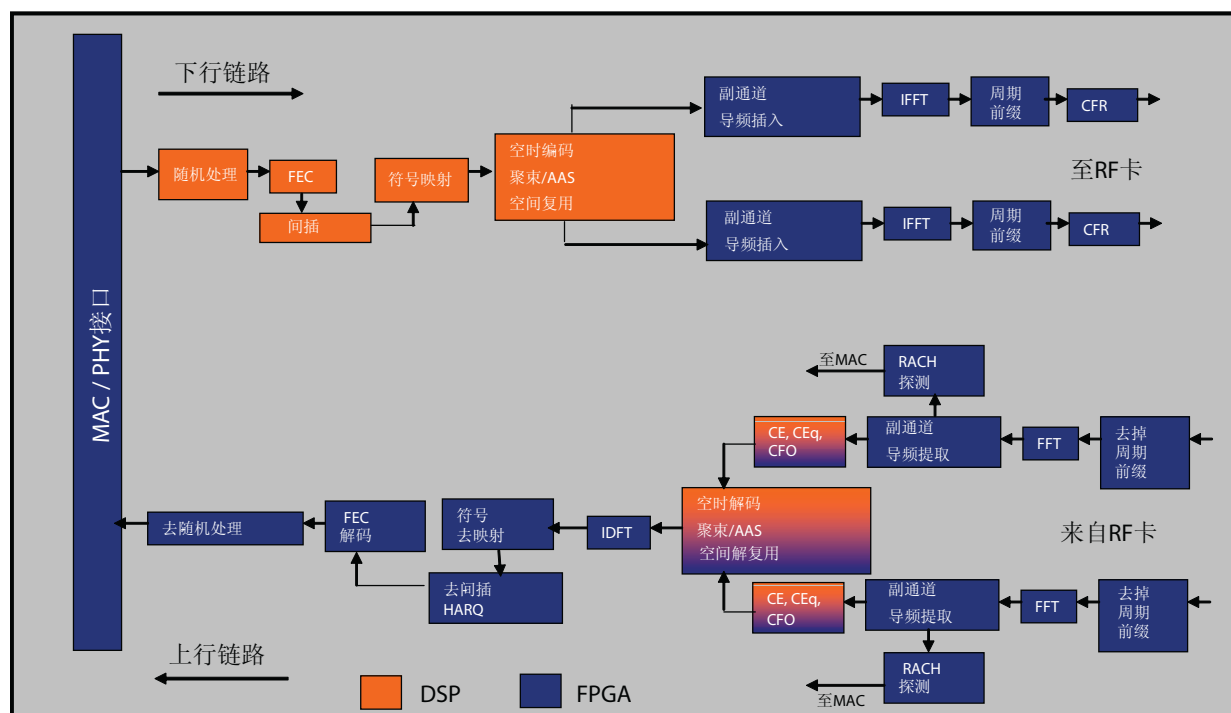
系统体系结构设计和逻辑任务划分

信号处理数据通路和控制运算是无线基站中最主要的处理负荷。大部分体系结构结合使用微控制器 (MCU)、FPGA 和可编程数字信号处理器来实现系统控制、配置和信号处理数据通路。MCU 控制系统, 而 FPGA 和数字

信号处理器进行数据流处理。处理任务较轻，主要面向控制的任务在数字信号处理器中通过软件来实现；负载较重的任务最好在 FPGA 中进行，它具有明显的并行处理优势。数字信号处理器和 FPGA 相结合可实现非常灵活的系统，其可编程能力有助于改正缺陷，甚至能够支持完全不同的标准。

FPGA 和数字信号处理器之间的划分取决于处理需求；系统带宽以及系统配置；发送和接收天线的数量等。图 1 所示为 WiMAX 和 LTE 等 OFDMA 系统中实现基带物理层 (PHY) 功能时典型的数字信号处理器 /FPGA 划分。

图 1. OFDMA 系统的 DSP/FPGA 划分



通过采用高级多路天线技术，这类系统的吞吐量将有可能超过 100 Mbps。基带 PHY 功能可以大致分为比特级处理和符号级处理两类。下面几节介绍了这些功能，以及怎样使用 FPGA 来完善 DSP 模块，同时实现比特级和符号级功能。

比特级处理

比特级模块包括发送侧的随机处理、前向纠错 (FEC)、频谱交错、正交相移键控 (QPSK) 和正交振幅调制 (QAM) 功能映射等。相应的接收处理比特级模块是符号去映射、频谱去交错、FEC 解码和去随机。发送比特级功能相对简单，计算量不大。例如，随机处理涉及到数据比特和简单伪随机二进制序列发生器输出的模 2 加运算。在比特级处理上，虽然 FPGA 要比固定总线宽度的数字信号处理器灵活一些，但是更容易在数字信号处理器上实现这些计算量不大的函数。相反，随着吞吐量需求的增加，可以把 Turbo 编码功能卸载到 FPGA 中，以提高系统的性能。在接收侧，FEC 解码，包括 Viterbi 解码、Turbo 卷积解码、Turbo 乘解和 LDPC 解码等，在数字信号处理器中实现时，其计算量比较大，占用较大的带宽。

FPGA 被广泛用于卸载这些功能，释放数字信号处理器带宽以处理其他功能。在同一 FPGA 中实现去随机、去速率匹配和混合 ARQ 等其他比特级功能减少了 FPGA 和数字信号处理器之间的数据传送，降低了延时和系统总功耗。同一 FPGA 还可以用于和 MAC 层接口，实现加密 / 解密和认证等某些底层 MAC 功能。

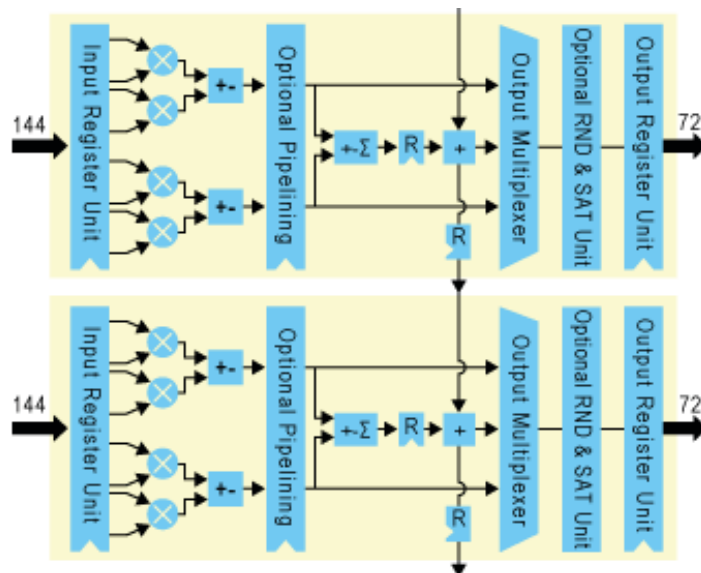
符号级处理

OFDMA 系统中的符号级功能包括副通道和去副通道、FFT/IFFT、信道估算 / 均衡、测距 / 随机访问通道 (RACH) 探测等功能。其他功能包括 DFT/IDFT (LTE 确定的)，以及通道卡可能采用的 CFR 等。通道估值和

均衡可以离线执行，涉及到更适合在数字信号处理器中实现的控制算法。相反，FFT 和 IFFT 函数是普通的数据通路函数，需要以非常快的速度进行复数乘法，更适合在 FPGA 上实现。RACH 探测和 CFR 等功能也需要高性能的低延时 FFT/IFFT 运算。

图 2 所示为高端 FPGA (Altera® Stratix® III 器件) 中含有的嵌入式 DSP 模块。DSP 模块一般包括 8 个专用乘法器；而 Stratix III EP3SE110 等高级 FPGA 的 112 个 DSP 模块能够提供 896 个 18x18 乘法器，吞吐量高达 500 吉乘累积操作 (GMAC)。这要比目前市场上的商用数字信号处理器高出一个数量级。

图 2. Stratix III FPGA 中的嵌入式 DSP 模块体系结构



在基站中采用高级多路天线技术时，例如空时编码 (STC)、聚束和 MIMO 方案等，FPGA 和数字信号处理器的这种信号处理能力差异便显得更加突出。在目前以及今后的 WiMAX 和 LTE 无线系统中，普遍认为 OFDM-MIMO 相结合是实现更高数据速率的关键。

图 1 所示是基站中采用的多路发送和接收天线。在这种配置中，进行 MIMO 解码前，对每一天线流单独进行符号处理，产生单路比特级数据流。当在数字信号处理器上实现的天线以串行方式执行操作时，符号级处理的复杂度会随之线性增加。例如，使用两路发送和接收天线时，假设 FFT 和 IFFT 变换长度为 2048 点，其运算将占用 1GHz 数字信号处理器 60% 的处理能力。相比之下，采用 FPGA 时，可以有效地扩展实现多路天线。FPGA 对多路天线数据进行时分复用和并行处理。同一 2x2 天线 FFT/IFFT 配置可以利用不到 10% 的 Stratix III EP3SE110 FPGA 资源来实现。

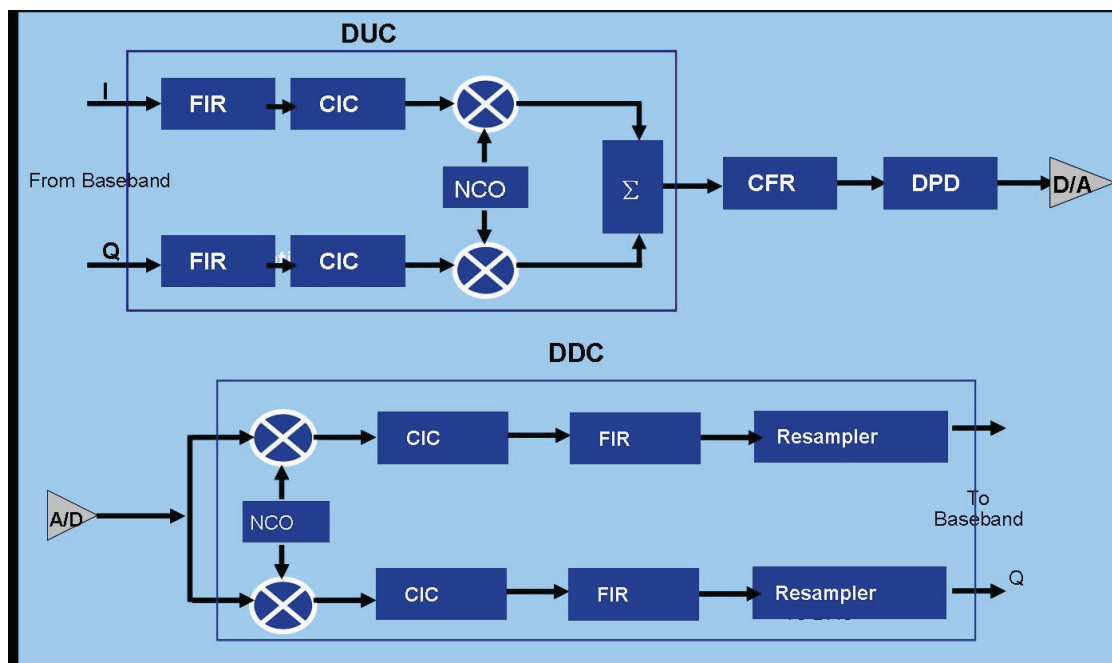
多路天线方案的优势更明显，包括更高的数据速率、阵列增益、分集增益和邻近信道干扰抑制能力等。聚束和空分复用 MIMO 技术对计算量的要求较大，涉及到矩阵分解和相乘等运算。特别是在这些系统中解线性方程组时，需要采用 Cholesky 分解、QR 分解和奇异值分解函数。这些函数会很快耗尽 DSP 资源，但是非常适合在采用了脉动阵列结构的 FPGA 中实现，这种结构通过并行 FPGA 来提供最具成本效益的解决方案。

数字 IF 处理和 RRH

图 3 显示了基带通道卡向 RF 卡发送数据，进行后续的数字中频 (IF) 处理，包括数字上变频 (DUC)、CFR 和 DPD。数字 IF 将数字信号处理的范围从基带扩展到了天线——RF 域，在降低生产成本的同时提高了系统灵活性。而且，数字变频要比传统的模拟技术更灵活，性能更好（在衰减和选择性方面）。需要采用 CFR 和 DPD 功能来提高基站功率放大器的效率，从而大大节省了 OPEX。CFR 和 DPD 都需要进行采样率高达 100+Msps 的复数乘法运算。与 DUC 相似，在接收侧需要采用数字下变频 (DDC) 将 IF 频率变回到基带。

引入 MIMO 和多载波体系结构需要采用时分复用和多通道技术。利用 Altera 的 IP 内核，以及创新的 DSP Builder 工具，在 Altera FPGA 中可以很容易实现这些任务。DUC 和 DDC 都使用复数滤波器体系结构，包括有限冲击响应 (FIR) 和级联积分梳状 (CIC) 滤波器。高级 FPGA 能够提供数百个 18x18 乘法器，运行速率高达 350MHz。这不但为多信道并行处理提供了平台，而且还是最具成本效益的集成单芯片解决方案。另一发展趋势是分布式 BTS，射频单元相对于 BTS 的其他部分位于远端，而不在一个地方。这些射频单元也称为远端射频前端 (RRH)，通过光链路和主要的 BTS 单元进行通信。CPRI 和 OBSAI 是实现 RRH 的两个标准。CPRI 和 OBSAI 接口一般在 FPGA 上实现，利用 BTS 体系结构的多通道特性可以实现成本效益非常好的解决方案。

图 3. 数字 IF 处理功能



结论

随着标准的稳定，应该逐渐降低最初对基站灵活性的要求，在这一阶段，高性能和长期降低成本的途径是获得市场成功的关键因素。一般采用 ASIC 来降低成本。FPGA 可以无风险移植到低成本结构化 ASIC，通过这一途径能够大大降低产品生命周期的后期成本。例如，Altera HardCopy® II 技术提供了无缝、无风险移植途径，从 Stratix II FPGA 切换到成本很低的 ASIC，同时也提高了系统性能。HardCopy 能够把成本和功耗降低近 70%，进一步减小了封装尺寸，同时降低了 CAPEX 和 OPEX 的构成成本。

在目前的无线基站设计中采用数字信号处理器和 PLD 一直是有效的设计方法。从系统吞吐量需求以及对成本的长期考虑出发，产品要获得成功的关键是基站体系结构的智能划分。这样可以确保最终的产品具备更新能力，性价比高，而且非常灵活，随着多种标准的发展而重新进行配置。

详细信息

- WiMAX 基站解决方案：
www.altera.com/end-markets/wireless/broadband/wimax/wir-wimax.html
- 3GPP LTE 基站解决方案：
www.altera.com/end-markets/wireless/lte/wir-lte.html

致谢

- Deepak Boppana, 技术营销高级工程师, 通信业务部, Altera 公司。
- Akshaya Trivedi, 资深战略营销经理, 通信业务部, Altera 公司。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2007 Altera 公司。保留所有版权。Altera, 可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品或服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或服务导致的责任。Altera 建议客户在决定购买产品或服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。