

在 40-nm 工艺节点实现世界上最先进的定制逻辑器件

引言

Altera 于 2008 年第二季度推出 Stratix[®] IV 和 HardCopy[®] IV 器件系列标志着世界上首款 40-nm FPGA 和业界唯一 40-nm ASIC 无风险移植途径的诞生。Altera 通过三年周密的规划和开发，并与代工线合作伙伴台积电 (TSMC) 协作，最终获得成功，交付定制逻辑器件展示了无可争议的产品领先优势。Altera 随后于 2009 年第一季度发布 Arria[®] II GX 和 Stratix IV GT FPGA 系列，实现了业界最全面的收发器系列产品。表 1 所示为 Altera 开发世界上首款 40-nm FPGA 的历史过程。

表 1. Altera 40-nm 器件的开发过程

日期	里程碑
2005 年第一季度	Altera 启动 40-nm FPGA 和 HardCopy ASIC 系列开发，在 40-nm 工艺上开始与 TSMC 合作。
2005 年第四季度	Altera 的第一组 9 种 40-nm 器件测试芯片投产
2006 年第二季度	测试芯片结构评估
2007 年第四季度	TSMC 发布产品级 45-nm 工艺，加强与 Altera 的合作。
2008 年第一季度	TSMC 发布 40-nm 工艺
2008 年第二季度	Altera 发布世界上首款 40-nm FPGA，Stratix IV 器件系列和首款 40-nm HardCopy IV ASIC。
2009 年第一季度	Altera 发布最全面的收发器系列产品，包括 Arria II GX 和 Stratix IV GT FPGA。

40-nm 工艺节点非常重要，它为 Altera 在性能最好、密度最大、功耗最低、性价比最高 FPGA 和 HardCopy ASIC 上保持领先优势打下了坚实的基础。

40-nm 工艺技术的重要性

40-nm 工艺要比以前包括 65-nm 节点和最近的 45-nm 节点在内的工艺技术有明显优势。最引人注目的优势之一是其更高的集成度，半导体生产商可以在更小的物理空间中实现更强的功能。国际电子器件大会 (IEDM) 报告了密度提高所得到的实际结果，主要的半导体生产商展示了他们在工艺技术上努力的结果。对 SRAM 单元大小进行了基准测试，表 2 列出了上次 IEDM 大会报道的最近工艺节点的 SRAM 单元大小 (以 45-nm 工艺单元大小递增的顺序列出)。如表中所示，工艺技术的提高使半导体生产商能够在更小的面积上实现更强的功能。

表 2. 65-nm 和 45-nm 工艺节点报道的最小 SRAM 单元 (1)

生产商 / 协作商 (2)	65-nm SRAM (μm^2)	45-nm SRAM (μm^2)	32-nm SRAM (μm^2)
TSMC	nr (3)	0.242	0.15
ST Micro、Freescale、NXP	nr	0.25	nr
富士	nr	0.255	nr
Intel	0.57	0.346	nr
IBM	0.54	0.37	nr
德州仪器	0.49	nr	nr
IBM、Chartered、Infineon、三星	0.54	nr	nr
IBM、东芝、索尼、AMD	0.65	nr	nr

注释:

(1) 来源: Real World Technologies, "Process Technology Advancements at IEDM 2007"

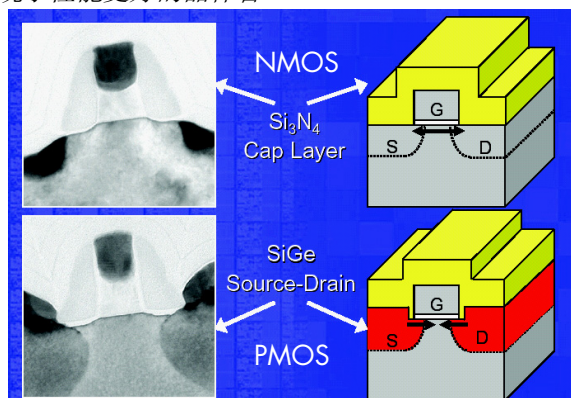
(2) 仅列出了报道 65-nm 或者 45-nm SRAM 单元大小的公司 / 组织

(3) nr = 没有报道

40-nm 工艺还具有明显的性能优势。40 nm 晶体管逻辑门长度比 65 nm 逻辑门长度短 38.5%，比 45-nm 工艺逻辑门长度短 11%。相应的低阻抗提高了 40 nm 的驱动能力，意味着性能更好的晶体管。

Altera 使用应变硅技术进一步提高了性能。例如，Altera 器件利用了 NMOS 晶体管保护层的拉伸应变以及 PMOS 晶体管源极和漏极掺杂硅锗的压缩应变（参见图 1）。这些应变硅技术将电子和空穴的移动能力提高了 30%，使晶体管性能提高了近 40%。

图 1. 40 nm 应变硅技术实现了性能更好的晶体管



密度和性能的提高意义非常大，而当今系统开发人员面临的最大的设计问题之一是功耗。40-nm 节点在这方面也有一定的优势，更小的工艺尺寸减小了产生动态功耗的杂散电容。特别是，TSMC 的 40-nm 工艺技术比 45-nm 工艺技术有功功率降低了 15%。

然而，如果不采取措施，工艺尺寸的减小会增大待机功耗。为解决这些问题以及其他越来越多的功耗问题，Altera 采取了积极的措施来降低 40-nm 器件的有功功耗和待机功耗。

结合领先的工艺和器件体系结构满足关键的系统设计需求

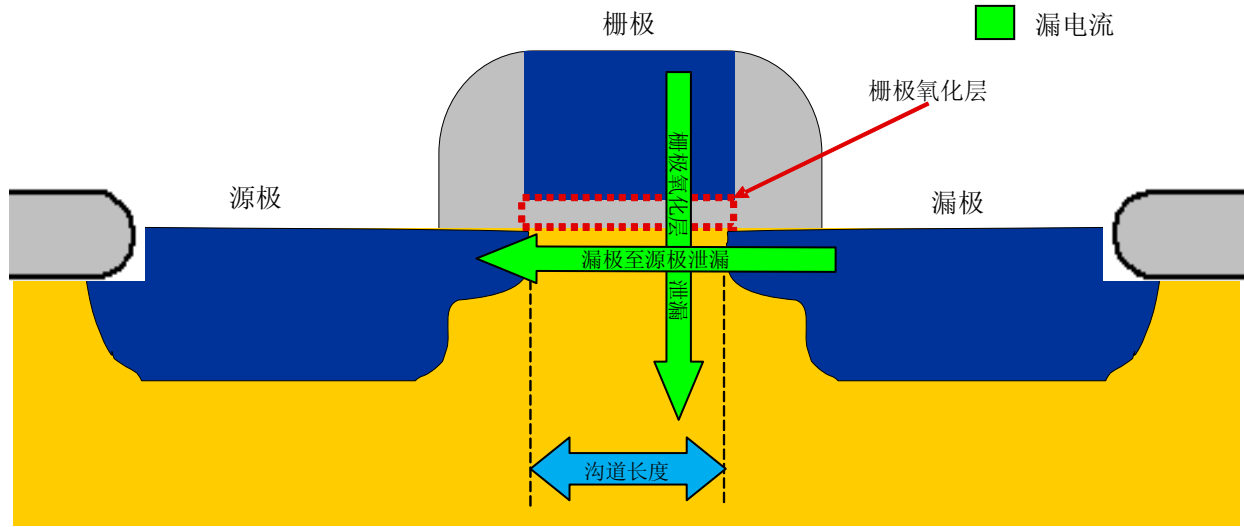
过渡到 40-nm 节点实现了摩尔定律预言的密度和性能优势。利用这些工艺优势并结合器件体系结构创新，Altera 继续为业界提供密度最大、性能最好的定制逻辑器件。由此，Altera® Stratix IV FPGA 和 HardCopy IV ASIC 分别能够提供 650K 逻辑单元 (LE) 和 13M ASIC 逻辑门。在性能方面，Altera 40-nm 器件系列逻辑性能达到了 600-MHz，收发器性能高达 8.5 Gbps，同时，1.6 Gbps 的 LVDS I/O 和 1066 Mbps 的单端 I/O 性能都是业界最好的，所有这些都不要以牺牲信号完整性为代价。

除了最高的密度和最好的性能，Altera 还致力于实现最低的功耗。当今小外形紧凑封装、便携性以及功效的发展趋势推动了对低功耗的需求。产品系统外形非常薄，体积非常小，限制了空气对流、热沉以及其他的散热管理解决方案。此外，很多应用首先考虑的问题是功率元件的工作成本，这促使低功耗成为最明显的竞争优势，是很多应用中必须要考虑的问题。设计目标在这方面的变化使得功耗成为选择系统元件时首先要考虑的标准。

FPGA 供应商的器件在功能越来越强的电路板上发挥的作用也越来越大，在很多情况下要实现系统核心功能，器件功耗管理的难度也随之增大。需要很大的投入才能在提高性能和降低功耗上达到平衡。

在深亚微米，随着向高级工艺的过渡，由于静态功耗显著增大，半导体功耗成为非常关键的问题。物理距离减小更容易出现电流泄漏。漏极至源极泄漏和栅极泄漏都与沟道长度和逻辑门氧化层厚度成反比，随着长度和厚度的减小会显著增大（图 2）。

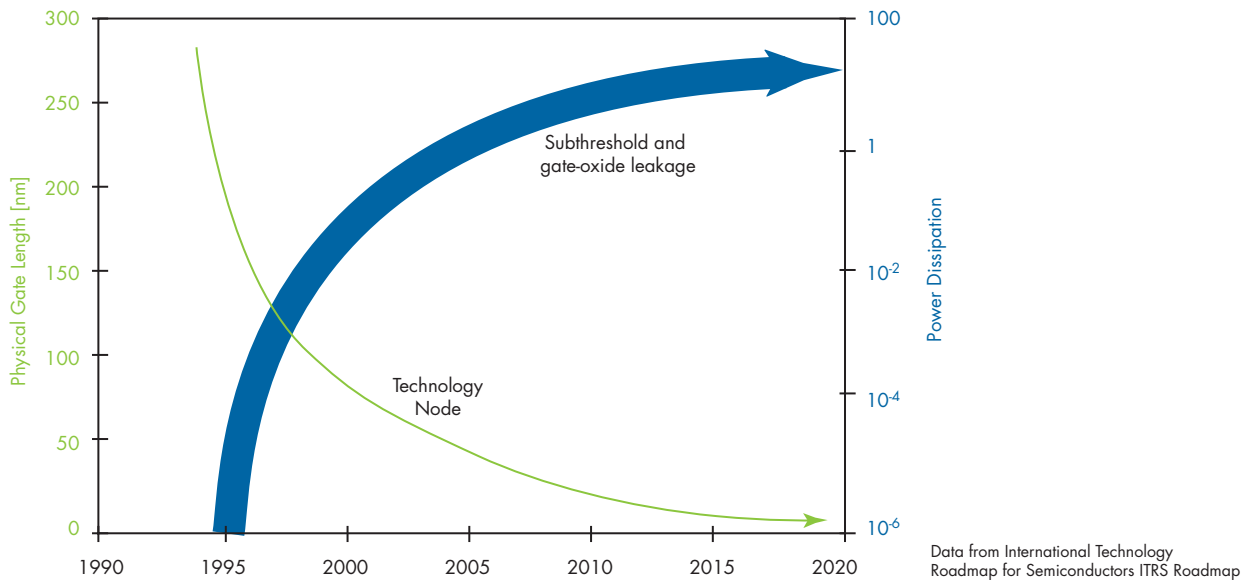
图 2. 晶体管源极漏电流



源极至漏极泄漏也被称为亚阈值泄漏，是漏电流的主要因素。在这里，即使晶体管逻辑门关断，电流也会从晶体管源极流向漏极。由于晶体管越来越小，很难防止出现这类电流，因此，在其他参数都相同的条件下，较小的 40-nm 晶体管比大工艺尺寸的晶体管更容易出现源极至漏极泄漏，而且漏电流更大。

晶体管阈值电压 (V_t) 也会影响源极至漏极泄漏的大小。晶体管 V_t 是沟道开始传导栅极和源极之间电流的电压值。较小的高速晶体管需要较低的 V_t 通过栅极控制来保持晶体管打开和关断的速率，但是由于晶体管沟道不能彻底关断，这也会增加漏电流。另一问题是栅极氧化层的厚度，它和掺杂一起也会影响 V_t 。较薄的氧化层使晶体管能够更迅速地开关，但是也增加了从栅极到基底氧化层的漏电流。随着工艺尺寸的减小，逻辑门长度越来越短，这些漏电流在增大，如图 3 所示。

图 3. 静态功耗随着工艺尺寸的减小而显著增大



Altera 主要采用 5 种方法来降低漏电流，如表 3 所示。所有方法都对性能有影响，使晶体管不能以最大速率工作。然而，Altera 进行了明智的选择，在晶体管级以性能换取低功耗，维持器件总体性能不变。通过分析

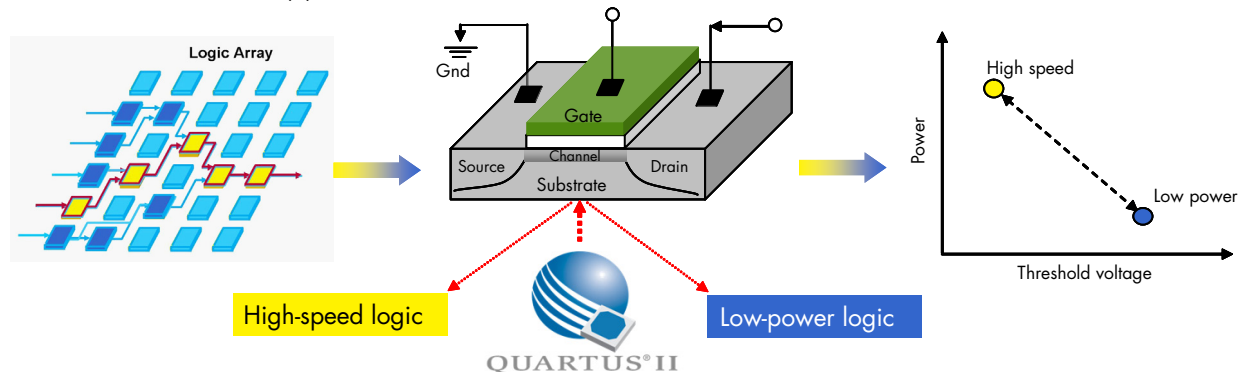
目标器件体系结构的电路通道，Altera IC 设计人员找到哪里最适合采用高性能晶体管，哪里需要采用低性能晶体管来降低泄漏。通过这种方式，40-nm 工艺为 Altera IC 设计人员提供了平台，实现最大范围的控制，尽可能同时达到高性能目标和最积极的功耗目标。

表 3. Altera 降低漏电流采取的方法

方法	对降低功耗的影响	对性能的影响
通过掺杂提高晶体管 V_t	降低源极至漏极漏电流	提高了晶体管接通电压，降低了开关速度。
增大晶体管沟道长度	降低源极至漏极漏电流	降低了晶体管开关速度
采用更厚的逻辑门氧化层	降低栅极至基底漏电流	提高了晶体管 V_t ，降低了开关速度。
通过可编程功耗技术提高晶体管 V_t	降低源极至漏极漏电流	提高了晶体管接通电压，降低了开关速度。
降低 V_{CC}	降低总漏电流	降低了开关速度

除了上面介绍的 5 种方法，Altera 采用了其独特的可编程功耗技术来降低静态功耗。这一专利功能内置在 Stratix IV 器件芯片中，使 Quartus® II 开发软件能够根据设计要求，改变晶体管 V_t ，以平衡性能和功耗。图 4 所示为可编程功耗技术的高级实现，Quartus II 软件根据时序驱动的编辑功能分析用户 FPGA 设计，选择逻辑阵列中的哪些晶体管应该采用高速模式，哪些应该采用低功耗模式。通过改变跨过反向偏置电压的晶体管 V_t ，减小了时序不重要通路上的晶体管泄漏（增大 V_t ），从而实现了低功耗，同时在需要的地方保持高性能不变。

图 4. 可编程功耗技术 (1) 通过设置晶体管反向偏置，平衡了功耗 / 性能。



注释:

(1) 这是可编程功耗技术非常简单的“模型”。实际情况各种各样，并拥有专利。

为降低器件的动态功耗，在 40-nm 器件上，Altera 将以前器件系列使用的 1.1V 内核电压降到了 0.9V。晶体管开关期间消耗的功率与 V^2C (其中， C 是电容) 成正比，因此，降低供电电压会导致动态功耗按平方比例下降。

减小内核电压也会影响晶体管性能，但是 Altera 再次利用了 40-nm 节点的高性能特性来保持器件级性能不变。如前所述，和以前的工艺节点相比，Altera 在 40-nm 节点某些晶体管上具有更强的驱动能力，IC 设计人员能够在驱动能力和降低功耗上达到平衡。

此外，Altera 在其收发器上降低了每个发送器和接收器通道的功耗，进一步降低了总功耗。Altera Stratix IV FPGA 还通过动态片内匹配 (OCT) 技术降低了有功功耗。采用动态 OCT 后，可以根据需要来接通或者关断 Altera 器件中的匹配电阻。在存储器读 / 写周期中，关断不需要的匹配电阻，去掉了电阻上的压降，对于 72 位接口，功耗能够降低 1.2 瓦。

总之，Altera 在 Arria II GX 器件上采取低功耗技术后，实现了带有 3.75-Gbps 收发器、功耗最低的 FPGA，其功耗比竞争器件低 65%。对于 Stratix IV FPGA，采取低功耗措施后，和 65-nm Stratix III FPGA 中实现的相似设计相比，总功耗（待机功耗 + 动态功耗）平均降低了 30%。

从技术领先到平稳提高产量

成功推出首款 40-nm FPGA 是非常重要的事件，但是 Altera 的目标不止于此，还要象以前工艺节点产品那样，实现高质量可靠交付。通过努力，Altera 依靠其可靠的开发实践，包括强大的测试芯片计划、严格的器件检验程序以及在提高产量上的独特优势，获得了极大的成功。所有这些方面都得到了业界坚实的代工线合作伙伴的有力支持。

Altera 的代工线合作伙伴 TSMC 是代工线市场的领先者。在专业代工线领域，TSMC 占据了 50% 以上的世界市场份额，年度研究和开发投入超出最相近竞争对手 55%。这些投入使 TSMC 在光刻和可生产性设计 (DFM) 方面占据了业界领先地位，进一步保证了 TSMC 能够成功交付高级工艺节点产品。最重要的是，在 40-nm 节点，TSMC 是浸入式光刻技术的领先者，该工艺结合光刻透镜和清澈液体，透过分辨率更高的光线，实现了更小、封装更紧凑的器件。浸入式光刻是大部分半导体公司开发 45-nm 节点及后续节点技术所选用的工艺，普遍认为也是 32-nm 节点要采用的技术。

和 TSMC 一起，Altera 积极组织多个联合工艺开发团队，以解决工艺开发面临的各种问题，包括功耗 / 性能、建模、测试芯片规划、存储器、可靠性、聚乙烯熔丝、DFM、RF/ 模拟、ESD 和封装等。所有团队在双方产品交付和先进性上达成一致，精诚合作，坚持到底。

业界最可靠的测试芯片技术

Altera 的实践表明，在 130nm、90nm 和 65-nm 器件生产中，对于新半导体工艺体系结构和器件特性的早期评估以及精细加工，测试芯片技术是非常有价值的工具。这一策略使 Altera 的器件产量稳步上升，已经证明是可编程逻辑行业最具特色的一点。在 40-nm 节点，Altera 以可靠的 9 种测试芯片计划为其最新一代产品获得成功再次建立了强大的基础。

由于需要大量的模板，采用测试芯片意味着较大的投入。Altera 与 TSMC 密切合作，保持了工艺效率，降低了成本。例如，TSMC 自己制造大量的测试晶片，全面进行特性测试，调整制作方法，然后监控产品。通过密切合作，在代工线晶片早期阶段实现了“背负式”测试结构，缩短了 Altera 产品投产时间，使客户能够尽早使用最先进的技术。同样的，在 Altera 的帮助下，TSMC 能够有机会使用其模板进行更多的测试。结果对双方都有好处。

通过采集并分析测试芯片数据，Altera 深入研究了各种随机和系统偏差的影响，开发设计策略来降低甚至消除这些不利影响。Altera 在测试芯片上的大量投入帮助客户避免了前沿半导体设计中的风险。对风险管理的关注展示了 Altera 在可靠交付新技术产品上的承诺，Altera 不会中断或者以有限的产量向客户供货，也不会提供达不到要求的产品。

系统检验过程

除了测试芯片阶段以外，Altera 还在开发和生产阶段进行严格的检验，确保所有芯片产品符合设计要求。检验过程包括以下步骤：

1. Altera 的 IC 设计团队进行大量仿真，包括统计手段，确保设计达到功能、性能和功耗规范。
2. 通过严格的检验程序，Altera CAD 和布局组确保设计完全符合 Altera 和 TSMC 的模板标准，成功实现设计。
3. 跨功能团队对关键管芯区域进行可生产设计 (DFM) 分析，保证能够可靠生产。这涉及到仔细分析设计布局，利用工艺技术经验，去掉边缘产品，对布局进行优化，以实现最大产量。

4. TSMC 保证了可靠的模板生产。大批量生产的最终产品不会出现模板尺寸边缘和缺陷导致的产量或者功能问题。
5. Altera 与 TSMC 合作, 确保芯片能够按要求制造, 符合所有相应的线内物理规范(层厚度、线宽等)和端线电气规范(晶体管特性、金属线阻抗等)。
6. Altera 产品工程组在晶片级和封装单元级进行全套的特性测试, 确保最终产品符合所有规定的功能、性能和功耗规范。他们还分析非功能单元, 与 Altera 其他团队一起确定产量下降的原因, 反馈给 TSMC, 进行改进。
7. Altera 的应用组从用户角度来测试器件, 验证所有的器件特性, 使用 Quartus II 软件开发配置文件, 对器件进行编程, 测试 I/O 电压电平, 检验所有结构单元的功能。
8. Altera 可靠性测试组负责测试芯片和最终产品, 在严格的环境中进行测试, 在最终发售给客户之前, 确保最终产品的短期和长期质量。

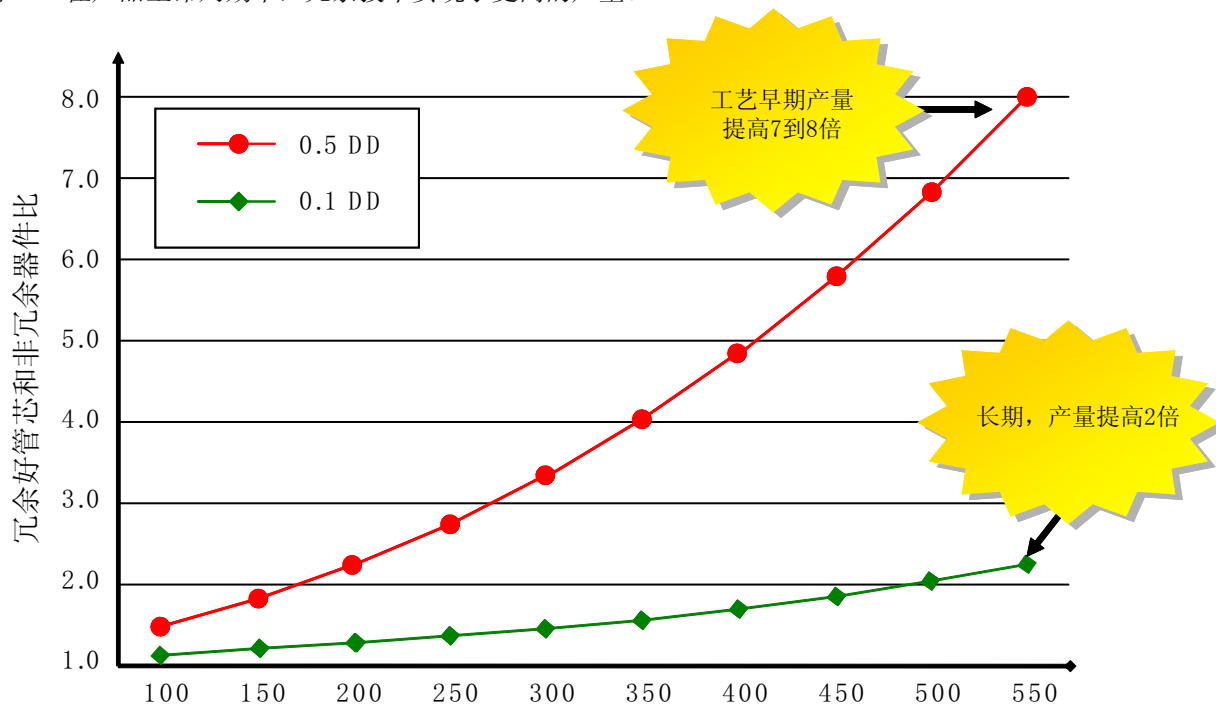
Altera 的每一新器件系列均采用了这一流程, 并不断进行改进。在所有产品中采用这些严格的测试和检验流程, Altera 保证了产品具有最好的质量、可靠性以及可用性。

独特的冗余技术提高了器件产量

Altera 是唯一使用专利冗余技术的可编程逻辑供应商。在提高器件产量和器件可用性上, 冗余是非常有效的方法。Altera 在其 FPGA 中嵌入“冗余”列电路来实现这一技术。如果确定某一列存在制造缺陷, 利用电熔丝停止使用该列, 激活冗余列。这一技术保留了管芯, 从而提高了硅晶片的总产量。

在工艺或者器件使用的早期阶段, 较大的管芯更容易受到缺陷的影响, 因此, 冗余技术对大管芯更有效。在大管芯器件中采用冗余技术能够将产量提高 8 倍。通过这种方式, 冗余技术提高了工艺早期的产量, 迅速降低了成本, 提高了可用性。随着制造工艺的成熟和缺陷密度的增大, 冗余技术将继续扮演重要角色, 帮助 Altera 在今后继续提高产量(如图 5 所示)。总体上, 冗余技术在 Altera 目前的产品质量中发挥了关键作用, 使 Altera 能够比其他可编程逻辑供应商更迅速的提供大批量质量可靠的产品, 特别是高密度产品。

图 5. 在产品生命周期中, 冗余技术实现了更高的产量。



在这些技术的支持下，以及以前节点的良好记录——所有 90-nm 器件按计划交付，世界上首款低成本 65-nm FPGA，Cyclone III 系列在投片后三个月交付，由此，Altera 能够可靠的交付 40-nm 产品。Altera 在 65 nm 上的记录，以 Cyclone III FPGA 为代表，在 TSMC 两条启动不到一年的 300-mm GigaFabs 上进行生产，这表明 Altera 可以平稳的进行量产。

结论

40-nm 工艺带来了新的设计挑战，在这方面出现错误的代价非常高。每一代产品的模板成本会增加 50%，在 40-nm 节点高达 3 百万美元。同样重要的是，由于逻辑门数量和芯片复杂度的提高，设计成本也随之增加，而且比模板成本增加得更快。这些困难把大部分公司挡在了 40-nm 设计之外，只有少数企业能够在这一节点展开设计。

而 Altera 的业务模式使其能够采用最先进的半导体工艺进行大量的投入来开发产品，并推向市场。Altera 经过在规划和开发上多年的努力，并通过与业界领先独立代工线的协作，最终获得成功，Altera 的 Arria II GX FPGA、Stratix IV FPGA 和 HardCopy IV ASIC 系列最早实现了 40-nm 技术的广泛应用，这是其他企业目前还做不到的。结果，Altera 客户能够通过最先进的定制逻辑产品来满足当今系统设计对功能、性能、密度和功耗最迫切的需求。

详细信息

- *Altera 在 40 nm: 抖动、信号完整性、功耗和工艺最佳的收发器:*
www.altera.com/literature/wp/wp-01057-stratix-iv-jitter-signal-integrity-optimized-transceivers.pdf
- *40-nm 功耗管理和优势:*
www.altera.com/literature/wp/wp-01059-stratix-iv-40nm-power-management.pdf
- *利用 Quartus II 渐进式编译提高效能:*
www.altera.com/literature/wp/wp-01062-quartus-ii-increasing-productivity-incremental-compilation.pdf

致谢

- Martin S. Won, 客户成功计划技术组资深成员, Altera 公司。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。