

40nm 风险可控工艺在军事应用上的优势

引言

芯片制造工艺在发展过程中每一个技术节点上都面临着极大的新技术挑战。以前，摩尔定律预言业界对需求有稳步增长，总是有买家购买密度越来越高的 FPGA，因此，可以逐步克服这些挑战。军事设计人员根据设计任务中数字逻辑性能（价格敏感程度）的关键程度而采用高密度逻辑器件以减小体积、重量和功耗，他们既是设计的“早期使用者”又是“追随者”，在整个设计周期中都可以发现他们的身影。

随着芯片制造技术向尺寸更小的新工艺技术节点迈进，Altera 等制造商和数字设计人员都需要做出有一定风险的决定。Altera 要保证在合适的时间以合适的价格启动下一工艺节点，而设计人员需要的是功能和性能的提高能够抵消复杂的设计工艺和芯片交付进度所带来的风险。这些要求促使加速开发 40-nm 芯片，在 2009 年年初为军事用户提供密度更高、速度更快的收发器技术。军事用户可以放心的是，在制造设计和产品上已经采用了标准风险管理工艺。在 40-nm FPGA 的风险和机遇问题上与军事客户及时沟通，Altera 帮助数字设计人员有效的衡量在国防电子领域采用大容量高效器件时的风险和机遇。

军事用户需求

FPGA 军事用户有各种各样的设计需求，但主要集中在其当前设计 FPGA 的特性上（参见图 1）。密度极高的 Altera® Stratix® IV GX FPGA 主要应用领域是雷达和电子战，以及保密通信中的大容量波形处理。这类系统越来越多的采用了数字上变频和下变频、采样、快速傅立叶变换 (FFT)、脉冲压缩和滤波功能，芯片系统 (SOC) 解决方案支持分辨率更高的多个传感器通道，从而提高了现有传感器的辨别能力。

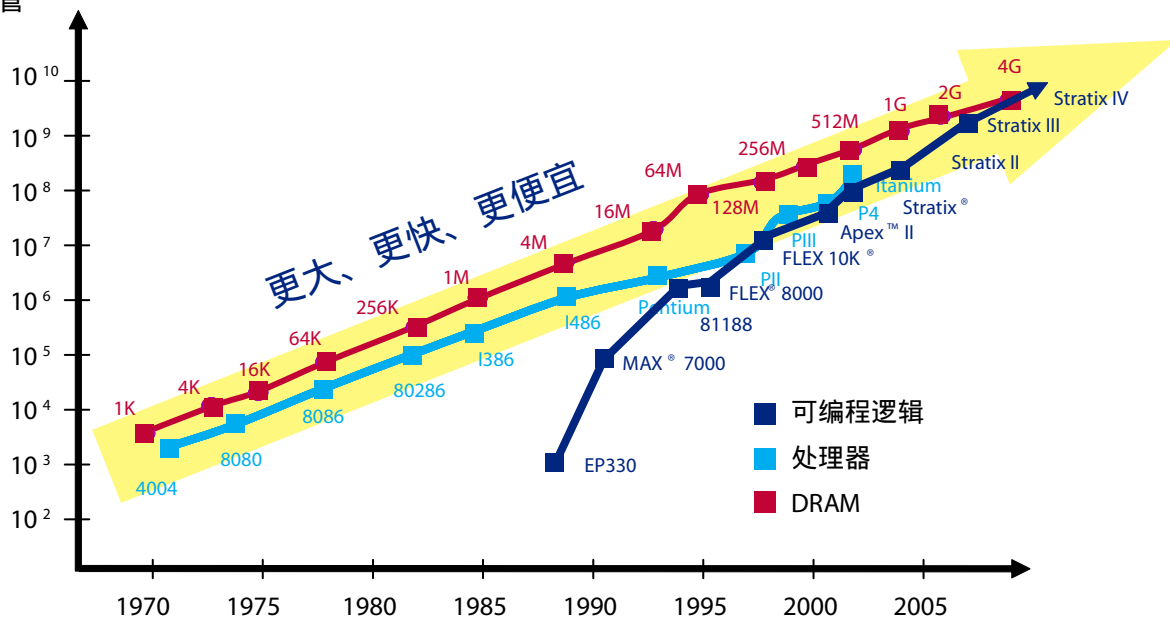
图 1. 军事客户需求的高层分析



位于系统核心的 FPGA

目前，Stratix IV 系列中的 FPGA 晶体管密度（可用晶体管）和处理器以及 DRAM 处于同一水平上。图 2 所示为处理器、存储器和可编程逻辑晶体管密度的增长曲线。

图 2. FPGA 随摩尔定律的发展
晶体管



随着这些复杂器件的出现，可以通过 FPGA 设计实现算法更复杂、元件数量更少、更灵活的系统。这种灵活性源自大量的设计投入和验证。

产品历史

今天的军事应用主要使用 130-nm、90-nm 和 65-nm 工艺技术节点制造的 FPGA。每一代 Stratix 和 Cyclone® FPGA 产品不但符合摩尔定律的发展，而且还帮助军事用户在功耗管理、专用数字信号处理 (DSP) 逻辑和嵌入式存储器等方面发挥了优势。嵌入式软核处理器和集成微处理器为设计人员在器件集成上提供了更多、更灵活的选择。

Altera 和竞争对手在每一芯片开发节点发布 FPGA 产品时的主要竞争表现在率先实现高密度逻辑投产上，然后是推出具有高速串行收发器的 FPGA 型号器件。然而，这种产品发布齐头并进的形势在 65-nm 和 40-nm 工艺节点上发生了战略性转移，Stratix IV GX FPGA 是最先具有收发器功能的器件。

过渡到 40 nm 的机遇

台积电 (TSMC) 为 Altera 提供的 65 nm FPGA 测试芯片在设计和工艺技术上获得了前所未有的成功。逻辑模块和收发器设计都成功通过了测试，可以放心进行生产，促使我们充满信心地从 65-nm 体系结构过渡到 40 nm。早期 40-nm 工艺技术的 Stratix IV 测试芯片同样获得了成功。

Altera 和 TSMC 并没有满足于 Stratix III 65-nm 产品的成功，而是看到了加速过渡到 Stratix IV 40-nm 器件的机遇，将工程资源集中在尽早为军事客户提供 40-nm 收发器器件上。由此，进一步推进军用设计，在收发器技术节点上增强风险管理。表 1 列出了 Stratix IV 器件在国防系统中的优势。

表 1. Altera Stratix IV 40-nm FPGA 器件的技术优势

改进	优势
680K 逻辑单元 (LE)	在一个芯片中, 规模更大的设计集成更多的功能。
灵活的功耗设置	控制性能和功耗达到平衡
1360 个 18 x 18 乘法器	密度更高的信号处理
22.4Mbits 存储器	使用更少的片外资源
48 个收发器, 速率高达 8.5 Gbps	大大提高了片内 \ 片外带宽
16 个全局, 88 个本地时钟	更灵活的时钟管理

过渡到 40 nm 的风险

过渡到新技术节点有机遇和优势, 但是也要综合考虑所遇到的风险。军用系统 FPGA 设计人员可能遇到的风险包括大容量 Stratix IV 器件的及时交付 (最初交付和全面量产)、新器件的制造缺陷、价格不确定性, 以及设计复杂度和器件利用率等。还需要重点考虑的是在以前技术节点所设计的专用知识产权 (IP) 的使用 (或者优化) 问题。只有对这些风险进行研究和管理的充满信心地采用 40-nm Stratix IV 器件进行设计。

机遇和风险管理

40-nm 制造工艺利用了 65-nm 体系结构的所有优点, 二者在同一平台上进行开发。这不但降低了方法上的风险, 生产风险、设计复杂度和编译时间、跨平台设计导出等方面的风险都得到了有效控制。

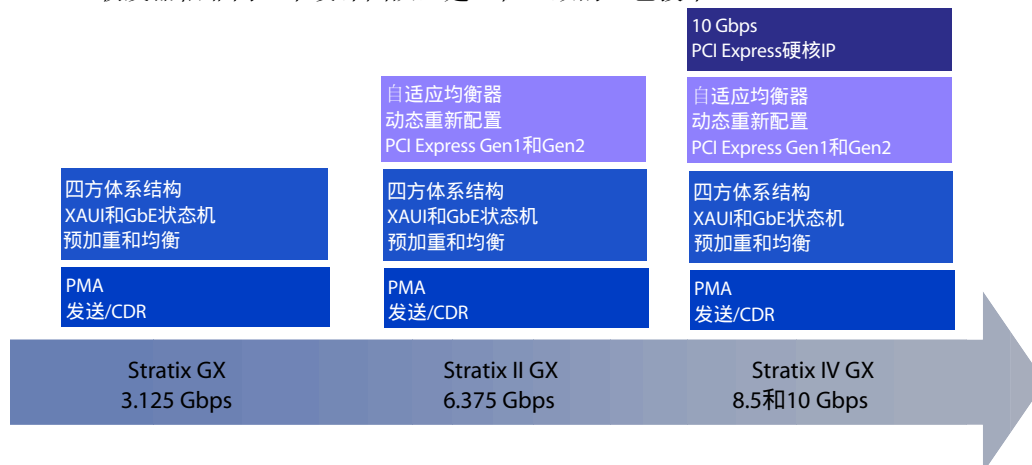
生产

系统设计人员为什么要关心 FPGA 的生产方法呢? 军用电子用户可能是对深入了解可编程逻辑供应商最感兴趣的, 原因是多方面的。军用电子系统具有较长的设计和验证周期。军用设计规划人员必须认真考虑是应该采用落后于竞争对手但是经过市场检验的芯片技术, 还是过渡到前沿技术, 以提高器件速度和带宽。衡量前沿技术风险最有效的方法是评估 FPGA 生产工艺的主动风险管理程序。

FPGA 供应商进行决定时考虑的一个重要因素是现有的生产关系。风险因素包括制造商关系是否牢固, 有多少年的合作关系, 制造商的技术领先地位等。任何芯片技术节点的生产风险都可以表示为供应商进度风险和器件可靠性风险。Altera 与 TSMC 的生产合作关系已经超过了 15 年, 在 40-nm 上共同进行研究和开发。这一投入的回报是 Altera 成为 40-nm 器件的首批客户。

在生产上的另一风险因素是收发器设计的连续性问题。采用了一致性较好的方法以及拥有稳固的设计团队, 收发器设计能够以最小的风险从一个芯片节点移植到下一节点。如图 3 所示, Altera 在每一代 Stratix 收发器技术上都保持了相同的收发器设计团队。

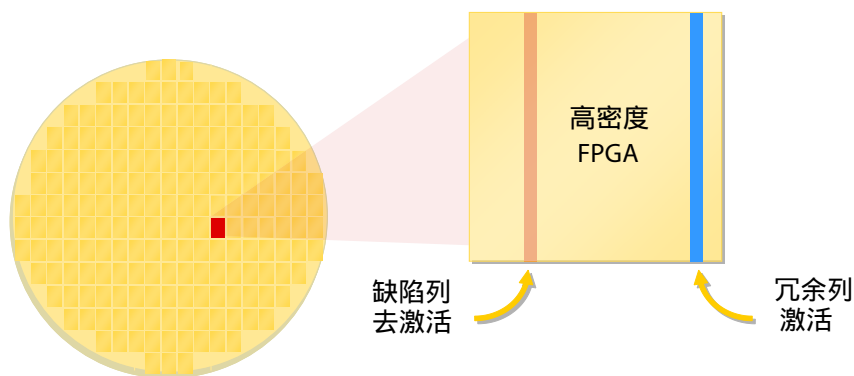
图 3. Altera 收发器依靠同一个设计团队, 建立在一致的工艺技术上。



Altera 在生产上采用了专利冗余技术 (图 4), 保证 Altera 及其客户能够提高产量, 降低生产风险。该技术使 Altera 充满信心地采用最新工艺技术, 而且降低了移植风险。该技术支持每一逻辑行在早期制造测试中分别激活和去激活, 从而显著提高了晶片可用率。

白皮书“利用40-nm 工艺节点实现世界上最先进的定制逻辑器件”对 TSMC 生产技术和 Altera 的冗余列电路进行了详细介绍。

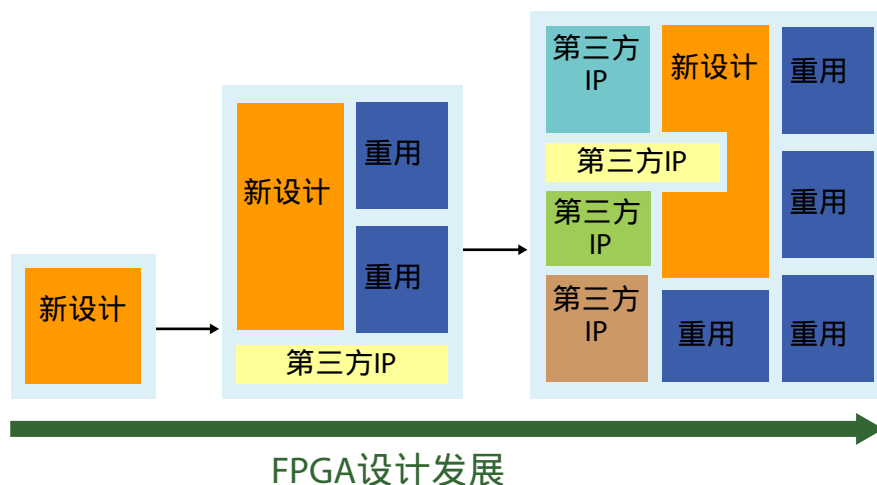
图 4. Altera 专利冗余技术降低了量产的风险



设计复杂度和编译时间

设计大容量 FPGA 时的部分风险包括设计复杂度和编译时间对国防电子设计进度的影响。如果不采用灵活的方法来管理设计软件, 设计时间会急剧增长, 如图 5 所示。为控制风险, Altera 在设计工具上进行了大量投入, 为大容量 Stratix IV FPGA 推出了新一代工具。

图 5. 随着 FPGA 规模的提高, 设计复杂度既是风险又是机遇



FPGA 设计中的编译时间与设计工具环境、设计复杂度和约束环境有关。用户对功耗和芯片的约束越多, 布局布线的时间就越长。Altera 的 Quartus® II 设计软件通过并行处理、宽总线操作系统, 以及用户工具 (渐进式编译和逻辑锁定) 支持, 实现了设计划分和分区锁定, 从而降低了 FPGA 布局布线的编译时间风险。

实现跨平台 FPGA 设计

随着 FPGA 复杂度的不断提高，很少有设计是从头开始逐步完成的。重新使用 IP 模块是军用 FPGA 设计的关键，可以从第三方购买这些模块，也可以在工程组织中对其进行封装，重新使用。

购买或者重新使用高速串行数据内核是实现系统设计的低风险方法，特别是这些内核得到商用性能标准认证的情况。然而，对于算术模块和非常专业的 IP，人们对使用第三方应用程序心存疑虑。在这种情况下，相对于降低开发风险，人们更关心通用性和性能风险。

在国防项目中实现小型“模块”IP 时，有四种特殊的风险。第一是使用相似的 FPGA 设计工具和器件，将 IP 模块从一个设计移植到另一设计。虽然不用从头开始建立每个构建模块，从而降低成本，但是存在着 IP 模块不能正确封装的风险。这意味着重新使用模块时，可能要满足不需要的时序约束。解决这一问题最好的方法是提供详细的内部 IP 文档和第三方综合工具。

第二是在不同代 FPGA 之间移植 IP 模块的风险（例如，从 90 nm 或者 65 nm 向 40 nm 移植）。对于 FPGA 供应商提供的 IP，在所有尺寸上重新发布这些 IP 模块，以提高性能。但是，IP 移植到更现代的器件中时，其性能和时序会受到影响。几乎所有 FPGA 供应商都提供设计分区工具，评估对 IP 的影响，对模块进行改进。

在需要实现大批量、成本敏感、抗辐射能力较差的应用时，面临的第三种风险是把 IP 从 FPGA 移植到 ASIC 的问题。大部分关于 FPGA 至 ASIC 设计的建议是采用认证过的第三方 IP。而对于 HardCopy® ASIC 设计，IP 移植几乎没有风险。FPGA 和 ASIC 的设计软件相同，从同一 HDL 设计中产生 FPGA 和 ASIC 网表，甚至电压变化都相同。

最后也是最大的风险是 IP 在不同 FPGA 供应商之间移植的问题。几家公司开发了“FPGA 未知”应用层来嵌入计算产品，该项目得到政府客户的支持，他们希望在国防产品中采用两家供应商这种模式。在国防电子领域，“中途换马”的风险非常大，但是采用 Quartus II 等单流程软件设计系统能够大大降低这种风险。

结论

如表 2 所列，对 40-nm FPGA 技术机遇和风险的评估主要集中在产品及及时面市、设计效能和数字信号处理换代上。可以根据国防客户特殊的项目需求和进度安排进行更深入的风险分析。

表 2. 40-nm FPGA 设计的风险和机遇

风险	机遇
<ul style="list-style-type: none"> ■ 率先面市的 40-nm FPGA 收发器 ■ 65-nm 收发器没有投产 <p>影响：技术问题，延迟</p>	<ul style="list-style-type: none"> ■ 片内和片外带宽前沿技术 ■ 高密度器件上最高的逻辑、乘法器、存储器和电源效率 ■ 能够移植到带有收发器的结构化 ASIC <p>影响：大大提高了每一代数字逻辑的性能</p>
风险管理	机遇管理
<ul style="list-style-type: none"> ■ 多系列测试芯片，优异的结果。 ■ 重新使用高功效 65-nm 工艺，对特性充满信心。 <p>影响：在交付 40-nm 技术上充满信心</p>	<ul style="list-style-type: none"> ■ 在提高高密度设计效能上加大投入 ■ 与业界芯片制造领先者独特的合作关系 <p>影响：在 40-nm 技术上，可马上进行设计和实施的机遇。</p>

对于大部分新技术，采用全功能 Stratix IV FPGA 需要对很多应用的体系结构进行改进。采用可编程逻辑或者可重新配置软核处理器，能够有效地实现军用嵌入式系统的管理和处理功能。采用 Stratix IV 进行设计，借助大量的逻辑资源，更多的 IP 通过简洁的 VHDL 代码实现，军用系统开发人员在设计过程和资源重新使用上将得到极大的回报。

详细信息

- Altera 的军事应用风险和效能管理：
www.altera.com/products/devices/stratix-fpgas/stratix-iv/end-markets-applications/stxiv-military.html
- 利用 40-nm 工艺节点实现世界上最先进的定制逻辑器件：
www.altera.com/literature/wp/wp-01058-stratix-iv-40nm-process-node-custom-logic-devices.pdf
- 40-nm FPGA 和国防电子设计组织：
www.altera.com/literature/wp/wp-01064-40nm-fpgas-and-defense-electronic-design-organization.pdf
- 采用 Quartus II 渐进式编译提高效能：
www.altera.com/literature/wp/wp-01062-quartus-ii-increasing-productivity-incremental-compilation.pdf
- 对比 FPGA 实现的 IP 集成方法：
www.altera.com/literature/wp/wp-01032.pdf
- Quartus II 设计软件：
www.altera.com/products/software/sfw-index.jsp
- 采用 SOPC Builder 提高效能：
www.altera.com/products/software/products/sopc/sop-index.html
- Altera 的增强 COTS 计划：
www.altera.com/end-markets/military-aerospace/overview/mil-overview.html
- Altera 的 40-nm 产品组合：
www.altera.com/b/40-nm-devices.html

致谢

- J. Ryan Kenny, 技术市场经理, 军事和航空航天事业部, Altera 公司。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2008 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。