

电信应用的功耗最优解决方案

引言

目前，某些电信运营商制定了采购设备每年功耗降低 20% 的目标。这主要是针对中心机房功耗越来越大这一问题，导致功耗增大的原因包括带宽容量提高、线路卡端口密度增大、更多的智能处理要求以及采用更复杂的芯片等。对于电信供应商，功耗越大，运营成本就越高，对于设备供应商，在处理散热问题时就会遇到更复杂的工程挑战。

半导体是这一功耗问题的关键所在。其解决方法是重新设计芯片实施和交付方案，以满足运营商越来越高的低功耗目标要求。在这方面，主要推动力量是最新一代 FPGA。以前，人们总是认为 FPGA 功耗大，但是，现在它却最适合解决功耗问题。通过采用基于 40-nm 的半导体最新制造工艺以及创新方法来优化这些复杂的器件，设计人员能够在单芯片中集成更多的功能。这不但降低了总功耗，而且还可以降低后续工艺节点每一相应功能的功耗。

TPACK 便是能够充分发挥低功耗优势的公司之一。TPACK 为世界上最大的电信系统供应商提供基于 Altera® Stratix® IV FPGA 的运营商级以太网芯片解决方案。Altera 高性能、低功耗技术与 TPACK 高度集成复杂器件专业技术相结合，将为系统供应商提供最受欢迎的解决方案。他们不但可以继续提高带宽容量，完成更智能的处理，而且是使用低功耗芯片方案来实现这一切。

此外，TPACK 提供的芯片解决方案可以导入到最新的 FPGA 中，进一步降低功耗。最终实现的系统不但大大降低了目前的功耗，而且在未来几年中，仍能满足继续降低功耗的要求。

功耗问题越来越严重

在构建系统和芯片时，功耗一直是主要考虑的问题，而这一问题为什么现在越来越受关注了呢？这不仅仅是全球变暖或者采用最新技术趋势的问题。由于采用了非常复杂的散热系统，耗电量越来越大，运营商运营成本居高不下，导致了能源成本不断增加。最近，能源成本显著增加，使这一问题越来越复杂。

据英国消费者服务跟踪能源价格指数——EnergyChoices，2008 年能源成本中，电能增长 66%，燃气增长 60%。而且，这不是最近才出现的现象。美国能源部能源信息管理署的数据表明，2000 年至 2006 年，电能平均零售价格增长了 27%。由此，电价还会继续增长。

这些统计结果促使运营商非常重视降低能耗。例如，2008 年 6 月份，Verizon 成为制定网络、数据中心和消费类设备能效目标的首家运营商，到 2009 年，能效要提高 20%。Verizon、BT 和 AT&T 对各类设备规定了严格的能效标准。其他运营商也随后在采购中提出了能效要求。

功耗挑战

满足严格的能效要求是系统开发人员面临的主要挑战。过去几年中，功耗增长很快，要求功耗降低 20% 还远远不够。

系统展望

系统功耗的一个主要来源是用于处理数据流量和相关存储器的半导体芯片。对于互联网协议 (IP) 路由，它需要规模较大的查找表和大型存储器，以及 4 到 8 个三重内容可寻址存储器 (TCAM)。由于 TCAM 的典型功耗一般为 15W，因此，总功耗会达到 120W。

系统开发人员使用专用处理器，在 2 层和 2.5 层完成更多的操作，通过以太网和 MPLS 来避免使用 TCAM，从而解决了这一问题。可以使用 DRAM 和 SRAM 存储器作为替代方案，其典型功耗只有 2W。这样，使用低功耗存储器的处理器成为功耗的主要来源，其功耗大小取决于所使用芯片的复杂度和带宽。

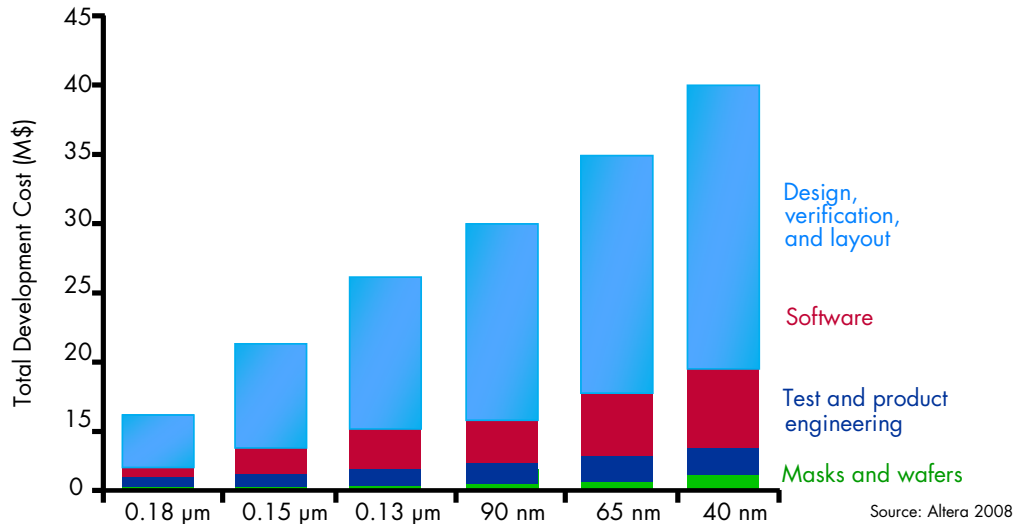
例如，以 Broadcom 在路由器中使用的系列控制处理器为例。对于 BCM1122 单核处理器，它带有一个 10/100/1000 以太网接口和一个 10/100 以太网接口，功耗是 4W。但是，内核数量加倍以支持更多的接口时，功耗随之加倍。因此，双核 BCM1250 的功耗在 8 到 10W，支持三个千兆以太网接口的四核 BCM1455 功耗为 19W。

用于处理数据包的网络处理单元 (NPU) 功能越来越复杂，也消耗了大量的能量。EZChip 10-Gbps NP-1c 功耗为 15W，20-Gbps NP-2 功耗为 17W，30-Gbps NP-3 功耗达到 20W。即使考虑了向更小工艺尺寸的过渡，每增加一个 10 Gbps 交换端口，功耗就会增加 2 到 3W，这对于快速发展的 100-Gbps 处理意味着什么？

半导体经济

在向 100-Gbps 系统发展过程中，逐步采用了复杂的大容量芯片解决方案，功耗解决方案必须跟上半导体制造工艺的飞速发展。这需要采用密度更高、带宽更大的芯片，以及相对功耗较低的系统。但是，在向每一工艺迈进过程中，小工艺尺寸芯片开发成本呈指数增长的趋势 (图 1)。因此，开发专用芯片来满足高端电信系统需求难度非常大。

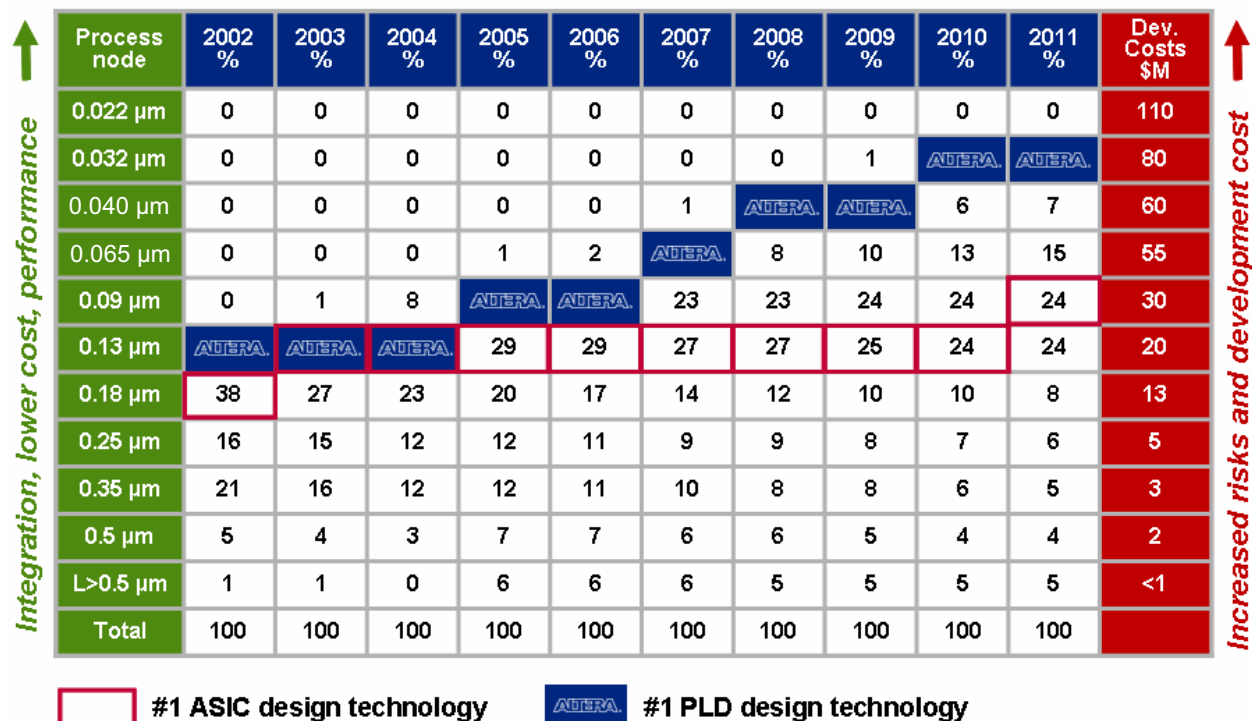
图 1. 工艺节点减小后的芯片开发成本



高端电信系统需要的系统和芯片数量量级在几千左右，而与半导体制造相关的系统和芯片数量却是以数百万计。大量相竞争的协议和技术进一步细分了这一市场，因此，很难有把握预测开发新芯片的收益。考虑到这些不可预测性，很多 ASSP 芯片供应商不再从 130-nm 向 90-nm 工艺过渡，极少采用 65-nm 及其以后的工艺。

相反，FPGA 采用了很多最新制造工艺 (图 2)。FPGA 是很多纵向行业应用的基础，包括通信、军事、汽车和消费类产品等。这一广阔的应用基础足以收回在最新半导体制造工艺上的投入。

图 2. ASIC 设计启动所采用的技术



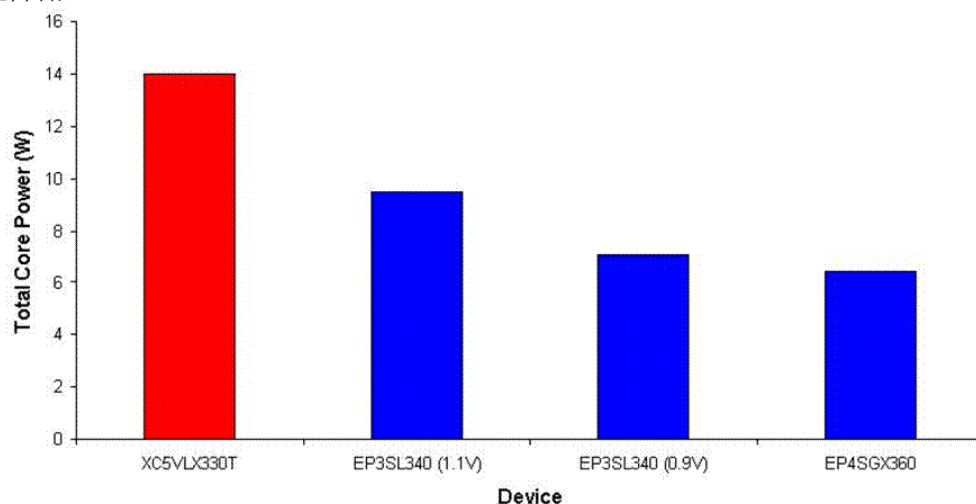
Source: Altera & Gartner Nov 07

芯片展望

随着半导体工艺尺寸的减小，电容和电压减小等因素的变化导致动态功耗自然降低。例如，与采用了同一体系结构的 65-nm 工艺节点相比，低电压 (0.9V) 40-nm 工艺的动态功耗降低了 33%，而且，电容减小了 30%，进一步降低了动态功耗。

然而，其他因素导致功耗明显增大，抵消了动态功耗的降低。例如，由于更小的工艺尺寸出现了各种泄漏源，静态功耗会大大增加。此外，在更小的工艺尺寸上，密度提高，时钟频率增大，动态功耗也会增加。因此，如果在开发 40 nm 以及后续芯片时没有认真投入，针对功耗优化进行设计，那么功耗将会越来越大。Altera 首先把功耗优化作为开发 40-nm Stratix IV 系列的关键目标，与竞争 FPGA 技术相比，其功耗降低了数瓦 (图 3)。

图 3. 功耗降低 50%



解决功耗挑战

在前沿硅片技术中处理功耗问题涉及到多种方法，包括工艺、体系结构和设计优化等。下面介绍开发功耗最优方案时采用的工艺优化、体系结构优化和设计优化方法。对功耗进行优化的关键方法是可编程功耗技术，根据一定的设计要求，可以选择性地接通或者关断每个逻辑阵列模块 (LAB)、存储器和数字信号处理 (DSP) 模块，从而降低了功耗。

工艺优化

在针对功耗而优化 Altera 40-nm FPGA 的各种技术中，每一种都有各自的优缺点：

- 逻辑门多层氧化（三重氧化）
 - 每个晶体管以静态功耗换取速度
- 多阈值电压
 - 每个晶体管以静态功耗换取速度
- 低 k 金属间绝缘
 - 降低动态功耗，提高性能。
- 超应变硅
 - 电子和空穴移动能力提高 30%
 - 功耗和性能达到平衡
- 铜互联
 - 提高性能，减小 IR 降。

 关于这些工艺优化技术的详细信息，请参考 Altera 白皮书，[40-nm FPGA 功耗管理和优势](#)。

体系结构优化

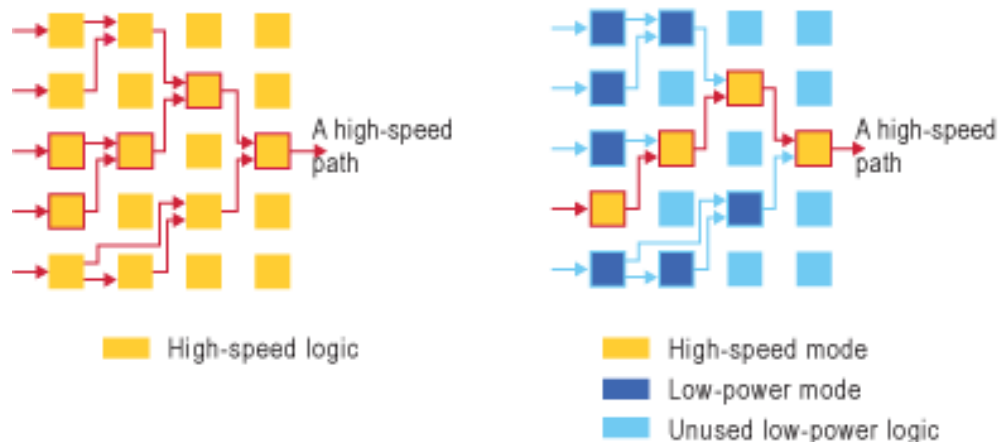
电信线路卡根据到达数据包流量来进行路由选择。它需要高性能外部存储器来缓冲数据包，同时进行路由选择。Stratix IV FPGA 提供动态片内匹配 (OCT) 功能，降低了线路卡功耗。在将数据包写入存储器时，动态 OCT 功能禁止写操作并行匹配，从而降低了静态功耗。

设计优化

根据设计要求，可编程功耗技术可以使每一个可编程 LAB、DSP 模块和存储器模块工作在高速或者低功耗模式下。没有针对功耗进行优化的 FPGA 中的模块以一种速率运行——最高速率，来支持关键时序通路（图 4 中黄色模块所示）。使用 Altera 的可编程功耗技术，阵列中除了设计为关键时序通路的 LAB，所有其

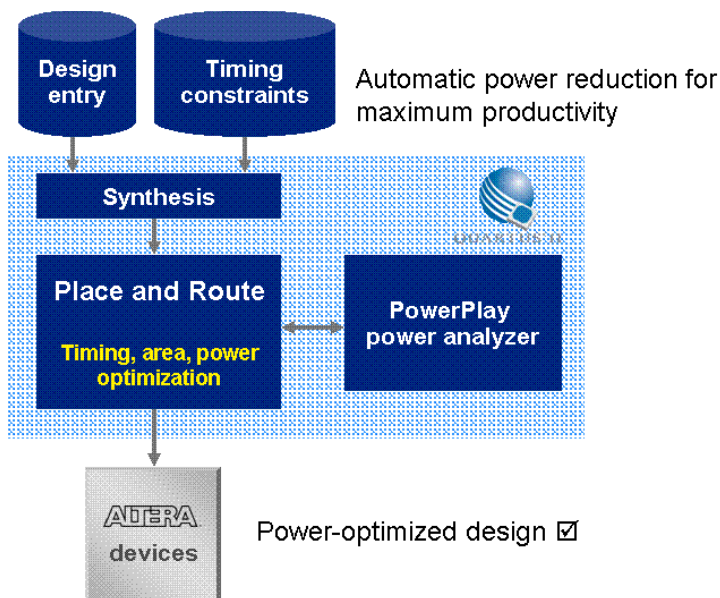
他 LAB 都可以设置为低功耗模式（图 4 中蓝色模块所示）。只把关键时序通路设置为高速模式，从而有效降低了功耗。

图 4. 标准 FPGA 架构（左侧）和采用了可编程功耗技术的 Stratix III FPGA 架构（右侧）对比



Altera 进行创新的另一关键技术是具有功耗预知能力的 Quartus[®] II 开发软件综合以及布局布线引擎。这一降低功耗的方法对设计人员而言是透明的，可以通过简单的编译设置来实现。设计工程师把时序约束作为设计输入过程的一部分来进行设置，对设计进行综合以满足性能要求。如图 5 所示，Altera 和第三方工具为每一逻辑自动选择所需的性能，通过功耗预知布局布线和时钟来降低功耗。

图 5. Quartus II 软件的综合以及布局布线引擎



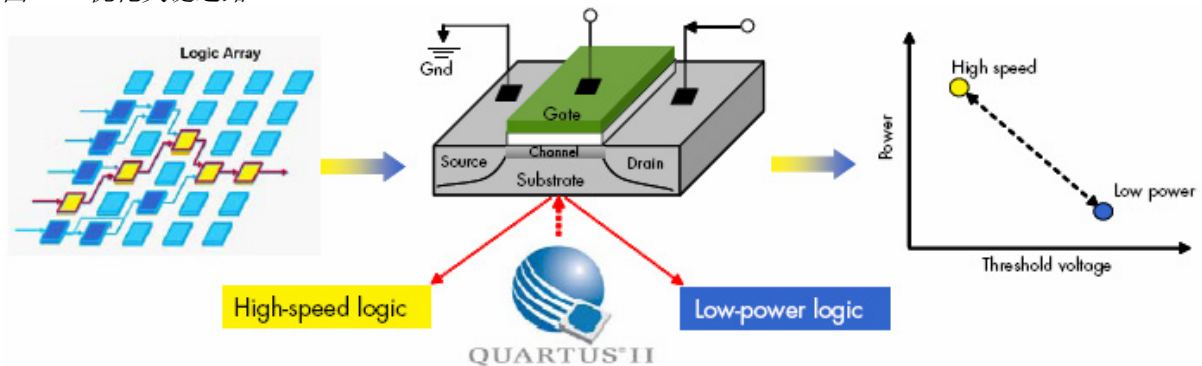
最终设计满足了设计人员的低功耗要求。设计人员可以选择最低程度或者最大程度优化。选择最大程度优化可以最大限度地降低功耗，但是编译时间较长。根据设计和所选择的优化程度，结果会有所不同。这一功能的目的是不需要设计人员的干预便能够降低功耗，同时对设计性能的影响最小。

通过 Quartus II 开发软件优化功耗

Altera Quartus II 软件功耗优化涉及到三个步骤。Quartus II 软件首先进行“功耗预知”综合。功耗预知意味着软件可以减少每个时钟周期中要访问的 RAM 模块数量，还可以重新安排设计，以减少触发频率较高（或者易受干扰）的逻辑。

功耗预知综合之后，Quartus II 软件对信号进行布线，减小电容，建立高功效 DSP 模块配置，完成功耗预知布局布线。Quartus II 软件中的 PowerPlay 功耗优化功能指导适配器使用额外努力选项，利用专门的功耗体系结构特性，对设计进行功耗优化。例如，图 6 显示了 Stratix IV 内核逻辑块怎样工作在高速模式或者低功耗模式下。使用时序约束，Quartus II 软件保证了设计中关键通路在性能上达到最优，而时序不重要的通路在功耗上最优。这对于内核静态功耗有积极的影响，通常能够降低 37%。

图 6. 优化关键通路



汇编器将 FPGA 中未使用的区域置于低功耗状态，减少了未使用逻辑的触发，进一步降低了功耗。PowerPlay 功耗分析器使用 Altera 的高级建模技术，精确地估算设计功耗。功耗分析器生成详细的功耗估算分析，使设计人员能够在整个设计过程中管理并验证功耗预算。它还包括功耗优化向导，提供降低功耗的建议和信息。

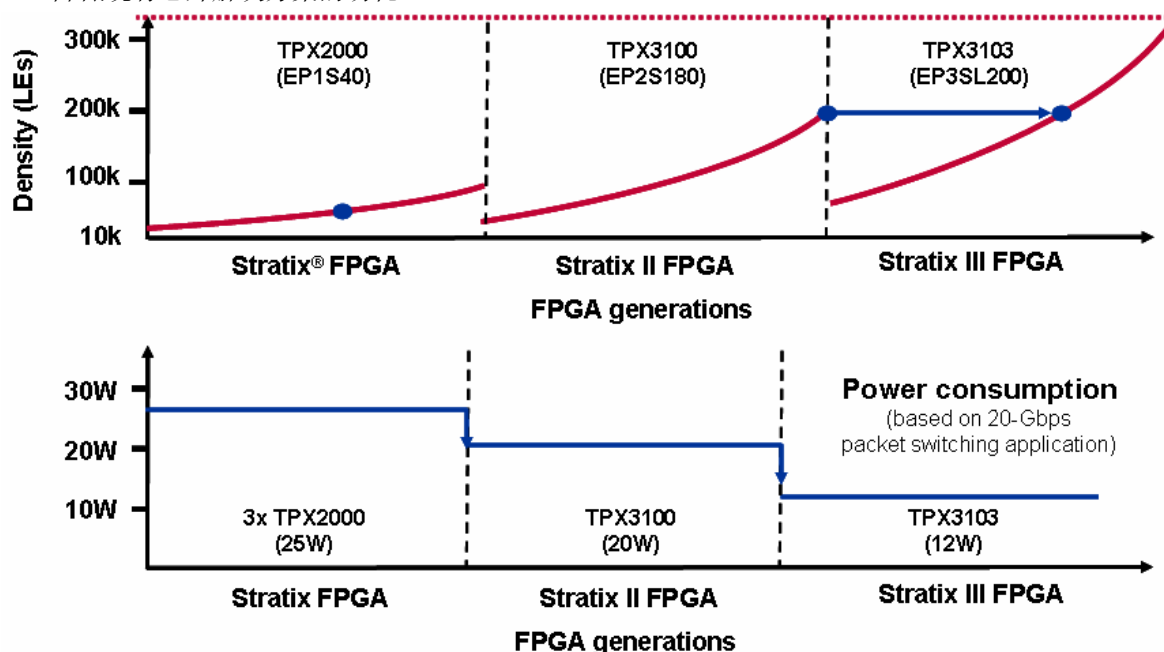
发挥 FPGA 的优势

基于 FPGA 而不是基于代工线制造工艺进行芯片开发，专用芯片产品可以充分利用芯片制造最新开发技术，实现高功效解决方案。芯片供应商 TPACK 称这一方法为 SOFTSILICON，使用 Stratix IV FPGA 为电信系统供应商提供运营商级以太网数据包处理、流量管理和设计包映射芯片解决方案。

关于 SOFTSILICON 的详细信息，请参考 TPACK 的白皮书: [SOFTSILICON 实现灵活的数据包传送](#)。

TPACK 的这一 SOFTSILICON 概念不但能够开发容量更大的新芯片，而且还降低了现有设计的功耗。如图 7 所示，TPACK 的运营商级数据包引擎基于不同工艺尺寸的每一代 Stratix 系列 FPGA，提供集成运营商级以太网数据包处理和流量管理功能。

图 7. 降低现有芯片解决方案的功耗



从 Stratix 过渡到 Stratix II FPGA，TPACK 将运营高级数据包引擎容量从 6 Gbps (TPX2000) 提高到 20 Gbps (TPX3100)，降低了每 Gbps 交换容量的相对功耗。通过将这一解决方案从 Stratix II 导入到 Stratix III FPGA (TPX3103) 中，功耗降低了近 40%。

SOFTSILICON 方法的功耗优势主要体现在以下两个方面：

- 采用最新的 FPGA 平台，以每 Gbps 更低的相对功耗提供更大的交换容量。
- 现有设计导入到最新的 FPGA 平台，进一步降低功耗。

这些优势有助于满足现在以及今后运营商对低功耗的严格要求。

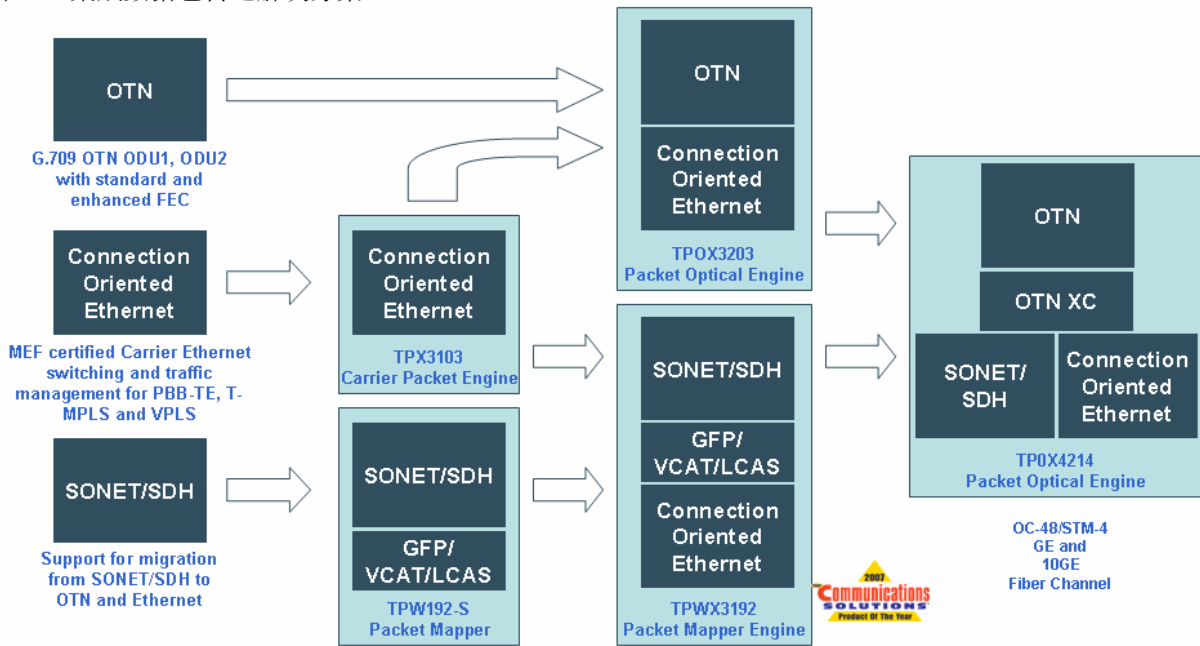
发挥 SOFTSILICON 的优势

SOFTSILICON 充分发挥了前面介绍的 FPGA 的优势，不仅如此，FPGA 还为标准无厂模式提供其他芯片开发方法，帮助专用芯片供应商满足系统供应商和运营商的需求。还需要 TPACK 等专用芯片供应商发挥其专业技术优势，开发高度集成的复杂芯片解决方案，实现市场所需要的高级功能。

FPGA 以前用于实现相对较少的功能（置入到 ASSP 中）或者作为“胶合逻辑”连接两片不兼容的 ASSP。只是在最近几年，更多的复杂芯片方案尝试采用 FPGA，而 TPACK 就是最早这样做的公司之一。通过 SOFTSILICON，TPACK 提供了真正的 ASSP 替代方案，具有更好的性能，特别是在功耗上。在这方面，集成也发挥了重要作用。在单芯片中集成更多的功能可以减小电路板面积，降低功耗，如果需要，还能够灵活的更新解决方案，迅速修复故障。需要着重指出的是，ASSP 集成的不足之处是出现故障的风险随复杂度的提高而增大，而对于 FPGA，能够迅速纠正这些故障，降低了集成的外在风险。

图 8 显示了 TPACK 芯片方案不断发展，它在 SONET/SDH 和光传送网 (OTN) 技术中集成了面向连接的以太网交换和流量管理功能，满足了新出现的数据包光传送网 (P-OTN) 的需求。这些解决方案基于 Stratix III 和 Stratix IV FPGA，支持高度集成的器件，充分发挥了 TPACK 在运营高级以太网交换、流量管理和数据包映射上 7 年多的工作经验，以及在提供高度集成解决方案上成熟可靠的经验。

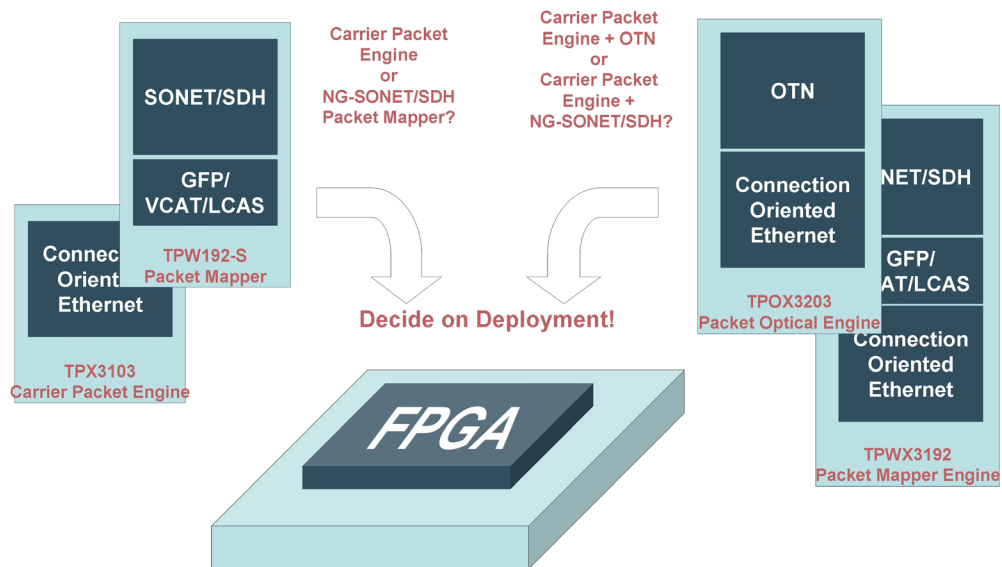
图 8. 集成数据包传送解决方案



使用通用线路卡构建高能效系统

从上面的讨论中可以清楚的看出，在系统设计中使用 SOFTSILICON 产品具有功耗优势。而且，如果系统设计采用了通用线路卡，SOFTSILICON 还能够进一步降低功耗。图 9 显示了可以实现的某些特性。

图 9. 单芯片支持多种特性



通用线路卡或者多功能线路卡基于 SOFTSILICON 和可插拔光模块。可以根据需要来定义不同的接口和逻辑，因此，多种应用中能够使用同一种线路卡硬件设计。例如，在某一应用中，线路卡通过 NG-SONET/SDH 数据包映射支持以太网，而在另一应用中，它支持运营商级以太网交换和流量管理功能。要实现这些功能，所需要的就是具有各种选项的线路卡设计，以及多个 SOFTSILICON FPGA 镜像，在上电过程中对底层 FPGA 平台进行编程。

通用线路卡方案的优势

通用线路卡方法具有很大的系统开发优势，但是从功耗角度看，最重要的优势是能够在实施时减少卡上所定义的功能数量。在典型的芯片开发中，系统供应商和运营商客户需要的所有特性和接口选项都被设计到一个芯片中。之所以包括了所有可能的选项，是因为今后如果有某种需求，而现在的设计不能提供，就会导致高成本的重制，将这些功能增加到 ASIC 或者 ASSP 中。在实际应用中，运营商并不需要大部分这些功能，但是，所有功能必须置入到芯片中，以便能够尽可能多的适应各种应用。

通过采用通用线路卡方法，只需要把具体应用要求的功能装入到 FPGA 中。这意味着功能更少、逻辑更少的 FPGA 芯片，而且体积更小，功耗更低。该方法需要管理多个不同的 FPGA 镜像，但是具有能够适应运营商特殊需求的优势。

结论

虽然运营商对降低功耗的要求非常高，但是可以满足功耗优化需求，而且解决方案唾手可得。Altera 的 40-nm Stratix IV FPGA、TPACK 在 SOFTSILICON 上的专业技术以及通用线路卡方法为系统设计提供了所需的一切，其大容量数据包传送解决方案满足甚至超越了客户需求，同时还突出了产品优势，能够及时应对各种需求，尽快将产品推向市场。

详细信息

- EnergyChoices:
www.energychoices.co.uk
- 美国能源部能源信息管理署:
www.eia.doe.gov
- 40-nm FPGA 功耗管理和优势:
www.altera.com/literature/wp/wp-01059-stratix-iv-40nm-power-management.pdf
- SOFTSILICON 实现灵活的数据包传送:
www.tpack.com/fileadmin/user_upload/Public_Attachment/SOFTSILICON_for_Flexible_Packet_Transport_web_v1.1.pdf

致谢

- Kevin Cackovic, 资深战略营销经理，通信业务部，Altera 公司。
- Seyi Verma, 资深高端技术分析师，高端 FPGA 产品，Altera 公司。
- Daniel Joseph Barry, 营销总监，TPACK。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。