

采用一组 RTL 以及综合 / 时序约束产生功能等价的 FPGA 和 ASIC

电子系统设计人员使用 FPGA 来实现他们的原型开发，利用器件的可编程能力验证硬件和软件。一旦设计准备好进行量产时，设计人员寻找某类 ASIC 以达到功耗、性能和成本目标，特别是，能够提供硬件平台和工具包的 ASIC，支持目前采用了 FPGA 的设计，可以使用相同的 I/O、存储器资源和 IP。依据这些标准，设计人员降低了 ASIC 设计出现功能或者时序错误的风险。本文讨论 Altera HardCopy ASIC 的发展、体系结构和功能，它作为封装和引脚兼容 FPGA 匹配器件，非常适合实现设计量产。

引言

Altera 于 2001 年率先推出具有“无缝原型开发”功能的 180-nm CMOS 技术 HardCopy® 系列 ASIC。设计第一代 HardCopy ASIC 产品的初衷是“加强”FPGA 的查找表 (LUT) 结构，使用少量定制互联层，通过直接连线 (ASIC) 互联来替代可编程交换架构。FPGA 原型中经过“强化”的其他逻辑模块包括 I/O、锁相环 (PLL)、存储器以及串行器 / 解串行器 (SERDES) 通道等，这些都原封不动地应用在 HardCopy ASIC 中。自从推出第一代器件后，Altera 又推出了基于 130-nm、90-nm 和 40-nm CMOS 技术的后续 HardCopy ASIC 产品。HardCopy ASIC 与逻辑门阵列技术有相似的地方，预先作好了部分公共“基本”逻辑。某一设计的投片会产生两种金属 / 两种转接层定制金属层模板，由此定义了某种器件。然后，采用定制金属模板来处理基本晶片，进行测试，装配到与 FPGA 原型百分之百引脚兼容、基于相同硅片工艺的封装中。

与可比的标准单元实现方法相比，新的 HardCopy ASIC 在定制互联晶片工艺步骤中预先处理基本晶片，降低了 NRE 成本，缩短了 ASIC 制造时间。HardCopy ASIC 与对应的 Altera® Stratix® 系列 FPGA 功能等价，提供与 FPGA 相当的资源，但是减小了管芯尺寸，降低了功耗。最终的 HardCopy ASIC 是和 FPGA 原型引脚完全相同的替代方案；因此，在原型产品 / 现场实验和最终产品器件之间可以保留相同的系统电路板和软件。使用 HardCopy ASIC 进行投产时，不需要启动器件，因此能够进一步节省电路板。HardCopy 电路板不需要安装闪存启动器件。

HardCopy ASIC 系列

表 1 所示为 HardCopy ASIC 三种产品以及两种新一代器件随摩尔定律的发展。体系结构上的改进包括在 90-nm 第三代 HardCopy ASIC 逻辑上的全面创新，提高了密度和性能，降低了功耗。40-nm HardCopy ASIC 含有 11.5M 等价 ASIC 逻辑门、20.3 Mbits 内部 RAM、36 个 SERDES 通道以及 736 个 I/O。这些 HardCopy III 和 HardCopy IV ASIC 采用了各种封装，从成本最优的 484 引脚线键合封装到具有内部去耦合电容的 1,517 引脚倒装焊封装。其核心频率高达 400 MHz，SERDES 工作速率超过 6.5 Gbps。

表 1. 5 代 HardCopy ASIC

器件	技术节点	可用逻辑门	内部存储器	I/O	SERDES 通道
HardCopy APEX™ 20KE	180 nm	622K	442 Kbits	808	-
HardCopy Stratix	130 nm	1.82M	5.65 Mbits	773	-
HardCopy II	90 nm	3.6M	8.8 Mbits	951	-
HardCopy III	40 nm	6.9M	16.3 Mbits	880	-
HardCopy IV GX	40 nm	11.5M	20.3 Mbits	736	36 个通道

HardCopy 功耗

HardCopy 体系结构的一个重要特性是其功耗低于 FPGA 原型。由于 HardCopy ASIC 采用了阵列 / 直接连线体系结构，有效地降低了逻辑实现所需要的晶体管数量，因此，功耗要远远低于 LUT/ 交换架构。而且，HardCopy ASIC 也不需要 FPGA 重新编程所使用的大量内部配置 RAM 空间。由于 HardCopy ASIC 只用于一种功能，基本器件中消耗功率的资源连接至电源分配网络，而未使用的器件资源没有连接到这一网络上。总

体上，HardCopy ASIC 功耗比对应的 FPGA 原型低 50 %。从 FPGA 原型到 HardCopy ASIC 实际降低的功耗取决于使用的逻辑和其他资源之比，例如内部存储器和 I/O 等，这些资源不会降低功耗，所占的比例与 FPGA 原型相同。

HardCopy 性能

HardCopy ASIC 的阵列 / 直接连线结构没有 FPGA LUT/ 交换架构的晶体管资源开销。这种简洁的电路提高了内核逻辑关键时序通路性能。HardCopy 方法支持 FPGA 和 HardCopy ASIC 分别进行时序约束，保持逻辑功能相同，使设计人员能够充分利用 HardCopy 体系结构的高性能优势。在一个例子中，峰值频率 280 MHz 的 90-nm FPGA 工程在 HardCopy 架构中实现时可以达到 432-MHz。表 2 列出了其他的例子。

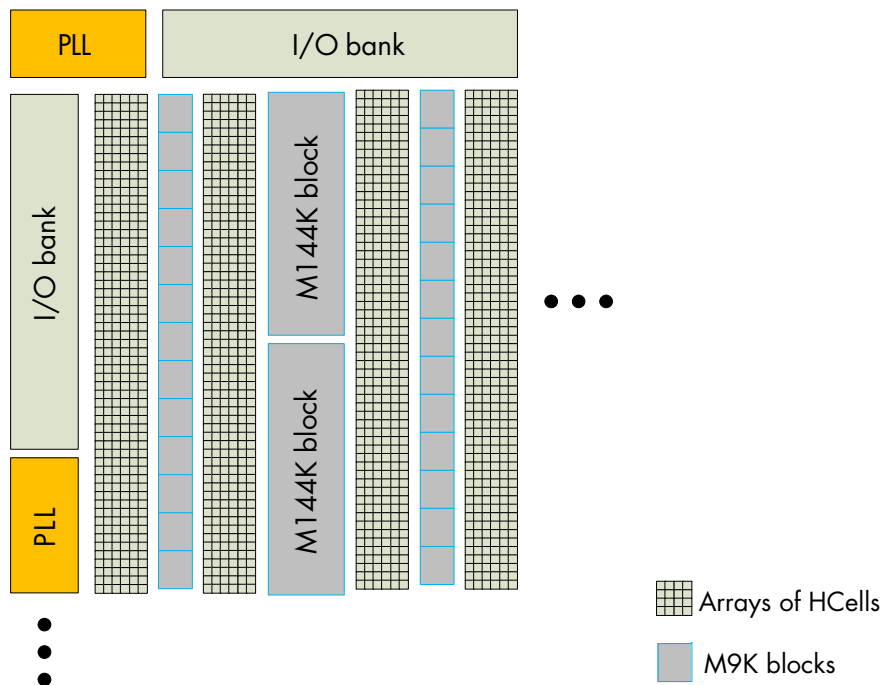
表 2. 使用 HardCopy ASIC 提高性能的例子

工程	90-nm FPGA	90-nm HardCopy ASIC
A	150 MHz	234 MHz
B	175 MHz	325 MHz
C	280 MHz	432 MHz
D	125 MHz	250 MHz

HardCopy ASIC 体系结构

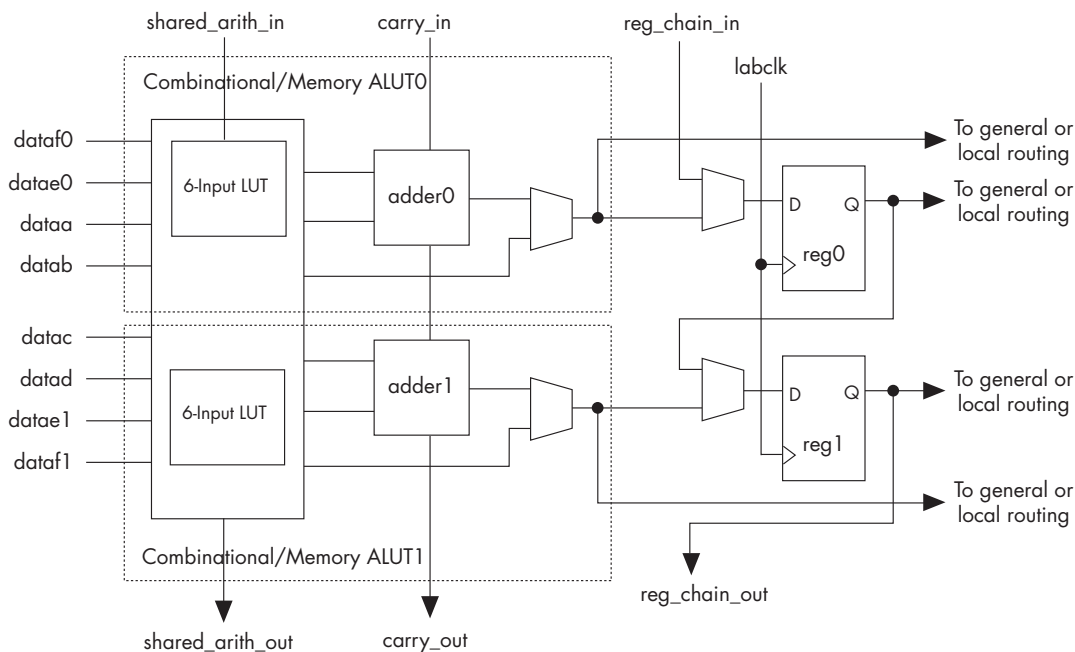
在 40 nm，HardCopy III 和 HardCopy IV 体系结构使用了名为 HCell 的逻辑阵列单元，它由 24 个晶体管组成。1 到 6 个 HCell 组合在一起，形成 HCell 宏 (HCM)，是用于替换对应 Stratix 系列 FPGA 原型中 LUT 结构的逻辑功能。当 HCell 组合成 HCM，连在一起后，能够复制对应 FPGA 功能的各种组合，因此，HCell 逻辑结构支持灵活的功能实现。40-nm HardCopy 基本器件中的其他资源有存储器、I/O 单元 (IOE)、PLL、动态链接库 (DLL) 和 SERDES 通道。40-nm HardCopy ASIC 中的内部存储器包括 9-Kbit、144-Kbit 和 640 位寄存器阵列 (MLAB) 存储器。HardCopy ASIC 中的 M9K 和 M144K 模块与对应的 Stratix FPGA 原型基本相同，只是其配置存储器位被转接编程所替代。由 FPGA 中 LUT 构成的 640 位寄存器阵列 (MLAB) 单元被 HCell 构成的 MLAB 替代。图 1 显示了 40-nm HardCopy III ASIC 平面布局的例子。

图 1. HardCopy III ASIC 结构图



Altera FPGA LUT 的基本功能是自适应逻辑模块 (ALM)。如图 2 所示，每个 ALM 含有各种基于 LUT 的资源，可以在两个组合自适应 LUT 和两个寄存器之间进行划分。两个组合 ALUT 有 8 个输入，一个 ALM 可以实现两种功能的各种组合。一个 ALM 可以实现 6 输入的任何功能以及某些 7 输入功能。灵活的 ALM 结构提高了 Stratix 系列 FPGA 的总效率和利用率。

图 2. ALM



24 晶体管专利 HCell 实现了各种密度组合，能够以很少的可配置金属和转接层定制所需的逻辑功能，因此，被选用为 HardCopy 体系结构的基础。一个 HCell 含有 6 个功能（图 3）：两个 2 至 1 复用器、两个 2 输入 NAND 逻辑门和两个反相器。对于每一种可能的 LUT (ALM) 配置模式，都有一对一的 HCM 组合对应映射（图 4），相应的是 1 至 6 个 HCell 组合。HCell 中功能之间的连接通过定制转接层进行设置。

图 3. HCell 中包含的功能

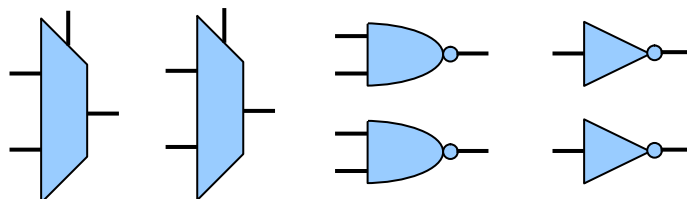
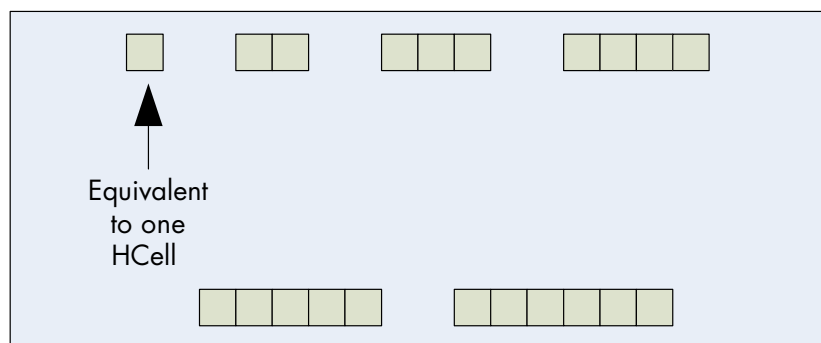
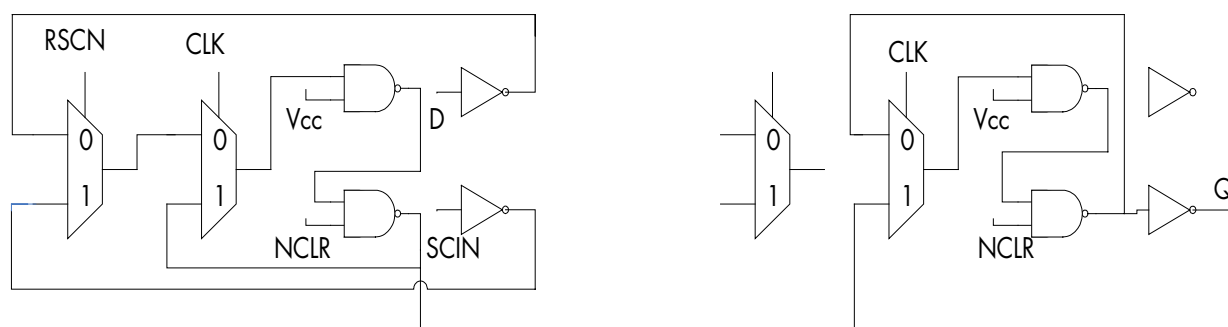


图 4. HCell 组合形成大小不同的 HCM



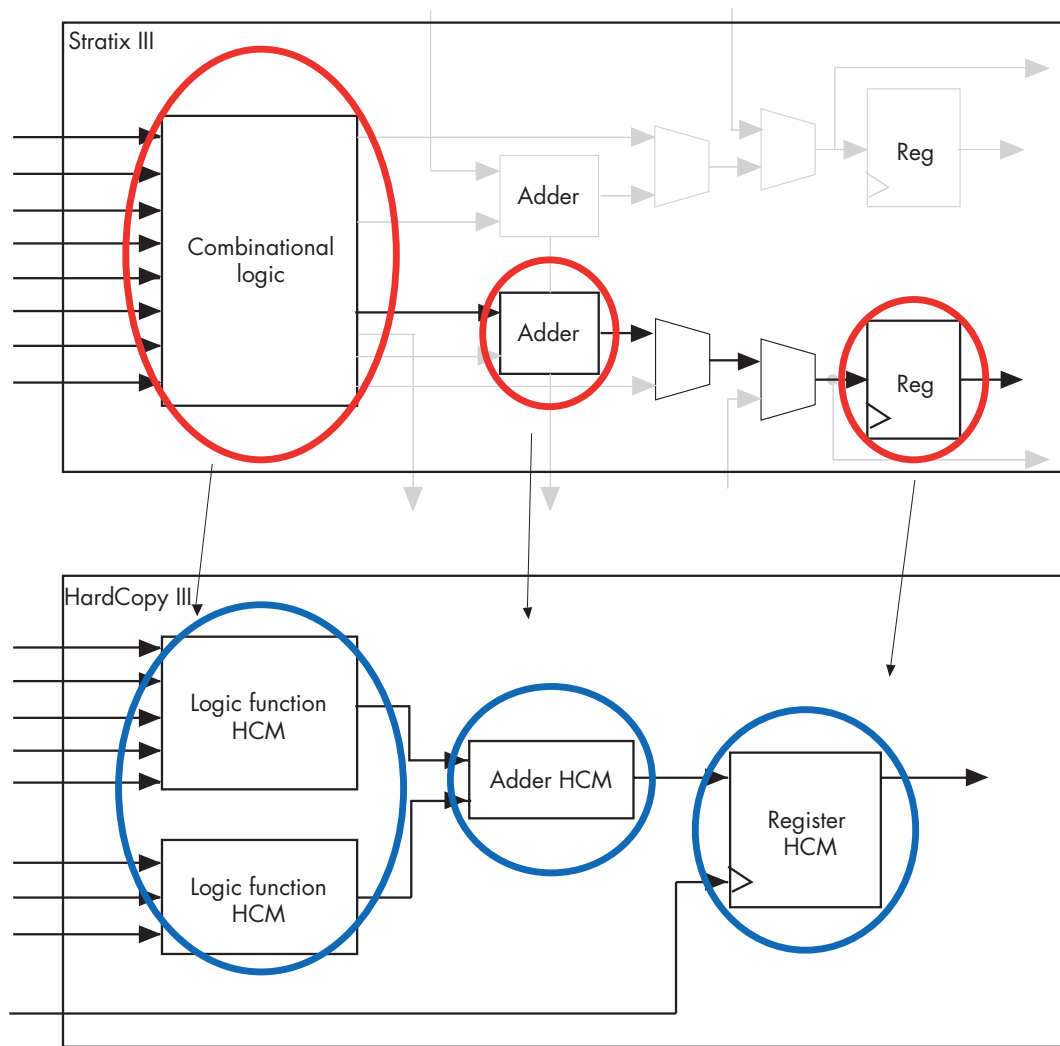
HCell 中包含的功能组合后可产生各种组合和寄存器功能。例如，考虑图 5 中由两个 HCell 构成的扫描寄存器。复用器配置为主 / 从锁存，NAND 逻辑门和反相器用于进行异步清除和缓冲。这一带有清位功能的扫描寄存器例子是 HCell 体系结构可以实现的数千个配置实例之一。

图 5. 2 个 HCell 配置形成带有扫描和复位功能的寄存器



Altera 的 Quartus® II 设计软件用于进行 FPGA 综合和适配，也可以用于 ALM 功能到 HCell 的映射，建立设计的 HardCopy 网表表示，进行 HardCopy ASIC 布局 and 全局布线。需要注意的是，ALM 至 HCell 映射是一对一映射功能，不需要寄存器传送级 (RTL) 重新综合。这大大降低了从 FPGA 到 ASIC 设计转换出错的风险。图 6 显示了在 ALM 中实现的某一功能是怎样映射到 HCM 中。一对一映射步骤（与传统 FPGA 至标准单元 ASIC 实现流程的 RTL 重新综合不同）建立一个 HardCopy 设计数据库，设计人员可以识别其例化和网络名称，采用通用时序约束文件进行约束，很容易进行 FPGA 和 ASIC 实现之间的设计分析，简化了时序报告。

图 6. ALM 功能映射到 HCM 的实例



除了 ALM，FPGA 还含有其他的构建模块：存储器、PLL、SERDES 通道、I/O 块和数字信号处理 (DSP) 模块。DSP 功能模块包括 8 个 18 位 × 18 位乘法器以及两个累加器，它们提供各种配置选择，实现流水线、符号、取整和饱和运算。与 FPGA 不同，40-nm HardCopy ASIC 不一定使用这些专用 DSP 模块，因此，它不包括这一资源。相反，HardCopy ASIC 以 HCell 构建的 FPGA 原型功能等价 DSP 宏替代了 DSP 功能。

前端设计流程

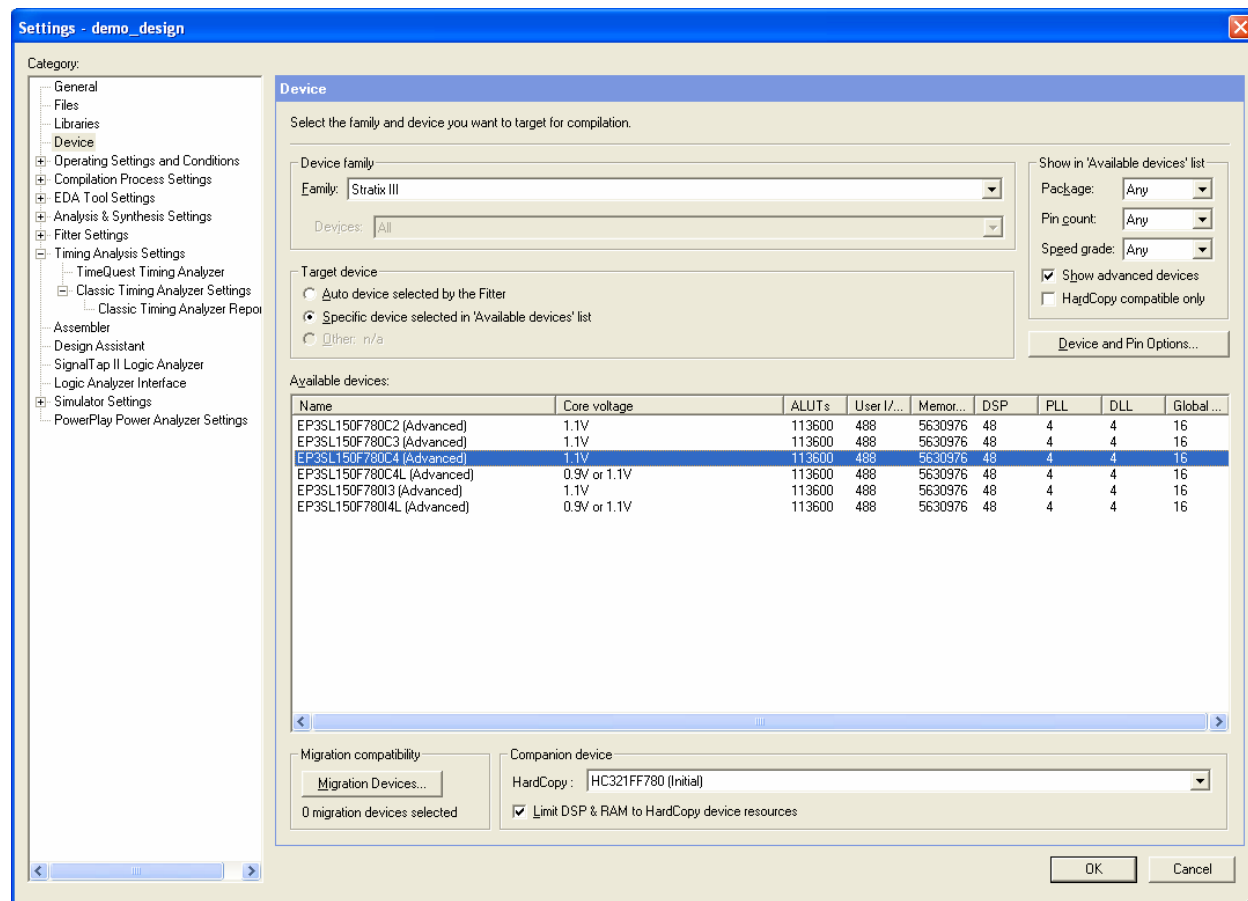
HardCopy ASIC 前端设计流程采用了与 FPGA 原型开发相同的步骤，以及辅助 HardCopy 数据库编译过程。Altera 的 Quartus II 工具包被用于 FPGA 和 HardCopy 设计，作为设计人员的通用平台来同时设计 FPGA 和 HardCopy ASIC。Quartus II 软件特性丰富，包括：

- RTL 综合
- 封装引脚定义
- 适配 (FPGA 和 ASIC 的布局布线)

- FPGA和HardCopy ASIC基于Synopsys设计约束 (SDC) (一种业界标准时序约束格式)规范的时序分析和逼近
- 仿真器 (包括 ModelSim® VHDL 或者 Verilog 版仿真器)
- 为各种模块 (内部存储器、PLL、DDR 和 PCI 等 I/O 接口、外部存储器接口、嵌入式软核处理器和相关外设、DSP 功能等) 生成知识产权 (IP)
- 查看 RTL 代码, 分析 ASIC 兼容时钟和复位结构设计。

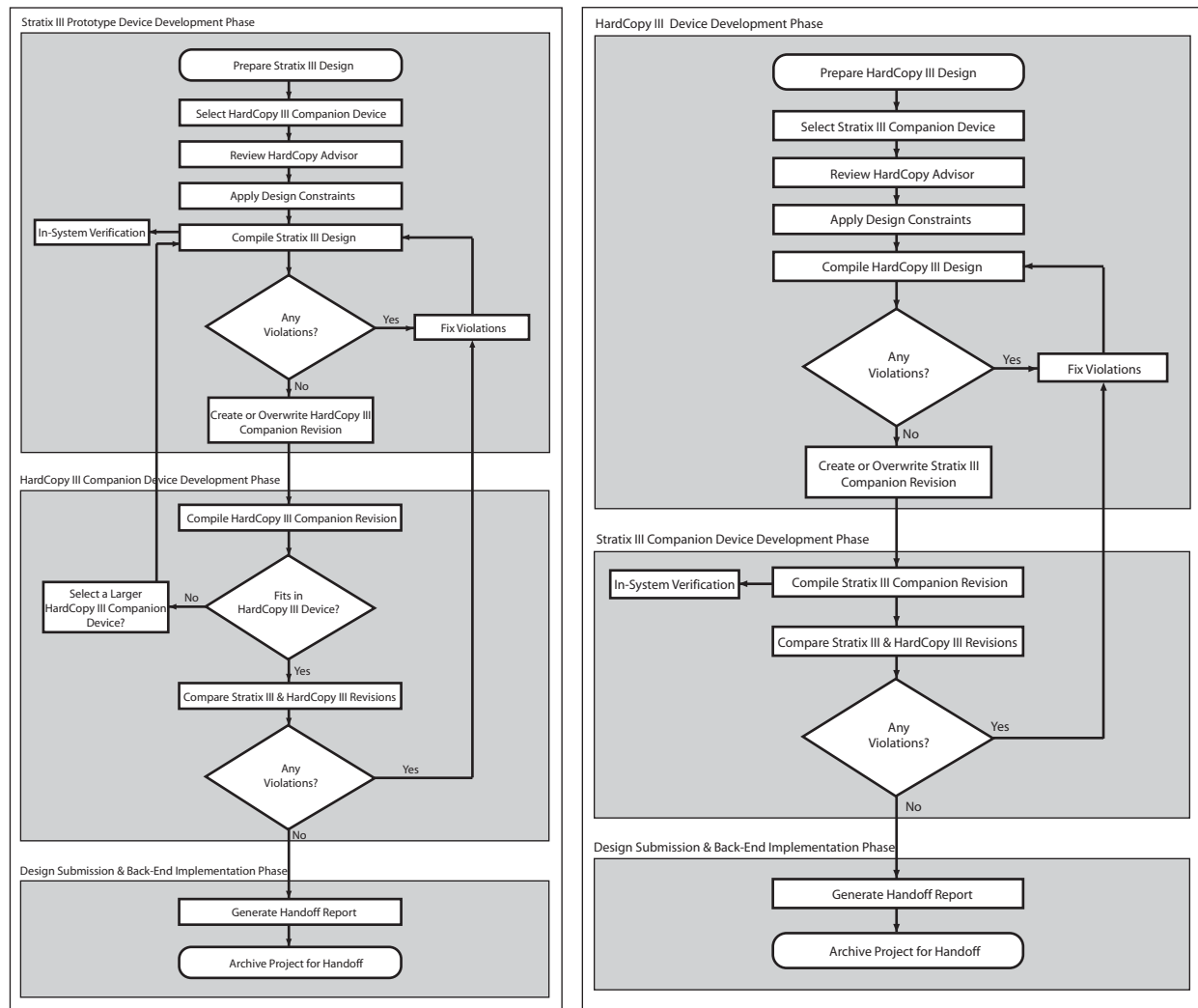
从 FPGA 到 HardCopy ASIC 的某些映射具有百分之百的资源兼容性。在其他例子中, FPGA 资源超过了 HardCopy 基本器件中的资源 (以便优化 HardCopy 成本结构)。为确保工程成功, 从 FPGA 设计开始就对比 FPGA 和 HardCopy ASIC, 使得所有设计实现采用的设计资源和引脚都兼容。这样, 保证了 HardCopy ASIC 插座可百分之百替换, 在现有 FPGA 原型 PC 电路板上迅速进行验证并投产。在选择器件过程中, 设计人员选择 FPGA 和 HardCopy ASIC 作为一对, 如图 7 所示。

图 7. 在 Quartus II 软件中选择 FPGA/HardCopy ASIC 对



选好 FPGA/HardCopy ASIC 对之后, 设计人员可以选择首先综合和适配 FPGA 或者 HardCopy ASIC (参见图 8)。虽然 FPGA 先在系统中进行验证, “HardCopy 优先” 流程使设计人员能够通过 HardCopy 器件综合和时序逼近来重点进行迭代, 提高 HardCopy ASIC 的时序性能。在各种设计检查过程中, 满足了 HardCopy 时序目标后, 设计人员可以针对 FPGA, 采用速率等级较慢的原型器件。

图 8. FPGA 优先流程 (左侧) 和 HardCopy ASIC 优先流程 (右侧) 对比



Quartus II 软件提供内部形式验证机制来确保 FPGA 和 HardCopy 数据库的 RTL 源代码相同。数据库含有一组源代码，是两种编译版本的基础。Quartus II 软件中的对比 HardCopy 辅助版本功能可以保证 FPGA 和 HardCopy ASIC 之间的功能和编译设置相匹配，保持不变。必须在提交给 HardCopy 设计中心进行后端处理之前运行这一对比功能，并且不能出错。

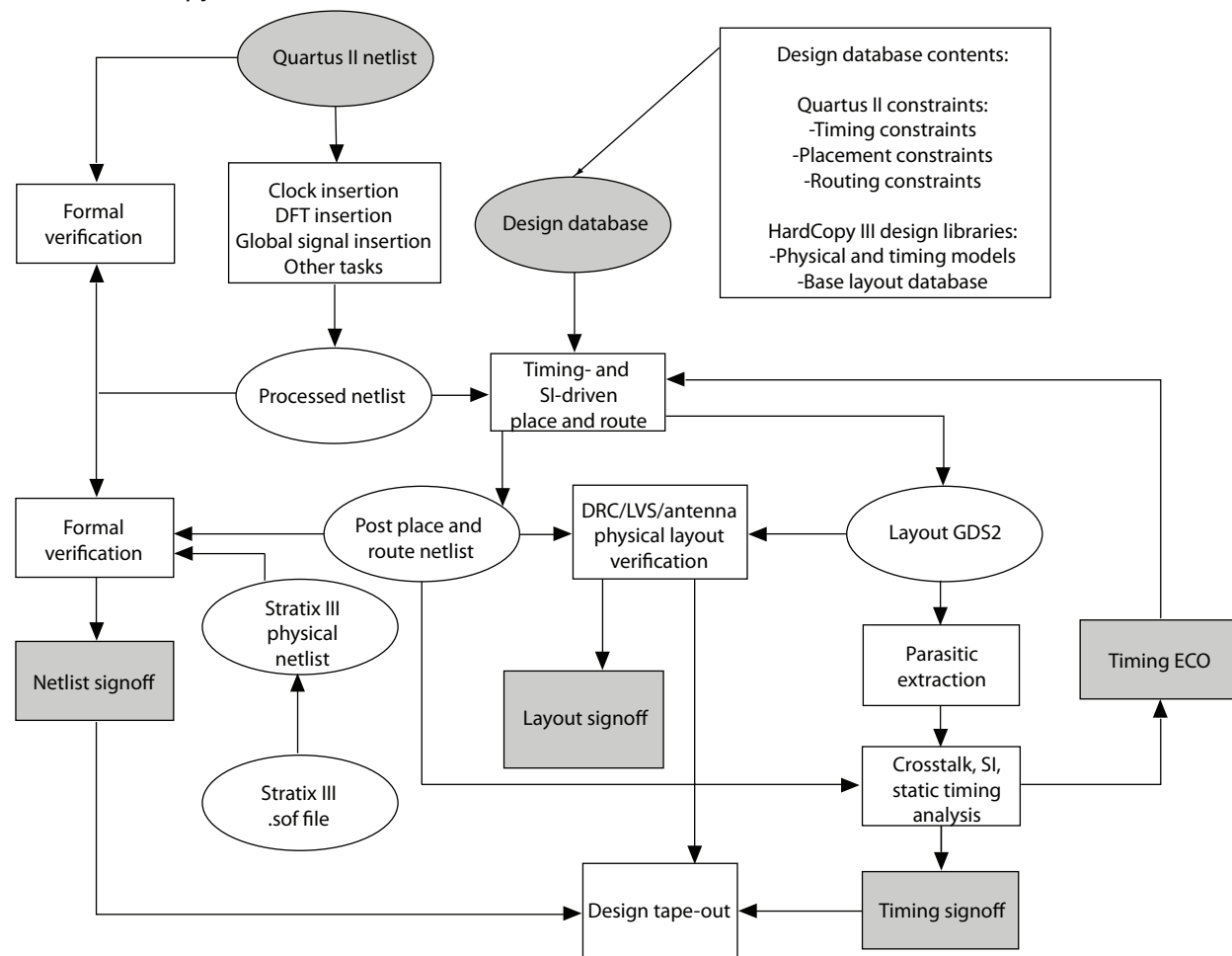
后端设计流程

在 Altera 的 HardCopy 设计中心，以全包开发的形式完成从网表 / 约束交付到定制层投片的后端设计流程。前端设计人员运行 Quartus II 工具，生成面向 HardCopy HCell 的 Verilo 门级网表、布局约束和全局布线指南，这些都包含在设计数据库交付文件中。设计人员和 HardCopy 设计中心参与一系列检查过程，保证设计能够满足最终的交付标准。

如图 9 所示，后端流程采用了与标准单元 ASIC 设计很多相同的步骤，使用来自 Synopsys 和 Cadence 的商用 EDA 工具。由于 HardCopy 后端设计过程在完全相同的基本管芯中多次成功实施，设计之间的不同只是体现在资源数量上，不需要从根本上重新设计基本管芯，因此，可以自动完成通用步骤，并且具有可预测性。电源网络设计和电流 / 电阻 (IR) 压降分析、静电放电 (ESD) 单元替换和分析、电源区切断、时钟网络平衡和调整等标准单元实现步骤都预先构建在基本管芯中；因此，每个 HardCopy 后端实现并不需要这些步

骤。这缩短了 HardCopy ASIC 后端周转时间，预计可以在 4 到 6 个星期中完成，提高了每次投片的可预测性，降低了风险。

图 9. HardCopy 后端流程



测试

HardCopy 设计中心在 Verilog 门级网表中插入必须的测试结构，开始后端过程。测试结构包括全扫描寄存器和相关的扫描链、JTAG、PLL 内置自测试 (BIST)、SERDES BIST 和存储器测试。FPGA/HardCopy 前端设计人员不用关心标准单元设计所需要的例化测试结构或者测试设计准备方法等。例如，不需要外部 I/O 引脚或者功能 / 测试 I/O 引脚共享复位控制功能。插入到后端流程中的测试逻辑对设计人员而言是透明的。

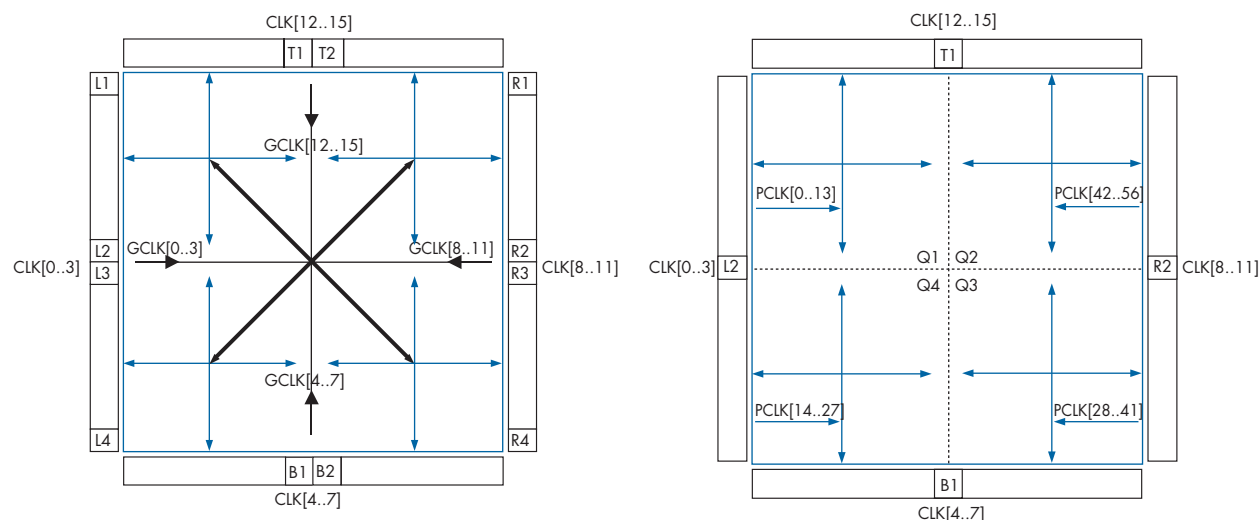
HardCopy ASIC 使用扫描链来进行全扫描和延时故障测试。以 47N 推进码型速率来测试存储器，提供熔丝设置冗余行列以提高产量。以芯片工作频率通过 BIST 测试模拟、高速串行 I/O、PLL 和 DLL。采用固定故障码型和延时故障码型组合来测试逻辑。使用参量码型和 JTAG 边界扫描寄存器来测试 I/O 缓冲 DC 和 AC 行为。采用了薄层和加厚氧化层晶体管的设计无关速率通路被嵌入到 HardCopy 基础层中，确保器件功能位于允许的硅片工艺窗口中。在室温下测试晶片，在室温和 100°C 时测试封装后的器件，确保通过适当的筛选，发现早期故障。坚持对 98% 以上的常见深亚微米 CMOS 硅片故障模式进行测试。

时钟

Stratix FPGA 和 HardCopy ASIC 中的预构建时钟结构使用通用预构建时钟体系结构。所有器件中的时钟都是预构建网络，平衡了跨过时钟源到每个端点的金属层数量，从而不受交叉串扰效应的影响，减小了偏移。

HardCopy 硅片中有三类预构建时钟：全局（图 10，左侧）、局部（图 10，右侧）和外围时钟。以分层结构来组织时钟，提供 220 个独特的时钟域：（16 GCLK + 88 RCLK + 116 PCLK）。

图 10. 16 个全局时钟网络（左侧）和 88 个局部时钟网络（右侧）跨过了整个芯片



Quartus II 编译器定义了预构建时钟网络分配；然而，设计人员可以根据需要来重新分配时钟资源，以满足特殊的设计目标。FPGA 时钟和 HardCopy 时钟网络之间有一些不同。HardCopy ASIC 要比 FPGA 原型小得多，减小了时钟网络插入延时。如果采用了 PLL，可以补偿这一插入延时；可是，如果直接采用来自输入焊盘的时钟，那么，会产生不同的时序。HardCopy ASIC 需要彻底的时序约束，因此，即使器件中的微时序不同，时序约束也保证了设计能够接近系统级时序预算目标。

时钟网络中的其他不同还有驱动寄存器的时钟最终分支。采用 HCell HardCopy 阵列，最好不要预先定义在哪里放置寄存器或者根据时钟网络来进行限制。当 Quartus II 软件编译 HardCopy 数据库时，它会在合适的地方放置寄存器（在全局、区域或者 I/O 边界上）。HardCopy 时钟网络预构建到最终分支。在 HardCopy 设计中心的设计后端流程中，使用 Synopsys 时钟树综合工具完成实际寄存器位置的最终缓冲级和布线。这可以达到灵活放置寄存器和实现低偏移时钟网络的双重目的。

形式验证

Quartus II 软件包括一个 HardCopy 版对比工具，用于进行检查，以确保采用了相同的 RTL 代码、I/O 和时序分配来编译 FPGA 和 HardCopy ASIC。这一步骤保证了最终交付数据库的完整性。在后端过程中，对网表进行了大量修改，以便插入测试，达到时序逼近。这些步骤并不是用于修改设计功能，而必须保证投片数据库在质量上非常可靠。采用 Cadence Conformal 等效检查软件来建立参考网表和修改后（测试、缓冲）网表的布尔模型，保证它们在功能上等价。形式验证中最重要的一步是确定 FPGA 和最终 HardCopy 投片网表功能完全等价。利用 FPGA 物理网表（FPGA 投片网表，包括配置 RAM 位）和 HardCopy 投片网表来完成这一步，在两个数据库上运行等效检查。对于这一检查，FPGA 物理网表结合可编程文件（ROM 代码，用于配置基于 SRAM 的 FPGA），对比 HardCopy 最终投片网表。由于两类器件的存储器、I/O、PLL 和其他资源构建方式相似，这种检查保证了其设置也相同，因此，基于 LUT 和 HCell 的逻辑实现完全等效。只有 Altera 能够全面理解组成 FPGA 和 HardCopy ASIC 的底层结构，因此，只能在 HardCopy 流程中进行这种检查。

时序逼近

HardCopy ASIC 中的内核时序通路比在 FPGA 中实现几乎要快 100%。和 HardCopy 阵列单元 / 直接连线体系结构相比, LUT/ 交换体系结构需要更多的逻辑级。由于 FPGA 时序逼近要比 HardCopy 匹配器件需要进行更多的投入, 因此, 大部分前端设计人员关心的是首先逼近 FPGA 时序。在大部分情况下, 第一次通过默认设置的 Quartus II 编译时会逼近 HardCopy 内核时序。在编译级, Quartus II 软件将 FPGA ALM 转换成等价的 HardCopy HCell, 运行全替换和全局布线。使用 Quartus II 软件的 TimeQuest 时序分析器功能来分析数据库。在交付给 Altera 设计中心之前, 必须使用 SDC 语法和 Altera TimeQuest 时序分析器对设计进行百分之百约束。此外, 所有时序通路必须具有正时序松弛。FPGA 和 HardCopy ASIC 并不是要在每一通路上实现等价松弛; 流程保证了所有实现方法能够满足时序约束 (正松弛), 这与每一时序通路都相同的通路松弛有很大的不同。

HardCopy 设计中心将 HardCopy 种子网表、Quartus II 软件生成的布局和 SDC 导入到 Synopsys 后端流程中。如果需要调整时序, 以实现正松弛, HardCopy 设计中心会运行时序逼近方法, 例如缓冲、负载分离、保持时间延时单元插入和 PLL 相移调整, 以获得时序逼近。在时序逼近时, 设计中心通过布板和原理图 (LVS) 来运行 HardCopy 数据库, 进行设计规则检查 (DRC), 保证设计物理布局数据库和网表匹配, 符合所有代工线工艺设计规则。投片之前的最终步骤是逐层进行对比, 保证只对四个定制层进行修改, 其他层和基本硅片一致。

结论

FPGA 是能够进行很多系统原型开发的一种技术。当 FPGA 技术无法满足成本、功耗或者性能目标时, 可以把设计映射到 ASIC 技术, 该技术作为 FPGA 辅助方法而专门进行开发。HardCopy ASIC 独特的体系结构与 Altera 的 Stratix 系列 FPGA 在功能上百分之百等价。把逻辑实现从 LUT/ 交换架构改为阵列单元 / 直接连线, 可以采用除了 LUT 以外的所有 FPGA 资源以及 HardCopy ASIC 可编程互联架构来达到这一目标。新器件与 FPGA 功能相同, 能够进行引脚替换, 满足了通用 SDC 时序约束。全包完成后端流程, 保证满足功能和时序要求, 在全面的实施工艺和交接工艺中进行测试。

详细信息

- *HardCopy III 器件系列简介:*
www.altera.com/literature/hb/hardcopy-iii/hiii51001.pdf
- 资料: HardCopy IV 器件:
www.altera.com/products/devices/hardcopy-asics/hardcopy-iv/literature/hciv-literature.jsp
- 资料: HardCopy III 器件:
www.altera.com/products/devices/hardcopy-asics/hardcopy-iii/literature/hc3-literature.jsp
- 资料: HardCopy II 器件:
www.altera.com/products/devices/hardcopy-asics/hardcopy-ii/literature/hr2-literature.jsp

致谢

- Larry Landis, HardCopy 项目高级经理, HardCopy 产品组, Altera 公司。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。