

Altera 设计了外部存储器解决方案的所有组件使其协调工作，实现当今应用所需要的高性能、高效产品。解决方案的所有组件都能够协调工作，使 Altera® FPGA 满足了所有应用要求的高性能标准。

引言

Altera® FPGA 70% 以上的设计都需要某些类型的外部存储器，但不同的应用会有不同的需求。本白皮书详细介绍了采用 Altera FPGA 构建外部存储器解决方案，包括应用需求、Altera FPGA 的存储器功能以及器件和知识产权 (IP) 选择等。还讨论了构成 Altera PHY 的模块化存储器组件，对电路进行的改进，以及电路校准功能，具有高级块管理等新特性的控制器新产品等。此外，Altera 还提供了高质量的测试、工具、设计实例和文档。

应用需求

表 1 列出了从高性能 DDR3 到低功耗移动 DDR 每种应用的存储器利用率。对于固网 40/100G 应用，其性能非常关键，DDR3 必须以很快的速度运行才能满足网络要求。另一方面，对于军用手持式无线电等便携式应用，功耗是最重要的指标。这些便携式应用牺牲性能以换取低功耗，这是因为它们通常是电池供电系统，功耗是决定因素。还有很多其他应用实例，对存储器类型和速度有不同的要求。

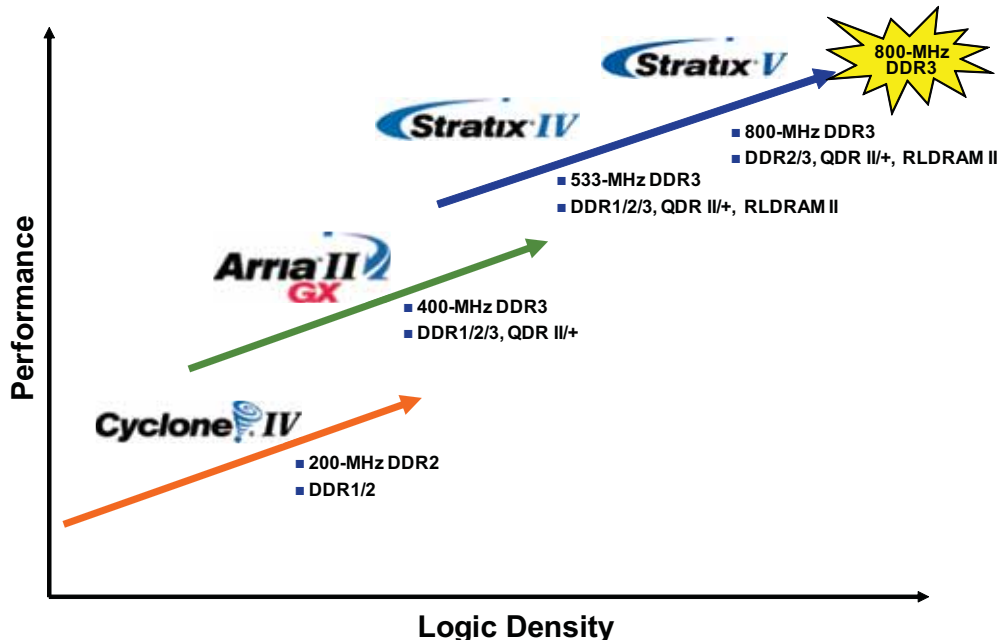
表 1. 具体应用所需要的存储器

应用	需求	存储器标准
40G/100G	高性能	DDR3、RLDRAM II、QDR II/+
基站	低延时	DDR2/3
视频处理	提高效率	高效的多端口，DDR3 @ 533 MHz
磁盘阵列、服务器、加速器	更多的功能	RDIMM、ONFI、闪存、QDR II/+
低功耗 / 便携式	低功耗	LPDDR、移动 DDR

Altera 设计了自己的 FPGA 和 IP 产品，能够满足各类应用的需求。Altera FPGA (图 1 所示) 在某些应用中的价值体现包括：

- Stratix® IV 和 Stratix V FPGA——性能最高，达到 800 MHz。
- Cyclone® IV FPGA——低功耗和低密度
- Arria® II GX FPGA——功耗比 Stratix IV 和 Stratix V FPGA 低，但是性能优于 Cyclone IV FPGA。

图 1. Altera FPGA 的存储器性能



模块化存储器组件

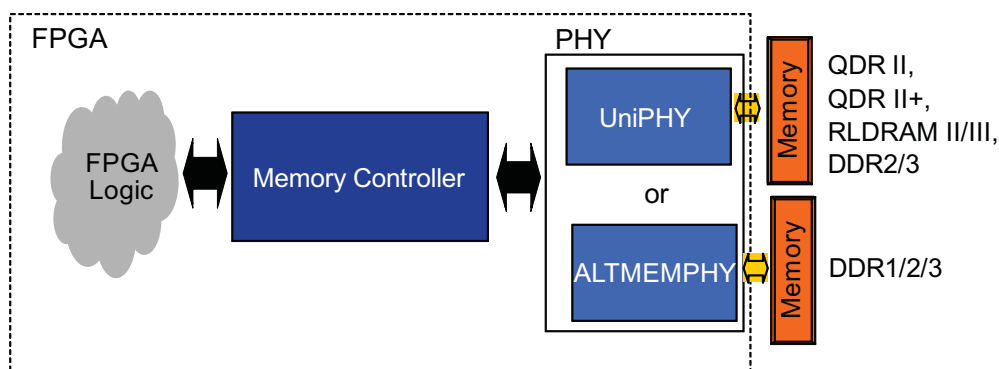
Altera FPGA 通过外部存储器 IP 来提高存储器性能，它包括 PHY 和控制器。设计人员可以选择 Quartus® II 软件 10.0 所列出的默认存储器解决方案，根据存储器要求选择最佳 PHY 和控制器 IP（表 2 所示），也可以选择定制存储器接口。

表 2. 默认的 PHY 和控制器解决方案

FPGA	PHY	控制器
Stratix IV 和 Stratix IV	UniPHY	HPMCII
Arria II GX	ALTMEMPHY	HPMCII
Cyclone IV	ALTMEMPHY	HPMCII

如前所述，默认存储器解决方案并不是唯一选择。Altera 存储器解决方案是模块化的，设计人员可以构建定制 PHY 或者定制控制器，也可以根据需要同时构建这些组件。可以混合并匹配图 2 所示的模块化组件，以构成 Altera 存储器解决方案。

图 2. Altera 存储器解决方案中的模块化组件



Altera 提供的 PHY

Altera 有两类 PHY，用于低功耗应用的 ALTMEMPHY，以及高性能应用的 UniPHY，UniPHY 的延时只有 ALTMEMPHY 的一半。UniPHY 增加了一些新特性以支持高性能应用需求，包括 PLL 和 DLL 共享，支持 QDR II/II+ 和 RLDRAM II，以及新的智能校准算法。除了新特性，UniPHY 还通过 PHY 在体系结构上减小了延时。

Stratix V 改进电路

Altera 一直非常重视提高存储器性能，降低延时，例如，新的 Stratix V FPGA 对电路和 PHY 进行了大幅度改进。由于这些改进措施，Stratix V FPGA 达到了提高存储器接口性能，降低延时的目的。对读 / 写通路的所有这些关键电路进行了改进，以确保高频时达到时序逼近。与 Stratix IV FPGA 相比，I/O 模块中的硬核 FIFO 缓冲支持新的 UniPHY，延时是 PHY 的一半。

例如，在 400 MHz，ALTMEMPHY 读延时是 23 个周期，而 UniPHY Stratix V FPGA PHY 延时为 11 个周期。其他特性，例如占空比校正、高级校准算法以及电压和温度 (VT) 补偿去偏移延时等，提高了高速数据速率的工作余量，增强了系统可靠性。Stratix V FPGA 不仅提高了存储器接口性能，而且使其更容易实现。

校准功能

除了 UniPHY 的新特性以及 Stratix V FPGA 为提高存储器性能，减小延时所进行的改进之外，Altera PHY IP 还具有内置校准功能，帮助设计人员实现所需要的性能。ALTMEMPHY 和 UniPHY 以及所有的 Altera FPGA 都支持这些校准特性。

Altera 存储器 IP 提供三类校准功能，每一类完成一种关键功能，以维持外部存储器性能。

- 存储器到器件的采集余量——校准排序器去除 DQ 组的偏移，以获得最佳采集窗口。
- 通过校准，借助重新同步余量，从存储器域到系统域——去除偏移后，排序器很好的完成了采集存储器域的数据，必须将其传送至系统域。在重新同步阶段，自动校准排序器使用重新同步校准功能，自动设置 PLL 相位，以达到最佳重新同步余量。
- 采用 VT 补偿，保持余量不随时间变化——这一校准功能维持了在各种 VT 下建立的余量不变。VT 补偿功能保持了在各种功耗、电压和温度 (PVT) 条件下都有可靠的余量。

校准功能集成到 PHY IP 中，完成其功能时不需要设计人员的参与，设计人员非常清楚这一方法。这三种方法使 Altera 器件获得了很好的性能，并能够保持性能不变。

Altera 提供的控制器

存储器解决方案的第二部分是控制器。在高性能存储器控制器 (HPMC) 基础上，Altera 新的高性能存储器控制器 II (HPMCII) 所具有的新功能 (表 3) 进一步提高了 Altera 器件处理存储器数据的效率，从而提高了接口的总体性能。

表 3. Altera 控制器的功能

特性	HPMCII	HPMC
具有子字写功能的 ECC	✓	✓
功耗管理	✓	✓
5 周期控制器延时 (ECC 时为 6)	✓	✓

表 3. Altera 控制器的功能

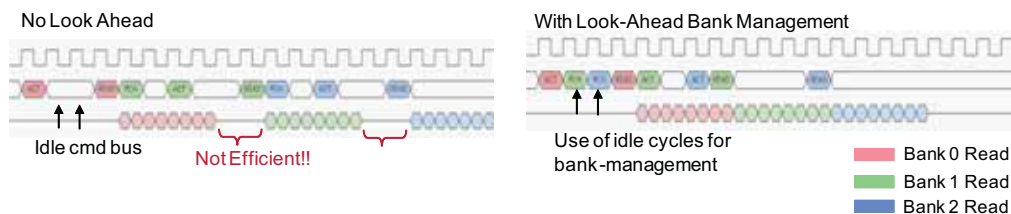
特性	HPMCII	HPMC
支持 800-MHz DDR3 存储器	✓	
具有超前命令功能的高级块管理	✓	
灵活的系统接口	✓	
运行时可编程	✓	

具有超前命令功能的高级块管理

控制器的高效特性使 Altera FPGA 提高了性能。特别是，具有超前命令功能的高级块管理使 HPMCI 的效率比 HPMC 高 5 倍。这一高效特性是所有 Altera FPGA 的关键优势所在，使其能够进一步提高性能。

通过高级块管理特性，Altera FPGA 能够更高效的使用空闲命令总线，从而减小了总线上的空闲时间。在到达的整个数据包激活总线之前，高级块管理特性并没有等待读或者写命令完成（图 3，左侧），而是预管理链路，超前预测需要获得哪些数据包，或者应将数据放到哪里（图 3，右侧）。这意味着，数据一旦到达，总线和存储器便准备好进行处理，而不是仅启动总线初始化。这一特性使 FPGA 中的应用程序运行更平稳，获得最佳性能。

图 3. 高级块管理特性



质量保证

Altera 非常重视设计人员的使用体验，帮助他们缩短设计时间，并通过外部存储器接口提高设计效能，对此，进行了全面的测试，提供使用方便的工具、实例设计、驱动程序、测试台，以及经过改进和扩展的文档。

测试

对质量的承诺对于外部存储器 IP 非常重要，这是因为设计人员希望它能够首次便正常工作。Altera 进行了大量的测试，以确保能够实现这些预期。在新的 PHY 和控制器中不但增强了性能、效率和延时，Altera 还确保外部存储器解决方案非常可靠，而且使用方便。这是在大规模测试验证环境的帮助下实现的，并且结合存储器 IP 对器件进行了测试。通过严格的硬件测试以保证存储器功能，这涉及到测试所有实际存储器和仿真器件。设计流程测试确保了工具产生的设计能够按预期工作，PHY 满足设计人员的预期，可靠的达到时序逼近。

工具

除了进行测试以确保器件和 IP 能够在外部存储器互联上可靠工作之外，Altera 还提供工具，以简化 Altera FPGA 中外部存储器接口的设计。这些使用方便的工具包括：

- 存储器 IP——以清晰文本 TRL 的形式提供 PHY 和控制器 IP，使设计人员能够根据需要进行修改设计。不需要经过工厂的允许来查看清晰文本，这些文本是由 IP 提供的。

- 存储器 IP 接口——PHY 在 PHY 至控制器链接上使用 Altera PHY 接口 (AFI)，在控制器至架构链接上使用 Avalon® 存储器映射 (Avalon-MM) 接口。
- 时序和引脚约束——工具和文档提供了方便的时序和引脚约束。

实例

Altera 提供各种实例设计、驱动程序和测试台，帮助设计人员开始设计：

- 实例设计——可进行参数赋值的设计实例包括 PHY、控制器和驱动程序等。
- 实例驱动程序——实例驱动程序包括一个可以进行参数赋值的数据流发生器。
- 实例测试台——实例测试台集成了存储器模型和实例设计，提供基本的功能验证。

文档

Altera 重新设计了外部存储器接口手册和 IP 文档，使用起来更加方便。在开发文档流程时考虑到了设计人员的需求，每一章节中的数据都符合设计人员所进行的设计步骤。因此，当设计人员深入阅读手册时，所提供的信息与具体设计有很大的关系。现在，所有器件的信息都处于中心位置，随后是更多的逻辑流程，以增强效能。

除了重新设计的手册之外，Altera 还提供很多系统级参考设计，帮助设计人员迅速开始他们的设计。例如，AN 431: PCI Express 至外部存储器参考设计演示了怎样采用 Altera IP 来开发存储器解决方案，将其连接至其他的 IP，例如，Stratix IV GX FPGA 上的 DDR3 至 PCI Express 接口。

结论

为实现低延时解决方案所要求的 800-MHz DDR3 高性能互联，需要 IP、硬件、测试验证和文档同时协调工作。Altera 设计了外部存储器解决方案的所有组件使其协调工作，实现外部存储器设计人员所需要的高效、使用方便的高性能产品。解决方案的所有组件都能够协调工作，使 Altera® FPGA 满足了所有应用要求的高性能标准。

详细信息

- Stratix V FPGA: 为带宽而打造:
www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp
- 资料: Stratix V 器件:
www.altera.com/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp
- Altera 的外部存储器解决方案中心:
www.altera.com/technology/memory/mem-index.jsp
- 网播: “采用高级芯片和存储器 IP 实现 800-MHz DDR3 性能”
www.altera.com/education/webcasts/all/wc-2010-800mhz-adv-silicon-memory-ip.html
- 高性能存储器控制器 II SDRAM MegaCore® 功能:
www.altera.com/products/ip/iup/memory/m-alt-high-perf-mem-controller-ii.html
- 资料: 外部存储器接口:
www.altera.com/literature/lit-external-memory-interface.jsp

- *AN 431: PCI Express 至外部存储器参考设计*:
www.altera.com/literature/an/an431.pdf

致谢

- Bryce Mackin, 产品营销经理, Altera 公司。

文档修订历史

表 4 列出了本文档的修订历史。

表 4. 文档修订历史

日期	版本	进行的修改
2010 年 6 月	1.0	初次发布。