

相对于 ASIC，采用 FPGA 设计的系统有明显的优势，例如，快速工艺改进和设计创新等，支持在高可用性、高可靠性和安全关键系统中使用 FPGA。然而，技术进步也带来了其他影响，例如，对于以前可以忽略的软错误，现在却非常敏感。由单事件干扰 (SEU) 导致的这些软错误不是破坏性的，系统不需要停止工作就能够纠正软错误。本白皮书介绍为 Altera® Stratix V® FPGA 开发的增强 SEU 降低技术怎样通过强大的技术路线来解决软错误系统难题。

## 引言

随着快速工艺改进和创新技术的发展，速度、密度和功耗有了很大的提高，FPGA 相对于 ASIC 的优势越来越明显。然而，技术进步也有其他影响，这些影响以前是可以忽略的。更高的密度带来了相应的影响，对 SEU 更加敏感，从而导致软错误。虽然仔细的 IC 设计和布板方法降低了 65 nm 和 40 nm 每比特的软错误率，但是，每一工艺技术代逻辑密度越来越高，配置 RAM (CRAM) 位的数量也越来越多。

FPGA 密度不断增大，功能越来越强，结果，这一器件现在逐渐成为系统的核心，通常在数据通路上；设计人员采用 Stratix 系列 FPGA，能够将系统集成度提高到前所未有的水平。在这一变化趋势下，FPGA 现在成为很多系统的主要硬件选择，包括电信、存储和数据处理系统等大批量应用领域。这些应用领域要求高可靠性，从而要求 Altera 28-nm Stratix V FPGA 等现代高端器件必须能够切实降低 SEU，系统不停止工作就能够纠正错误。

## 单事件干扰

SEU 是 CMOS 器件晶体管结电离辐射导致的非破坏性事件，对配置存储器、用户存储器和寄存器存储单元进行冲放电。在地面应用中，重要的两类电离辐射是来自封装材料的 alpha 粒子以及宇宙射线和地球大气相互作用导致的高能中子。数字 CMOS 器件中常见的效应是软错误，由 SEU 导致的电荷作用在 SRAM 晶格存储节点上，致使比特状态反转。软错误与其来源（电离辐射）有相似之处，都是随机的，其出现与能级、亚稳态和晶格敏感性等相关概率有关。对于软错误，一个非常重要的因素是采用正确的数据重新写入晶格就可以恢复。这不需要重新上电，因为，在几代 Altera FPGA 的 SEU 测试中，还没有发现硅片闭锁或者任何形式的硬件失败。

Altera 很清楚 SEU 的影响，重点放在降低 FPGA 中 SRAM 晶格的自发软错误率上，在出现软错误时，提供解决方案，帮助设计人员达到其系统可靠性目标。通过研究每一技术节点和产品系列的 SEU 特性，Altera 在下一代产品中不断进行改进。结果，降低了自发软错误率，或者，在最近几个技术代中，软错误率至少保持平稳。为帮助设计人员达到系统可靠性目标，Altera 还关注在出现软错误时提供解决方案，以减小其影响。采用 Stratix V FPGA，系统设计人员首先迅速探测并纠正 SEU 错误，以后再对错误进行分类。



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

版权 © 2010 Altera 公司。保留所有权利。ALTERA、ARRIA、CYCLONE、HARDCOPY、MAX、MEGACORE、NIOS、QUARTUS 以及 STRATIX 均在美国专利和商标事务所进行了注册，是 Altera 公司在美国和其他国家的商标。所有其他商标或者服务标记的所有权属于其各自持有人。  
[www.altera.com/common/legal.html](http://www.altera.com/common/legal.html) 对此进行了解释。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。



## 降低干扰率

可以通过每 Mb 失效时间 (FIT) 来表示 SRAM 晶格的敏感性, 或者以中子截面积来表示。业界对中子敏感性最一致的指标是在洛斯阿拉莫斯武器中子研究室 (WNR) 测量的 >10 MeV 中子截面积。在工艺技术之间逐项对比这一指标, 不会调整因子来提供看起来更好的 FIT 数据。

通过工艺技术以及仔细的 CRAM 晶格物理设计和电路级技术, Altera 降低了高级工艺代每比特的干扰率。此外, 在工艺技术中消除了闭锁等潜在损害的影响, 意味着减小软错误是唯一要解决的问题。为理解软错误效应, 最重要的是知道 FPGA 中的哪一构建模块最有可能出现功能错误。由于寄存器、触发器和 I/O 寄存器最不可能出现错误, 因此, Altera 的重点是降低 CRAM 晶格和用户 RAM 晶格的 SEU。

### 逻辑、布线和硬核 IP CRAM 晶格

最大的 Stratix V FPGA 有 250 Mb CRAM, 逻辑、布线和硬核知识产权 (IP) CRAM 晶格在片内 SRAM 晶格中占有最大比例。由于这些 SRAM 晶格直接控制 FPGA 的功能, 因此, 其完整性非常重要。然而, 实际情况是, 即使在整個设计中, 较低的布线率使得只有一小部分这些比特会影响设计。

### 片内存储器 RAM 晶格

Stratix V FPGA 提供 50 Mb 用户存储器, 因此, 大量的用户存储器会对 FPGA 中的软错误率有很大的影响。Stratix V FPGA 中的 M20K 存储器模块内置了硬核误码校正 (ECC) 功能, 并增强了多比特探测和校正功能。增强多比特校正结合字中的比特物理分离功能 (通常称为间插), 切实降低了用户存储器中的多比特干扰。

### 器件内核中的寄存器和触发器

寄存器和触发器位于 Stratix V 自适应逻辑模块 (ALM)、数字信号处理 (DSP) 模块、流水线 and 存储器端口中。由于这些晶格相对于典型 SRAM 晶格有较小的中子截面积 (换言之, 更高的临界电荷), 因此, 它们对 FIT 率的贡献非常小, 从统计角度看, 对基于 SRAM 的 FPGA 的影响微不足道。

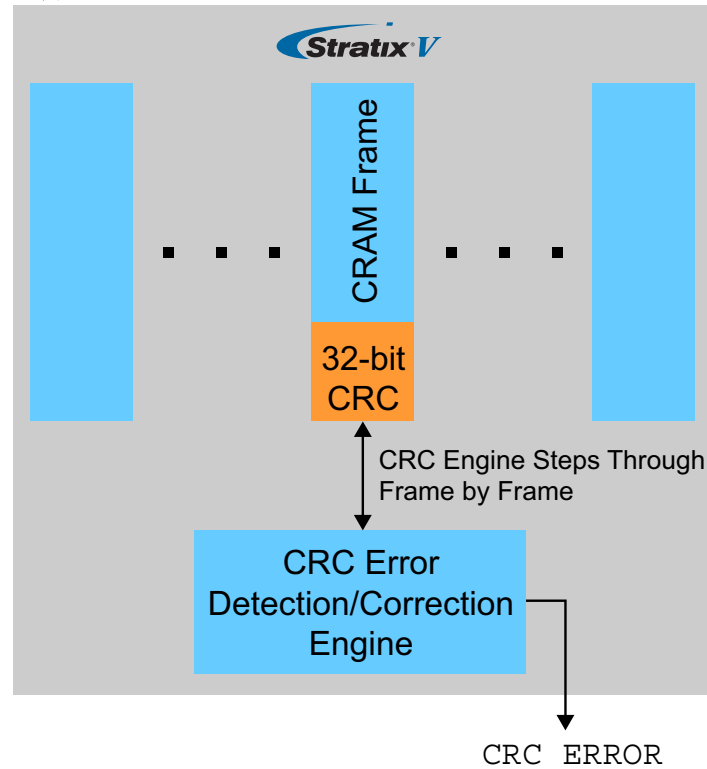
### I/O 寄存器

I/O 寄存器内置在芯片外设中, 它工作在较高的电压下。从降低 SEU 的角度看, 这些寄存器在设计上非常可靠。而且, 由于 I/O 寄存器的数量相对较少, 因此, 它们对于 FIT 率没有贡献。在 SEU 测试期间, 并没有在寄存器中观察到干扰。

## 降低配置 RAM 软错误

从 130-nm 工艺代开始, Altera 使用循环冗余校验 (CRC) 硬核引擎, 在所有 FPGA 中实现了背景错误探测电路, 支持器件工作期间 CRAM 内容的连续验证。对 Stratix V FPGA 中的 32 位 CRC 电路 (图 1) 进行了改进, 支持 9 个 9 (99.999999767%) 的错误探测。还对 CRC 电路进行了改进, 以纠正单比特和两边邻近多比特干扰。在片内硬件逻辑门中集成这一电路的优点在于电路非常可靠, 对软错误不敏感。而且, CRC 引擎是自备模块, 在 Altera Quartus® II 开发软件中选择编译选项就可以使它。

图 1. Stratix V 集成配置 CRC



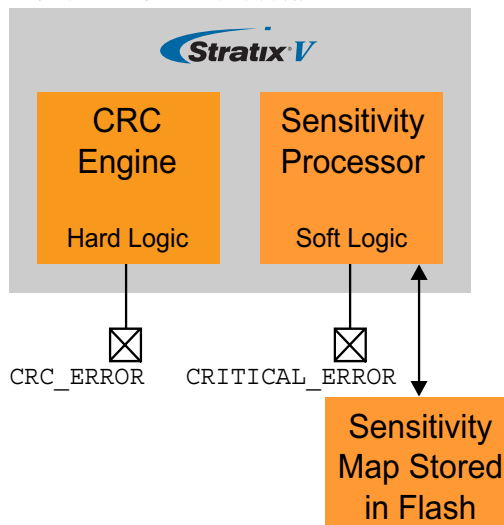
虽然以前的工艺代每帧使用了一个 16 位 CRC 值，而 Stratix V FPGA 使用增强 32 位 CRC 多项式，性能接近 100% 错误探测。结合较快的时钟，与以前的工艺代和竞争解决方案相比，这缩短了错误探测时间。此外，由于每一帧之间相互隔离，并采用了相应的 CRC 寄存器，因此，可以探测并定位每一帧中同时出现的软错误。表 1 总结了几代 Stratix 系列 FPGA 对 CRC 的改进。

表 1. Stratix 系列 FPGA 对 CRC 的改进

Stratix 系列 FPGA	整个 CRAM 的 CRAM CRC	CRAM 帧的 CRAM CRC	CRAM 错误位置	插入 CRAM SEU 错误进行测试	错误分类	CRAM 错误纠正	片内存储器错误校验
Stratix, Stratix GX	是						
Stratix II, Stratix II GX	是						
Stratix III		是	是	是	是		是
Stratix IV E, Stratix IV GX, Stratix IV GT		是	是	是	是		是
Stratix V E, Stratix V GX, Stratix V GT		增强	是	增强	是	是	增强

通过软错误定位功能，使用软件工具，进一步增强了确定错误敏感性的能力。由于通常只有一小部分配置错误会影响 FPGA 功能，因此，忽略“不重要”的配置软错误会降低实际 FIT 率，这是因为不用中断功能就可以决定 FPGA 继续工作。使用 Quartus II 软件中集成的宏功能，在软核逻辑中实现图 2 所示的关键错误探测功能。

图 2. Stratix V FPGA 中的关键配置软错误探测功能



通过以下步骤实现关键错误探测方案：

1. 使用内置软错误探测电路，探测并定位配置软错误。这会置位 `CRC_ERROR` 引脚。
2. 软核逻辑处理错误信息，利用这一信息来计算文件中的地址，这一文件含有的映射指明哪些配置位“重要”或者“不重要”。
3. 使用用户设定的存储器接口，例如，主动串行配置端口，软核逻辑访问敏感映射文件中相应的比特，确定某一配置软错误对于 FPGA 中当前配置的设计是否重要。
4. 如果配置软错误“不重要”，那么，FPGA 会继续工作，不会有功能错误。如果配置软错误“重要”，可能会影响功能，那么，`CRITICAL_ERROR` 引脚被置位，系统会采取相应的措施，例如，重新配置 FPGA。敏感映射文件含有“重要”和“不重要”位的映射，Quartus II 软件根据资源使用和采用的布线情况，针对某一设计，自动产生这一文件。这意味着，进一步降低 FIT 率有利于整个设计中某些部分的工作，因为未使用资源中的配置软错误不会导致关键错误。

由于在软核逻辑中实现确定引脚“重要”或者“不重要”的敏感处理器，因此，可以在接口信号和控制逻辑中采用三模冗余技术。在配置软错误影响 FPGA 的某一部分工作时，这一技术能够确保可靠的工作。高可靠性系统需要这类高级方法，但更重要的是，能够通过注入配置软错误来测试系统。当处理软错误时，这就不需要系统采用合适的离子辐射源来测试系统行为。

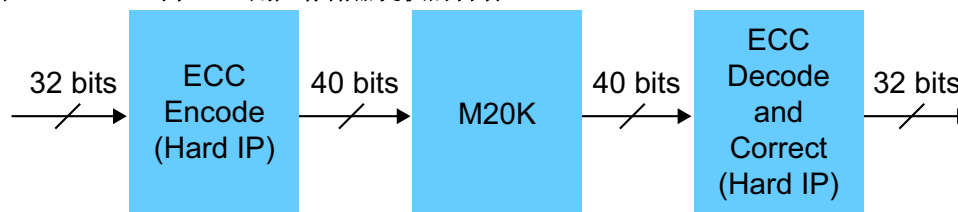
Stratix V FPGA 支持用户注入多个单比特错误以及多比特错误，从而增强了错误注入功能。对于已经开发了硬件的情况，通常需要这一功能。相应地，Stratix V FPGA 通过 JTAG 端口提供这一功能，很容易测试正在运行的系统，验证降低软错误的策略。

## 降低用户 RAM 软错误

除了配置存储器校验以外，Stratix V 还能够检查片内存储器的完整性。Stratix V FPGA 提供两种容量的用户存储器，每一种都可以使用每个字节第 9 个存储器位作为奇偶校验位来使能错误探测和校正功能。采用这一额外的存储器，以及自动生成的 ECC 电路，640 位 MLAB 和 20-Kb M20K 模块降低了 SEU。

如图 3 所示，M20K 模块具有双误码纠正 / 三误码探测 (DECTED) 代码的硬核 ECC 电路。而且，对存储器模块进行了仔细的布局，因此，一个数据字中的逻辑位是物理分开的。这一方法被称为“间插”，是存储器设计标准最佳实践。增强多比特探测和校正功能结合间插功能在多比特干扰方面最大程度的降低了 SEU。

图 3. Stratix V 为 M20K 用户存储器提供的自动 ECC



Altera MegaWizard® 插件管理器简化了 ECC 的配置，它在提供这一功能时不需要进行额外的设计。可以使用 Altera SignalTap™ 逻辑分析器的系统存储器内容编辑器功能来测试是否降低了 Stratix V FPGA 用户存储器软错误，这一分析器支持在 Quartus II 软件中通过 JTAG 连接来修改存储器内容。

对于 Stratix V FPGA 连接外部存储器的情况，Altera 存储器接口 IP 也包括对 ECC 的支持。控制器具有的错误记录和中断管理功能支持系统对外部存储器的软错误进行监视。

## 降低软错误的方法

对于在高可用性、高可靠性和安全关键系统中设计高端 FPGA 的用户而言，具有较低的软错误率并且切实能够降低软错误率非常重要。对于可靠性工程师，降低软错误是满足系统可靠性目标的手段。根据系统需求和工作环境，可以采用多种降低软错误的策略。

第一步通常是建立一个目标，例如，MTBF、停机或者必须的失效模式等。在很多情况下，能够以较少的投入实现可靠性目标。例如，考虑集成了 CRC 引擎的中等密度 Stratix V FPGA，以及“出现错误重新配置”策略，很容易达到 10-11 部分停机，比电信基础设备要求的 5 个 9 的 99.999% 可用性高出几个数量级。但是，应全面考虑整个系统，特别是材料表规模较大，或者 FPGA 有较多复杂 IP 的情况。

处理器和操作系统认证以及软件编码实践对实际系统的可靠性指标有很大的影响，这是大部分系统设计人员需要注意的。对于数字 IC 中软错误的情况，在分析中也要包括任何含有易失存储器的元件。例如，如果含有较大的 DDR1/2/3 SDRAM，它对系统软错误率的影响最大，那么应考虑在存储器控制器中采用 ECC 等方法。系统划分对可靠性也有很大的影响，例如，有多少系统分区对内核工作的影响最大，或者，对于系统冗余的情况，实现冗余的粒度等（通常是粒度越大越好）。

处理软错误有很多方法，包括出现软错误后确定停机是不重要的关键参数，例如，平均修复时间等。降低系统软错误行为的其他例子包括执行系统前后状态保存、复位和恢复，以及在日志中简单的标记软错误，尽早重新设置系统等。关键配置 SRAM 比特中出现软错误后，以开环方式进行纠正之前，系统功能可能会在一段时间内不正常。这种情况的危险之处在于，FPGA 已经处理了不正确的数据，并向系统的其他部分进行扩散。虽然任何 FPGA 错误探测方法都会有相同的问题，但最好能够在系统级发现软错误，从而标记不正确的数据。

## 降低软错误的选项

设计 FPGA 时，Altera 重点放在降低 CRAM 晶格每比特软错误率以及降低软错误方法上，例如，关键错误探测等，从而大幅度提高可靠性。在降低片内 RAM 软错误时，很容易理解而且也很好用的 ECC 方法提供了良好的保护，对硅片面积和性能的影响很小。使用 ECC 意味着以系统速度检查存储器，自动进行校正。

对于需要大幅度降低软错误的设计人员，ASIC 提供了最佳解决方案。Altera 的 HardCopy® ASIC 提供从原型 FPGA 到引脚兼容 ASIC 的无缝移植，不需要在设计工具、芯片设计和电路板重新设计上进行大规模投入。ASIC 不具有在完成系统前推迟下单的能力，包括 PCB，而 FPGA 原型做到了这一点。HardCopy ASIC 没有 SRAM 配置晶格，金属设置对 SEU 不敏感，因此，逻辑功能不受软错误的影响。芯片中唯一敏感的部分是用户存储器，它使用 ECC 和内核寄存器进行校正，内核寄存器的干扰率非常低。例如，在 HardCopy ASIC 中，采用 Hcells 来构建逻辑寄存器。

在洛斯阿拉莫斯 WNR 测试期间，发现对于逻辑寄存器，观察到较低密度时没有干扰。使用统计分析，估计 FIT 率每百万寄存器小于 100 FIT，可信度达到 95%。很多技术创新，例如提高反馈环逻辑门强度、隔离主机和从机级、通过过孔设置提高节点电容等，都对 FIT 率有影响，比任何商用 FPGA 低几个数量级。使用 Stratix V FPGA 进行原型开发的 HardCopy V ASIC 采用了相似的方法，在任何 ASIC 中，抗软错误的的能力最强。

## 总结

Stratix V FPGA 为解决 SEU 系统难题提供了强大的技术路线，其降低软错误的方法包括简单配置软错误探测，确定功能的不同，以及“不重要”的配置软错误。Stratix V FPGA 具有多种降低 SEU 的特性，包括内置器件和工具，支持：

- 内置在硅片中的快速错误探测功能
- 内置在硅片中的立即错误纠正功能
- 通过改进后的工具支持错误分类
- 硬件和工具支持的故障注入功能
- 用户 RAM 中的 ECC 内置到硅片中

结合自动片内和外部存储器软错误校正功能，使用 Stratix V FPGA 设计的系统显著提高了可靠性，支持在高可用性、高可靠性和安全关键系统中使用 FPGA。

## 详细信息

- **Stratix V FPGA: 为带宽而打造:**  
[www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp](http://www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp)
- **资料: Stratix V 器件:**  
[www.altera.com/literature/lit-stratix-v.jsp](http://www.altera.com/literature/lit-stratix-v.jsp)
- **单事件干扰:**  
[www.altera.com/support/devices/reliability/seu/seu-index.html](http://www.altera.com/support/devices/reliability/seu/seu-index.html)
- **应用笔记: 使用 Altera FPGA 中的 CRC 功能探测误码并纠正:**  
[www.altera.com/literature/an/an357.pdf](http://www.altera.com/literature/an/an357.pdf)
- **如果需要 Altera FPGA SEU 测试报告, 请联系您的销售代表:**  
[www.altera.com/corporate/contact/con-index.html](http://www.altera.com/corporate/contact/con-index.html)

## 致谢

- Manoj Roge, 系统设计师, 产品规划组, Altera 公司。

## 文档修订历史

表 2 列出了本文档的修订历史。

表 2. 文档修订历史

日期	版本	进行的修改
2010 年 7 月	1.0	初次发布。