

实现具有不同性能、精度、知识产权 (IP) 和开发流程的各种数字信号处理 (DSP) 数据通路是一项挑战性的工作，需要投入大量的精力。越来越多的高性能 DSP 数据通路在 FPGA 中实现，因此，Altera 开发了全面的 28 nm DSP 解决方案以解决这些难题，加速实现基于 FPGA 的应用设计。本白皮书讨论这一系列产品的不同组件，怎样组合使用它们来加速实现 DSP 设计。

引言

虽然信号处理一般总是要用到数字信号处理器，但是，很明显的发展趋势是选择 FPGA 作为实现高性能、高精度信号处理的平台。相应的，FPGA 供应商在其内核硅片体系结构中开始提供硬核乘法器以及 DSP 模块。还提供 IP 内核以帮助使用传统功能，例如有限冲击响应 (FIR) 和快速傅立叶变换 (FFT) 等。

结果，很多应用采用 FPGA 作为主要的信号处理平台。如图 1 所示，这些应用具有一个共同点——性能需求超出了传统可编程数字信号处理器所具备的性能。

图 1. 不同的应用有不同的性能、精度、IP 和工具需求



这些系统不仅有不同的性能和精度要求，还有不同的设计和开发流程。例如，视频处理需要 9 至 10 位精度，一些高端设计则需要 16 位颜色深度。这些设计通常在 HDL 设计流程中完成，越来越多的使用视频和图像处理 IP 功能来加速开发流程。另一方面，军用雷达设计要求尽可能提高 DSP 性能以及浮点精度，以获得最大动态范围。很多这类设计在流行的 MATLAB 和 Simulink 工具中建模，提供适用于 FPGA 体系结构的浮点功能。

Altera 的全系列 28-nm DSP

FPGA 供应商面临的重大难题是提供全系列 DSP 解决方案——不仅要包括可配置的 DSP 硅片体系结构，而且还要提供多种工具、IP 和构建模块，帮助设计人员迅速高效的实现其算法。为支持 28-nm Stratix® V、Arria V 和 Cyclone V FPGA，Altera 提供全系列 DSP，如图 2 所示，它包括精度可调 DSP 体系结构、DSP Builder 高级模块库、视频设计工作台以及全套的浮点 IP。

图 2. 业界第一款“全系列”DSP



精度可调 DSP 体系结构

Altera DSP 系列解决方案的基本出发点是认识到没有完全通用的解决方案，需要理解用户的各种需求，以及他们愿意使用哪种设计和开发环境。信号处理应用有不同的精度要求，在信号处理数据通路的不同级有不同的精度等级要求。例如，视频广播应用可以高效的使用从 9x9 直至 18x18 的乘法器。无线和医疗系统等其他应用需要开发多通道复杂滤波器，要求维持滤波器每一级之后的数据精度，进一步推动了高精度需求。除此之外，军事、测试和高性能计算等应用提出了性能和精度要求，进行复数矩阵运算和 FFT 时需要单精度甚至双精度浮点。

为满足各种 DSP 应用的不同精度要求，Altera 设计了业界的第一款精度可调 DSP 模块。如图 3 和图 4 所示，它是市场上第一款具有两种自然精度模式的 DSP 模块，即，18 位精度模式和高精度模式。这一特性实现了与以前 40-nm DSP 模块的后向兼容，还能够高效的支持新出现的高精度信号处理应用。此外，针对各种应用优化了 Stratix V、Arria V 和 Cyclone V 器件的精度可调模块。

图 3. Arria V 和 Cyclone V 18 位精度和高精度模式

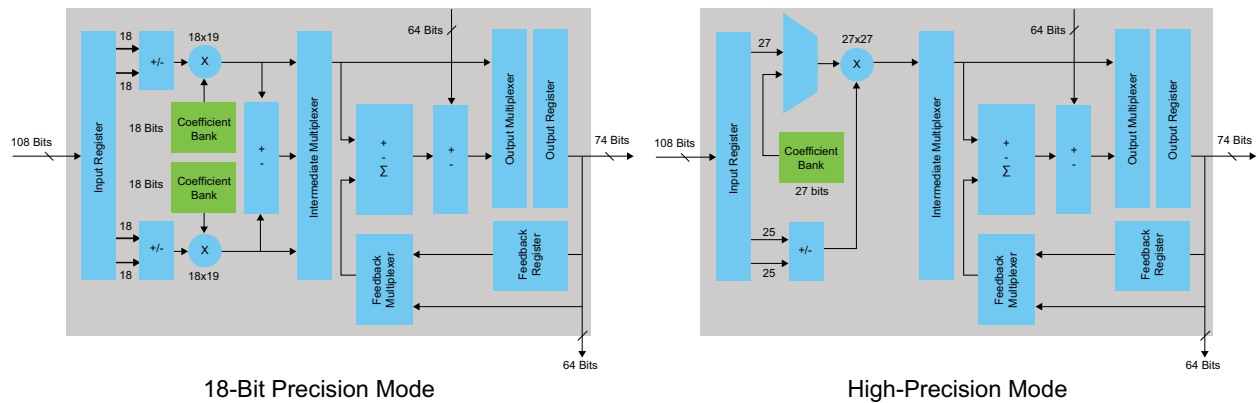
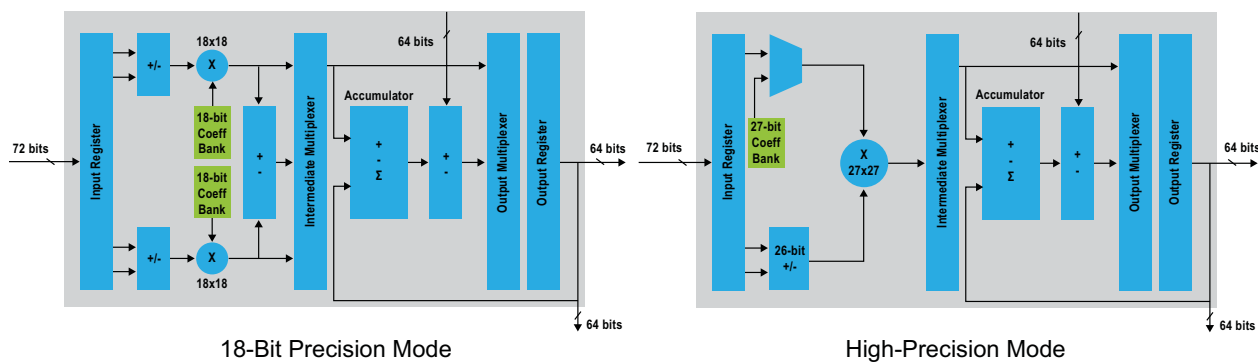


图 4. Stratix V 18 位精度和高精度模式



一个 28-nm 精度可调 DSP 模块能够支持从 9x9 直至 27x27 的精度范围。而且，可以单独设置器件中每一模块的精度，以支持各种设计的位增长，例如，FIR 和 FFT 等。之所以把这一模块称为“可调”，是因为其精度是由用户配置的，可以在每个模块的基础上进行配置。这是功能强大的新概念，因为 FPGA 设计人员以前不得不让算法适应模块体系结构，导致无法采用最佳实现方法，或者需要修改算法。

传统的固定精度 DSP 体系结构只支持一种精度。结果，如果算法精度要求较低，设计人员浪费了资源，精度要求较高时，不得不级联多个模块，导致性能降低。在这种情况下，只有精度可配置 DSP 模块能够在严格的成本和功耗预算范围内实现最佳系统性能。

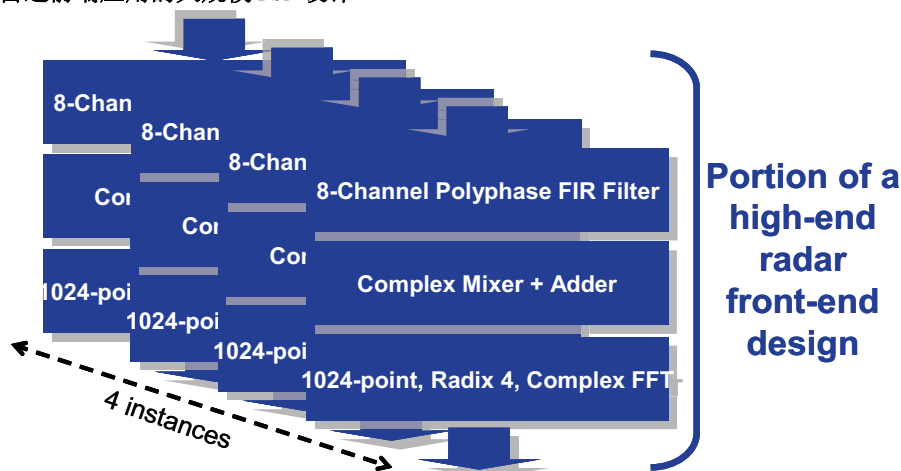
设计精度可调 DSP 模块时，我们也非常清楚高性能数据通路对高精度和复数乘法运算的需求越来越大。为实现多个 DSP 模块的级联，我们采用业界唯一的 64 位级联总线和加法器设计了精度可调模块。这一设计可以实现规模更大的复数乘法器和浮点信号处理功能，与竞争 18x25 体系结构相比，只用了不到一半的资源。

DSP Builder 高级模块库

Altera 的 DSP Builder 工具支持基于 Simulink 的高级综合、时序驱动的网络优化功能，为 FPGA 提供全面的浮点设计流程。网络优化是 DSP Builder 工具所特有的功能，支持设计人员设定系统所需的 f_{MAX} （时钟频率）和延时，由工具完成其他工作。DSP Builder 工具包括提高关键通路 f_{MAX} 以满足延时约束所需的寄存器。结果，简单的按下按键就可以进行修改，不需要手动完成耗时的 HDL 代码编写工作。

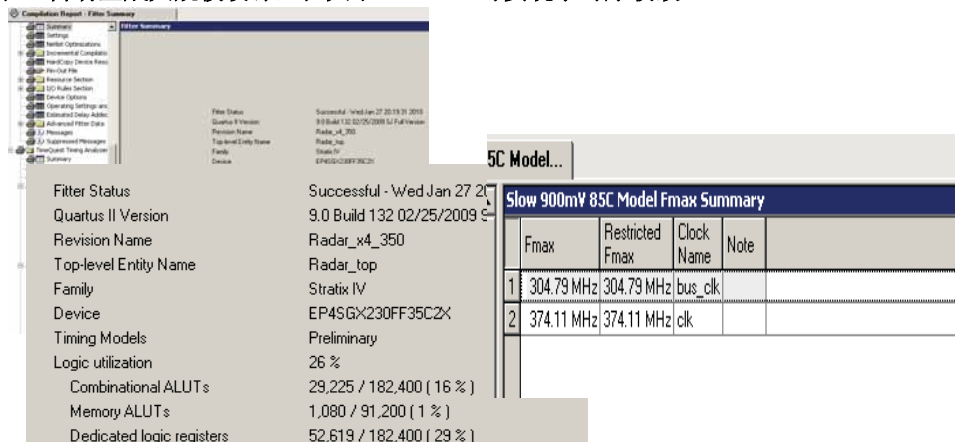
通过使用 DSP Builder 工具，满足 350 MHz 时序的雷达设计这一实例很好的说明了该工具能够大幅度提高效能。图 5 显示了由 Altera 和 The MathWorks 联合开发的部分雷达设计，在 Stratix V FPGA 中实现了这一设计，目标 f_{MAX} 达到了 350 MHz。

图 5. 雷达前端应用的大规模 DSP 设计



一般而言，只有通过手动编写 HDL 才能满足这一 f_{MAX} 约束，从而增加了所需的寄存器和资源。但是，采用 DSP Builder 工具，设计人员可以自动实现这一性能要求。图 6 中的编译报告表明，一个大约 60K 逻辑单元 (LE) 的大规模设计实现了大于 350 MHz 的系统 f_{MAX} ，不需要手动进行复杂的 HDL 设计。

图 6. 自动生成大规模设计，在大于 350 MHz 时实现了时序收敛



通过以下步骤实现这一系统 f_{MAX} ：

1. 使用 DSP Builder 库中的构建模块在 Simulink 中开发数据通路，对其进行仿真，确定符合算法要求。

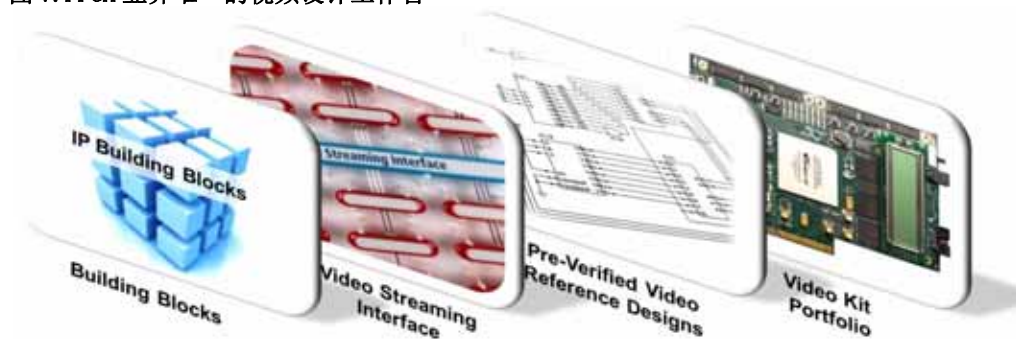
2. 在 Simulink 的 (.params) 参数文件中将系统总 f_{MAX} 设置为 350 MHz，让 DSP Builder 工具针对所需的性能来进行优化。在高级 Simulink 设计描述中，以高级抽象的方式加入系统实现约束。
3. 当您点击 “DSP Builder” 后，分析 Simulink 设计描述，为 Stratix V FPGA 生成 HDL 代码和比特流。采用了时序约束（在这一例子中， f_{MAX} ）。自动加入了流水线寄存器以及数量合适的时分复用功能，以满足甚至超过所设定的 f_{MAX} 。

设计人员还可以采用 DSP Builder 工具高效的运行多个 “what-if” 场景。对此，所需要做的工作是修改 f_{MAX} 设置、延时设置、目标器件体系结构以及设计参数等，这都通过在 MATLAB 和 Simulink 中编辑顶层参数文件来实现。对性能、延时和器件利用率满意后，设计人员可以为数据通路选择使用这一 HDL，或者进一步修改代码以实现其他系统目标。在所有情况下，都能够大幅度缩短设计周期。

视频设计工作台

视频处理向 1080p 高清晰 (HD) 分辨率发展，因此，FPGA 成为视频处理的理想平台。Altera 在 4 年前便认识到这一发展趋势，投入开发了视频设计工作台，如图 7 所示，超越了 Xilinx 的设计工具，赢得了 2009 EDN 创新大奖。

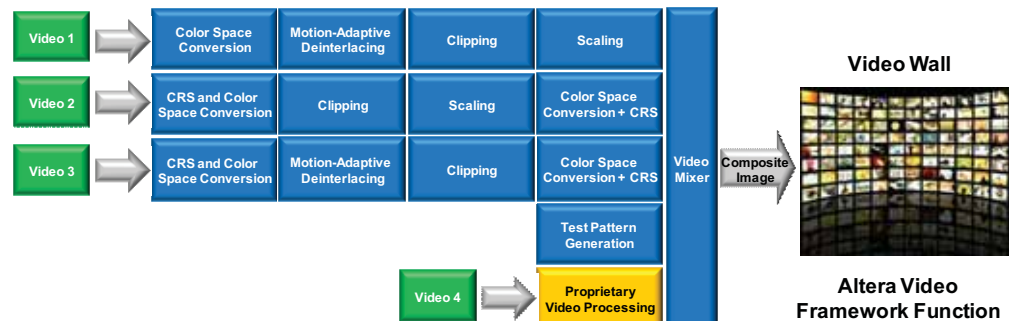
图 7. FPGA 业界唯一的视频设计工作台



Altera 的视频设计工作台包括 18 个视频功能，支持流视频接口标准，并提供 6 个经过硬件验证的参考设计，以及多种视频开发套件，是目前市场上唯一具有这些功能的工作台。目前为止，100 多名用户在其系统中使用了这一视频设计工作台。

图 8 显示了采用 Altera® 视频设计工作台的一个用户设计实例。这里的最终系统是采用了多个视频源的视频墙，也称为复合视频。室外广告显示屏以及医疗、军事和广播等应用通常会采用这类视频墙。由于每一视频都来自不同的视频源，因此，对它们进行不同的处理，某些视频源进行去隔行和缩放处理，而其他视频源开始是逐行的，只需要进行缩放，而其他一些则需要进行定制处理。然后，将所有这些源合在一起，构成复合图像，这些都在用户的控制下。

图 8. 使用 Altera 的视频设计工作台来开发定制视频墙



注释:

(1) 图片: Apantac LLC

开发这种非常复杂的视频信号链时，您可以利用 Altera 视频设计工作台中的构建模块和开放流接口。可以结合 Altera 视频和图像处理套装的关键 MegaCore[®]功能来开发一个视频通路，而其他通路则完全是定制的。然后，将所有视频流进行 alpha 混合，形成复合视频流。

完整的浮点 IP

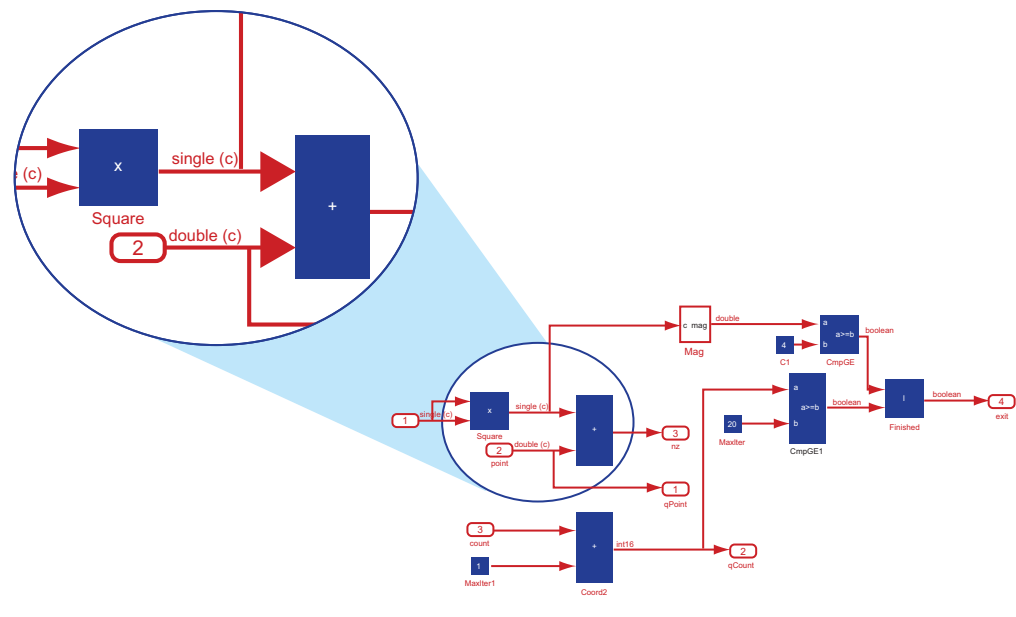
在高性能 DSP 领域，浮点信号处理速度较慢，但的确是提高动态范围的一种方法。Altera 的内部研究表明，大约一半的高性能 DSP 设计使用了 FPGA，例如，高级军用空时自适应处理 (STAP) 雷达、LTE 通道卡的 MIMO 均衡功能，以及高性能计算箱等，其精度要求都在 18 位以上。

浮点处理一般涉及到尾数乘法、尾数归一化和去归一化以及指数加法。虽然指数加法和减法非常简单，但是，尾数乘法和归一化操作需要精度高于 24 位的乘法器。为完成这些操作，必须级联最高 18x25 精度的传统 FPGA 体系结构才能实现单精度尾数乘法功能。

Altera 新的精度可调 DSP 体系结构使用一个模块实现单精度浮点数尾数乘法，从而支持性能非常高的设计。

此外，在 DSP Builder v.10.1 以及更高版本中，Altera 集成了工具流程来开发浮点数据通路。这一“融合数据通路”工具流程开发浮点数据通路，同时考虑了 FPGA 的硬件实现问题。设计人员使用该设计工具能够实现高性能浮点大规模 FPGA 设计，如图 9 所示。

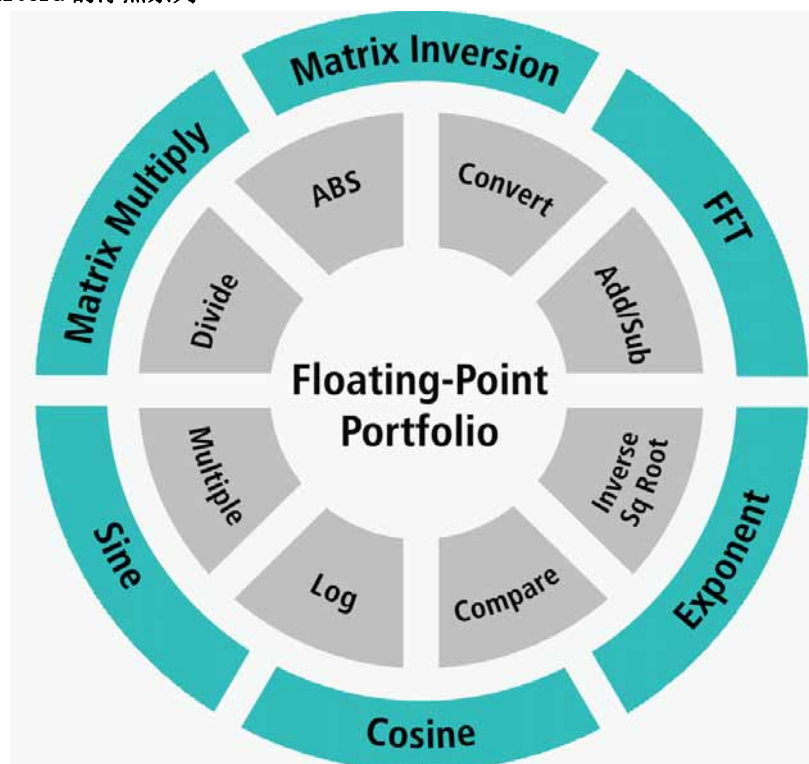
图 9. 浮点设计输入实例



Stratix V FPGA 与融合数据通路工具流相结合，现在可以支持 1-teraFLOPS 的处理速率。还没有竞争 FPGA 供应商能够达到这一性能水平。融合数据通路工具流也能够很好的用于其它 Altera FPGA 系列，例如，Stratix II、Stratix III 和 Stratix IV FPGA，以及 Arria、Arria II、Arria V 和 Cyclone V FPGA。Altera 多年以来在内部一直使用这一工具流程来开发浮点 IP 和参考设计。而且，已经开始向设计人员提供 Stratix IV 浮点性能 IP。

最后，如图 10 所示，Altera 的系列浮点功能是 FPGA 业界最全面的浮点 IP 内核，包括加法、减法以及倒数等简单运算，直至复杂的矩阵乘法、矩阵求逆和 FFT 等。

图 10. Altera 的浮点系列



针对 Altera 器件体系结构优化了这些功能，因此，它们可以实现非常高的 f_{MAX} 和较低的延时。对于 64x64 等大规模矩阵乘法功能，可以实现高达 380 MHz 的 f_{MAX} 。

总结

“FPGA 中的 DSP”这一概念涉及到不同行业和应用，每种应用都有不同的性能、精度、IP 和工具流程要求。目前的 FPGA 供应商希望能够满足用户在全系列 DSP 上的需求，以便快速实现设计和调试，这包括 IP、工具、构建模块功能和可配置 DSP 模块，由此，Altera 开发了独具优势的“全系列”DSP 解决方案，结合 28-nm Stratix V、Arria V 和 Cyclone V FPGA，在多种市场和应用领域实现了高性能 DSP 设计。

详细信息

- Stratix V FPGA: 为带宽而打造:
www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp
- 资料: Arria V FPGA:
<http://www.altera.com/products/devices/arria-fpgas/arria-v/arrv-index.jsp>

- 资料: Stratix V 器件:
www.altera.com/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp
- DSP 解决方案:
www.altera.com/technology/dsp/dsp-index.jsp
- Altera 全系列 28-nm DSP: 提高信号处理性能最快的途径:
www.altera.com/b/28-nm-dsp-portfolio.html
- 网播: “加速实现基于 FPGA 的 DSP 设计”:
www.altera.com/education/webcasts/all/wc-2010-accelerate-fpga-dsp-designs.html
- 视频和图像处理 (VIP) 套装 MegaCore 功能:
www.altera.com/products/ip/dsp/image_video_processing/m-alt-vipsuite.html

致谢

- Suhel Dhanani, 嵌入式市场高级经理, Altera 公司。
- Jordon Inkeles, 软件和 DSP 市场高级经理, Altera 公司。

文档修订历史

表 1 列出了本文档的修订历史。

表 1. 文档修订历史

日期	版本	进行的修改
2011 年 5 月	1.1	增加了 Arria V、Cyclone V 和精度可调 DSP 模块的详细信息。
2010 年 7 月	1.0	初次发布。