

每一个工艺节点的缩小都会带来FPGA密度的增加。相比前几代FPGA，更高的密度与重配置等诸多特性使广大设计人员能够添加或者改变这些器件的功能。正是由于这种重配置特性，FPGA为适应功能的增强和设计修改提供了一个完美的平台。然而，就100G-光传输网络（OTN）多路复用转发器（复用转发器）等应用而言，这种完全重配置特性可能并不好。因为复用转发器应用要求在不中断整个系统并且不停止数据流的情况下改变逻辑，这样便有了对局部重配置特性的需求。Altera® Stratix® V FPGA支持局部重配置，其与许多其它特性一起满足100G-OTN复用转发器应用和其它应用的需求。

## 引言

局部重配置是一种在器件其它局部继续工作的同时，对FPGA某部分进行重配置的功能。用户可从这种特性中获得的最大好处是低器件数目。由于不再需要实现一些不在FPGA中同时工作的功能，局部重配置改善了逻辑密度。使用更小的器件或者更少数量的器件，可降低系统成本和功耗。这种技术的一些重要应用包括许多可重配置通信系统和高性能计算平台。

在一些静态随机存取内存（SRAM）型FPGA构架，所有用户可重配特性均由内存单元控制，它们并不稳定并且必须在加电时获得配置。这些内存单元（也称作配置随机存取内存，CRAM），包含逻辑单元功能、布线、寄存器加电条件、I/O电压标准以及各FPGA其它部分。

配置内存通过一个比特流编程，其包含控制模块指令和所有配置内存的数据。通过一个使用许多配置方案中的一种方案的主机（例如：快速无源并行（FPP）配置FPP x16等），或者通过如PCI Express®（PCIe®）、Serial RapidIO®和千兆位以太网（GbE）标准等任何可用通信协议，将该比特流编程至FPGA中。

可利用局部生成比特流来对基于SRAM的FPGA进行局部编程，该比特流包含控制模块指令和配置内存数据。支持这种功能要求硅芯片创新和控制模块内建智能，以处理局部生成的比特流文件。FPGA架构需要能够清除逻辑单元中的现有功能，然后编程实现新的功能，同时结构其它部分均保持有效。Stratix V FPGA通过硅结构创新及内建智能并利用Quartus® II软件实现了这种局部重配置功能。



## 应用

局部重配置适用于那些具有许多不同时运行的重配置的设计，其可以共享 FPGA 的许多相同资源。这些系统中，FPGA 的某个部分继续工作，而其它部分则针对新功能进行重配置。局部重配置适合于一些要求持续运行的应用，因为其凭借器件局部重配置功能提供了比完全重配置更大的优势。例如，在 100G-OTN 中，用户可以利用局部生成比特流对运行中的每一条通道进行重配置，并修改选中端口的功能。局部重配置的另一个例子是高性能计算系统，这种系统中不同的服务平台要求频繁地更新算法。局部重配置支持局部比特流的压缩和加密，以适用于一些军事应用，例如：创建更强大的设计安全性应用等，这些应用中局部用于解密进入比特流，加密一个新的比特流，然后对器件其它部分进行配置。局部重配置使系统可以在 FPGA 中其它模块获得配置的同时保持实时链接。

## 局部重配置方法

要成功实现一个局部重配置设计，需进行前期规划。设计人员需要确定实时重配置所需的一些模块（局部模块），以及保持可运行状态的一些模块（静态模块）。若想成功实现一种使用局部重配置的设计，请严格遵循如下一些原则：

- 遵循模块设计的综合原则。
- 确定局部模块，使用渐进式编译方法和 LogicLock™ 流程对其进行规划。
- 所有局部模块及其变体的模块边界都不应改变，否则可能需要对整个 FPGA 进行重配置。
- 局部模块和静态模块之间的重置不应共享。
- 依靠局部模块状态的静态模块内部逻辑应有正确的握手逻辑，以处理
- 局部模块的可用性和非可用性。

Altera 提供两种局部重配置设计创建流程：

- 设计分区型流程—这种流程中，用户在器件上保留一定空间，该区域或空间可在设计其它部分运行的同时完成配置。
- 工程变更单（ECO）型流程—这是一种让用户可以在设计其它部分运行的同时进行最少设计逻辑修改的流程。

这两种流程均使用渐进式编译和 Altera 一流的 Quartus II 软件芯片规划器工具。这些特性和工具帮助规划设计以实现局部重配置。

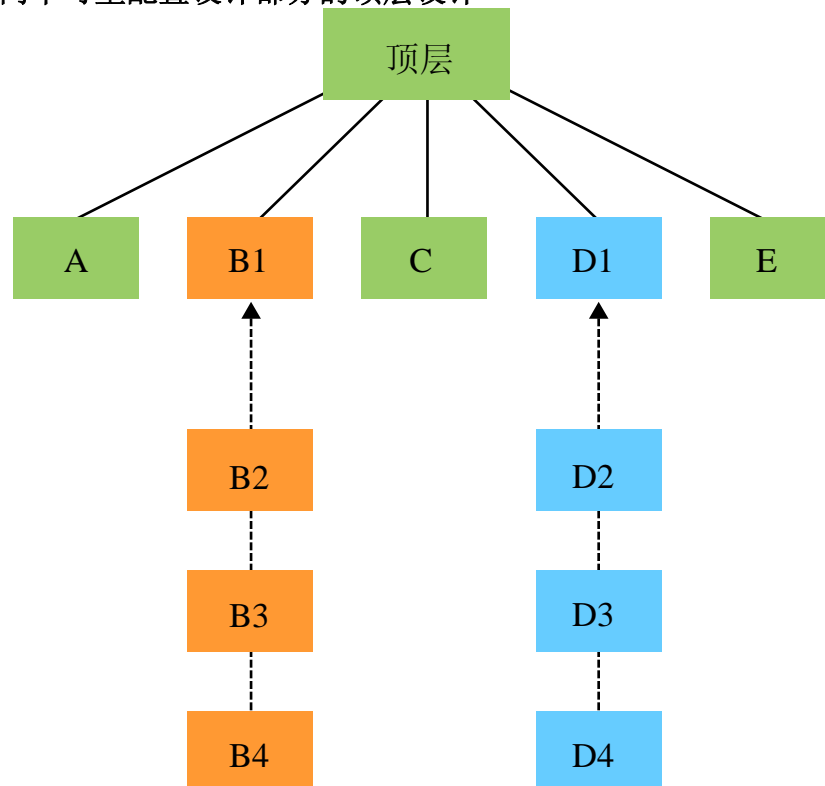
## Quartus II 软件实现

通过消除实现FPGA中不同时运行功能的需求，局部重配置改善了有效逻辑密度。Altera拥有简单的局部重配置过程，并有构建在成熟渐进式编译设计之上的设计流程，以及Quartus II设计软件的LogicLock流程。要在Stratix V设计流程中融入分区重配置，请按照如下步骤对设计分层进行规划：

- 1、确定后续器件配置代替的设计模块，然后在一个单独资源文件中规划实现所有这些设计模块。
- 2、利用实例化每个设计模块的顶层结构创建一个顶层Quartus II项目。
- 3、在重配置器件时创建一些描述不同的逻辑功能不同设计文件，而这些功能均可针对每个可重配置设计模块进行实现。其每个功能的所有可重配置设计模块端口定义或分层边界都必须相同，这样模块才可以在不要求对顶层设计任何其它逻辑进行修改的条件下获得重配置。

例如，图1所示顶层设计实例化了数个设计模块，其中包括两个设计模块B和D，其将被局部重配置修改。模块B和D都有一些FPGA中可能会要求的不同逻辑功能，这样便有16种可在FPGA中实现的设计逻辑组合。如果初始编译使用实例B1和D1，并产生一个全芯片编程文件，则还必须生成8个局部编程文件，这样B和D才能在任何时候再次重配置为不同的逻辑功能。

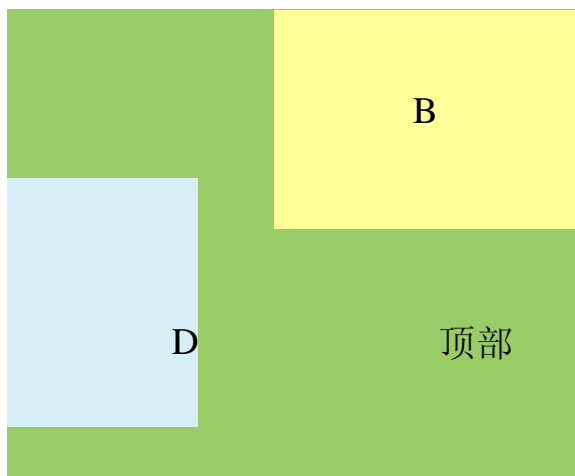
图1、两个可重配置设计部分的顶层设计



- 4、Quartus II软件中，将每一个可重配置设计模块都看作是一个设计分区。由于保留分层边界并为每个分区使用单独的Quartus II编译网表，这种方法可确保每个设计模块都能得到渐进式编译和配置。无需分区整个设计；只需对那些将要进行渐进式编译和重配置的设计模块进行分区。就图1所示举例而言，为模块B和D创建了分区。一个被称为“顶部”的顶层分区自动地包括没有被定义为单独的分区设计的其它部分。
- 5、通过使用固定的尺寸和位置为保留LogicLock区域分配每个分区，将每个可重配置分区限制到器件平面图中某个物理区域。LogicLock区域定义可重配置FPGA的物理边界。

图2显示了FPGA规划的示意图，其中分区B已被限制到器件的右上角，而分区D已被限制到相对低一点的左下角。顶层设计逻辑和非分区逻辑模块A、C和E均为分区顶层的组成部分，其可以被放置在器件中的任何其它地方。

图2、分配至LogicLock区域可重配置设计分区的FPGA规划



使用Quartus II软件时，设计人员可以为每个资源文件创建配置文件，其代表每个可重配置设计分区不同功能。可以利用这些文件的任何组合，对器件进行重配置。

进行设计同时，在对完整设计进行编译时每个设计分区的每个设计文件都必须满足其时序要求。要确定每个设计分区的每种版本都满足时序要求并且具有与设计其余部分相同的实现，请将顶层分区的“网表类型”设置为“拟合后”，以保留布局及布线结果。这样，顶层设计便可以利用每个资源文件针对每个设计分区和确定的时序结果进行编译。本例中，共有16种可能的设计模块组合，必须要对其进行验证。

## 设计建议

设计分区的边界可影响设计的结果质量，因为创建分区可阻止编译器在分区边界执行逻辑优化。因此，遵循一些分区原则有助于降低分区边界的影响。只要有可能，请寄存每个分区的所有输入和输出。这样可帮助避免信号延迟违规，其穿过分区边界并将每个寄存器到寄存器的时序路径保持在一个分区内以实现优化。另外，要最小化穿过分区边界的路径数。

如果存在一些穿过分区边界的时序关键路径，则重做分区以避免这些分区内路径。在一个分区内尽可能多地包括时序关键连接，让设计人员能够有效地将优化运用到该分区，同时保持其它设计部分不变。另外，请避免恒定的分区输入和输出，因为若想维持增量行为则软件便不能使用恒量来对分区边界任何一面的逻辑进行优化。

- 如欲了解制作设计分区和使用渐进式设计流程的更多详情，请参见《Quartus II手册》的《[分层结构和团队设计的Quartus II渐进式编译](#)》章节。
- 如欲了解确保较好结果质量的更多设计原则以及利用LogicLock区域制作设计平面图布局的更多详情，请参见《Quartus II手册》的《[渐进式编译分区和平面图布局的最佳实践](#)》章节。

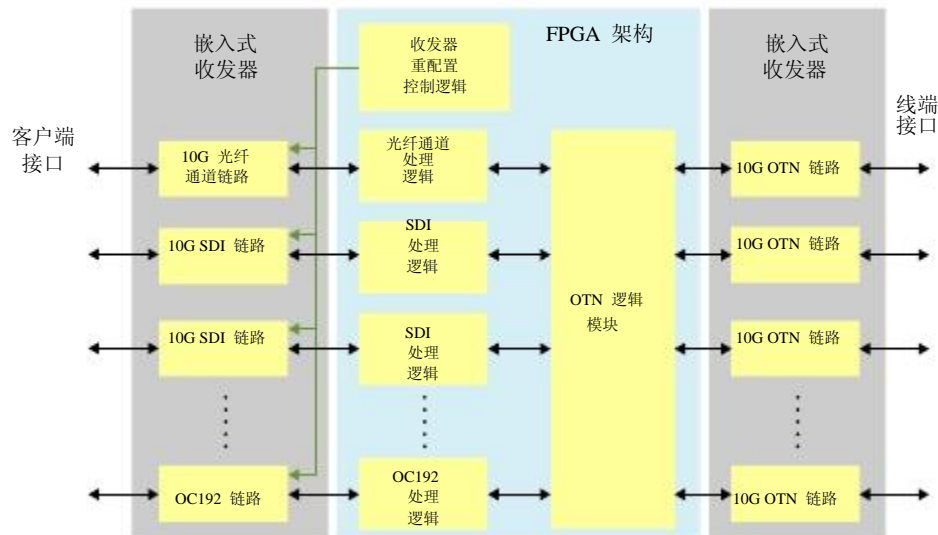
## 局部重配置特性应用

极大受益于Stratix V局部重配置特性的一个示例应用是100G-OTN复用转发器应用。该OTN复用转发器集成了各种协议传输流量，例如：光纤通道、SDI、以太网以及从多客户端接口端口进入到一个公用OTN传输基础设施的SONET。重要的是，系统应拥有通过所有这些客户端接口动态地接收多协议传输流量的功能。Stratix V FPGA拥有一款灵活的单芯片解决方案，可满足这些要求。

Stratix V FPGA具有多个内构嵌入式收发器模块，其可提供500 Gbps以上的总带宽，并实现多种高速串行协议的物理编码子层（PCS）和物理媒介接入（PMA）功能。这些动态可重配硬宏节省了宝贵的FPGA架构资源，消除了验证工作，并让设计人员能够动态地切换收发器以支持多种协议和数据速率。

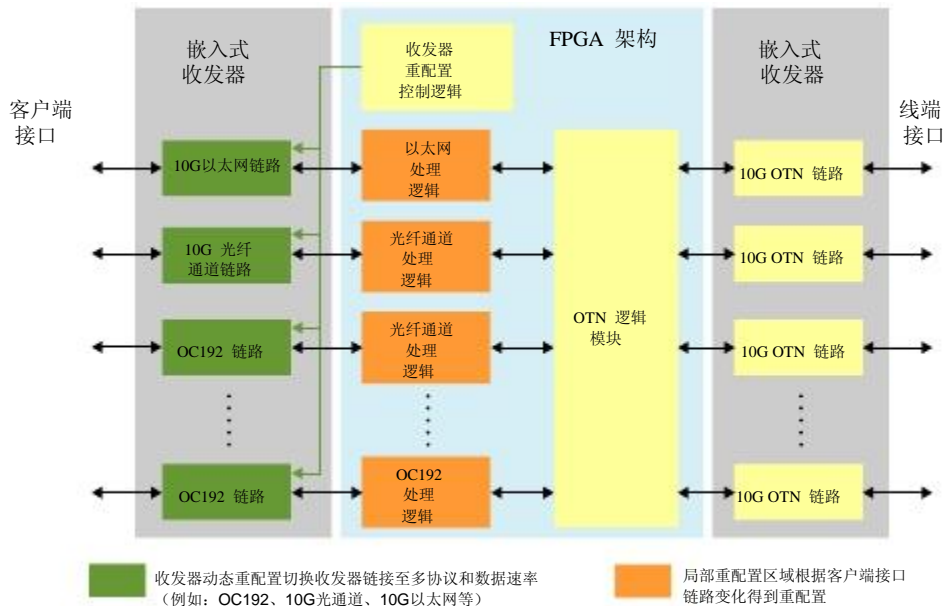
图3显示了多客户端协议接口和OTN线端接口的典型OTN复用转发器系统。在FPGA架构中，每个客户端接口链路均要求一个协议处理逻辑模块。局部重配置特性拥有根据客户端接口链路变化重配置协议处理逻辑模块的灵活性。

图3、典型OTN复用转发器系统结构图



例如，图4显示了由于客户接口上接收的新协议传输流量被局部重配置的协议处理逻辑模块（以橙色表示）。利用这种特性，设计人员可以在单个Stratix V FPGA中实现一个OTN复用转发器应用，从而极大地降低系统成本，而在多芯片解决方案中就会出现这一成本问题。

图4、OTN复用转发器系统中的动态重配置模块



Quartus II软件拥有一种简单的设计流程和用户接口，以实现收发器重配置。利用这种流程，设计人员可以生成多个独特的收发器配置，其可被存储于片上或片外内存中。Quartus II软件具有重配置控制逻辑，它可以从内存读取收发器设置，并处理完成收发器动态重配置的序列。

设计一个OTN复用转发器应用时，请遵循如下步骤：

- 1、所有收发器配置均使用相同的收发器FPGA架构接口，这样来自收发器接口的局部重配置输入信号便可保持一致。生成收发器实例的宏功能提供许多选择所有不同协议配置所需接口信号的选项。
- 2、为静态模块创建一个单独的分区，并在局部重配置分区之外创建一个LockLock区域。将由Quartus II软件和包括不同收发器设置的内存文件生成的重配置控制逻辑放置到静态模块分区中。
- 3、就每个收发器通道相关的具体协议处理逻辑而言（图4所示橙色部分），请创建不同的协议处理逻辑分区和LogicLock区域，以在器件平面图中保留空间。
- 4、为每个协议处理逻辑创建一个设计文件，并在编译期间为通道规定不同的具体协议逻辑文件。例如，如图4所示，每条通道均可以重配置为光纤通道、以太网或者SDI协议。就每条通道而言，需对实现相应协议处理逻辑功能的三种不同设计文件进行编译。
- 5、重配置收发器至某个新的数据速率以后，请下载包含与这种新协议传输流量相一致的协议处理逻辑的比特流。

## 配置方案实现

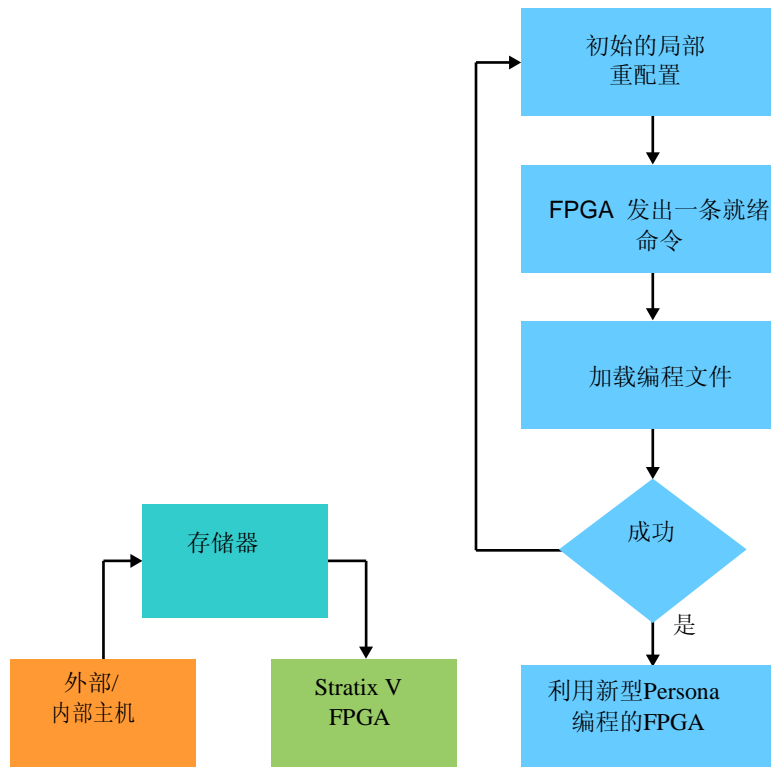
局部重配置支持两种工作模式：外部主机和内部主机工作模式。设计人员可以使用任何其它配置方案来实现使用内部主机的局部重配置。内部主机工作模式可以为用户逻辑或者Nios® II处理器。外部主机运行时，仅支持FPP x16模式。

### 外部主机的FPP x16配置

就前几代FPGA而言，FPP由8比特数据带宽支持。对于Stratix V器件来说，8比特、16比特和32比特数据带宽均支持FPP。16比特数据带宽的FPP（FPP x16）支持局部重配置。利用FPP配置方案，主机可以是一个MAX II CPLD，也可以是一颗控制配置程序的CPU。配置数据存储于如CFI并行闪存等配置内存中。配置期间，主机从内存获得数据，然后对FPGA进行配置。

当FPP x16用于局部重配置时，相同配置主机（可以是MAX II CPLD或者CPU）可起到局部重配置主机的作用。如图5所示，局部重配置数据可以像在一个常规FPP配置中那样存储在配置内存中。局部重配置期间，主机初始化局部重配置周期，从配置内存读取数据，然后将数据发送至FPGA。

图5、FPP x16 序列



## 内部主机配置

使用内部主机的局部重配置与FPP x16配置方案的局部重配置情况类似，不同之处在于局部重配置以内部方式从FPGA架构获得初始化。配置数据可以内存在一个嵌入式存储模块或者外部内存中。同FPP x16一样，内部主机（用户逻辑或者Nios II处理器）初始化局部重配置周期，获取数据，然后通过FPGA架构将数据直接发送至FPGA内核。

## 结论

局部重配置为设计人员带来器件数目减少、功耗降低和总成本降低等诸多好处。当与收发器的动态重配置一起使用时，它为一些高带宽应用（例如：100G-OTN复用转发器和许多其它应用）的实现带来一款灵活的解决方案。Stratix V FPGA利用其一流的可重配结构和成熟的渐进式编译技术以及Quartus II软件的LogicLock，实现对局部重配置的支持。使用这种解决方案，Altera实现了一种不需要设计人员掌握深奥复杂FPGA构架知识的简单易用的流程。

## 更多详情

- Stratix V FPGA：针对带宽而构建：  
[www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp](http://www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp)
- 资料：Stratix V 器件：  
[www.altera.com/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp](http://www.altera.com/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp)
- Stratix V FPGA：通过局部和动态重配置实现的最终的灵活性  
[www.altera.com/products/devices/stratix-fpgas/stratix-v/overview/partial-reconfiguration/stxv-part-reconfig.html](http://www.altera.com/products/devices/stratix-fpgas/stratix-v/overview/partial-reconfiguration/stxv-part-reconfig.html)
- 网播：“学习轻松易用的局部重配置流程”：  
[www.altera.com/products/devices/stratix-fpgas/stratix-v/overview/partial-reconfiguration/stxv-part-reconfig.html](http://www.altera.com/products/devices/stratix-fpgas/stratix-v/overview/partial-reconfiguration/stxv-part-reconfig.html)
- 白皮书：《在28-nm FPGA上启用100-Gbit OTN复用转发器》：  
[www.altera.com/literature/wp/wp-01126-stxv-100g-otn-muxponder.pdf](http://www.altera.com/literature/wp/wp-01126-stxv-100g-otn-muxponder.pdf)
- 《Quartus II 手册：针对分层和小组设计的Quartus II 渐进式编译》：  
[www.altera.com/literature/hb/qts/qts\\_qii51015.pdf](http://www.altera.com/literature/hb/qts/qts_qii51015.pdf)
- 《Quartus II 手册：渐进式编译局部和平面布局分配的最佳实践》：  
[www.altera.com/literature/hb/qts/qts\\_qii51017.pdf](http://www.altera.com/literature/hb/qts/qts_qii51017.pdf)

## 致谢

- Ajay Jagtiani, Altera公司软件技术市场经理
- Jennifer Stephenson, Altera公司软件应用工程科技委员会成员
- Sridhar Krishnamurthy, Altera公司高速应用工程科技委员会成员
- Noor Hazlina Ramly, Altera公司元件和软件应用工程高级元件应用工程师

## 修订记录

表1列出了本文档的修订记录。

表1、文档修订记录

日期	版本	所做修改
2010年7月	1.0	首次发布