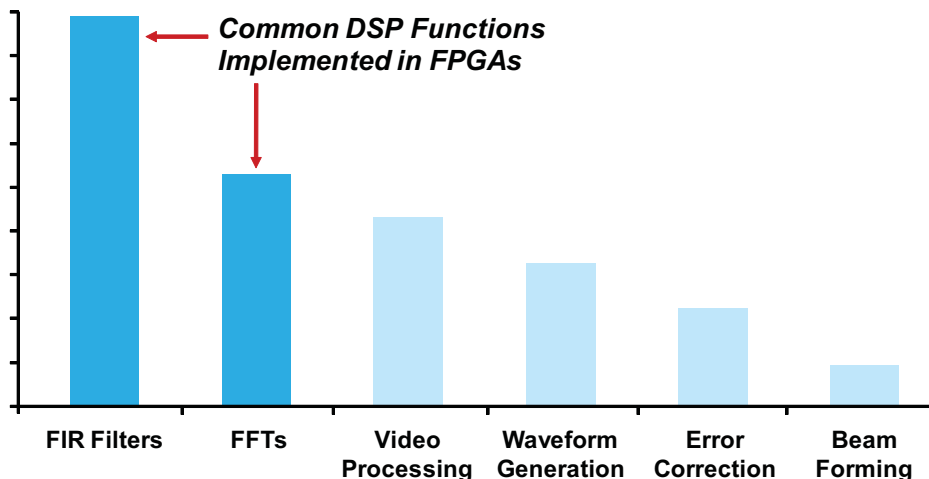


很多应用中，在基于 FPGA 的高性能信号处理中实现的两种常用功能是有有限冲击响应 (FIR) 滤波器和快速傅立叶变换 (FFT)。必须优化 FPGA 的数字信号处理 (DSP) 体系结构，以高效实现这些结构，在用户那里，这将直接转换为成本和功耗优势。本白皮书介绍最新 28-nm Altera® FPGA 的 DSP 体系结构，以及这一体系结构是怎样高效实现 FIR 滤波器和 FFT 的。

引言

FIR 滤波器和 FFT 是在 FPGA 中实现的两种最常用 DSP 功能。如图 1 所示，Altera 内部基本市场研究表明，这些功能是在 FPGA 中实现的主要 DSP 功能。这是由于 FPGA 本身能够满足这些功能的吞吐量和延时要求，并行 DSP 数据通路可以在 FPGA 体系结构中实现。

图 1. 在 FPGA 中实现的 DSP 功能类型



考虑到 FIR 和 FFT 在数量上的优势，以最好的性能和最少的资源来设计实现 FPGA DSP 体系结构非常关键。在 28-nm 工艺节点，Altera 在其 Stratix® V 器件中开发了 FPGA 业界第一种精度可调 DSP 体系结构。采用这一体系结构，具有各种精度和性能要求的设计可以在 28-nm 硅片架构中实现，与固定精度 18x25 DSP 竞争体系结构相比，实现效率提高了 2 到 3 倍。

还采用了很多关键特性来设计这一创新的 28-nm DSP 体系结构，高效实现高性能 FIR 滤波器和 FFT 结构。本白皮书详细介绍优化实现 FIR 和 FFT 的某些关键特性。

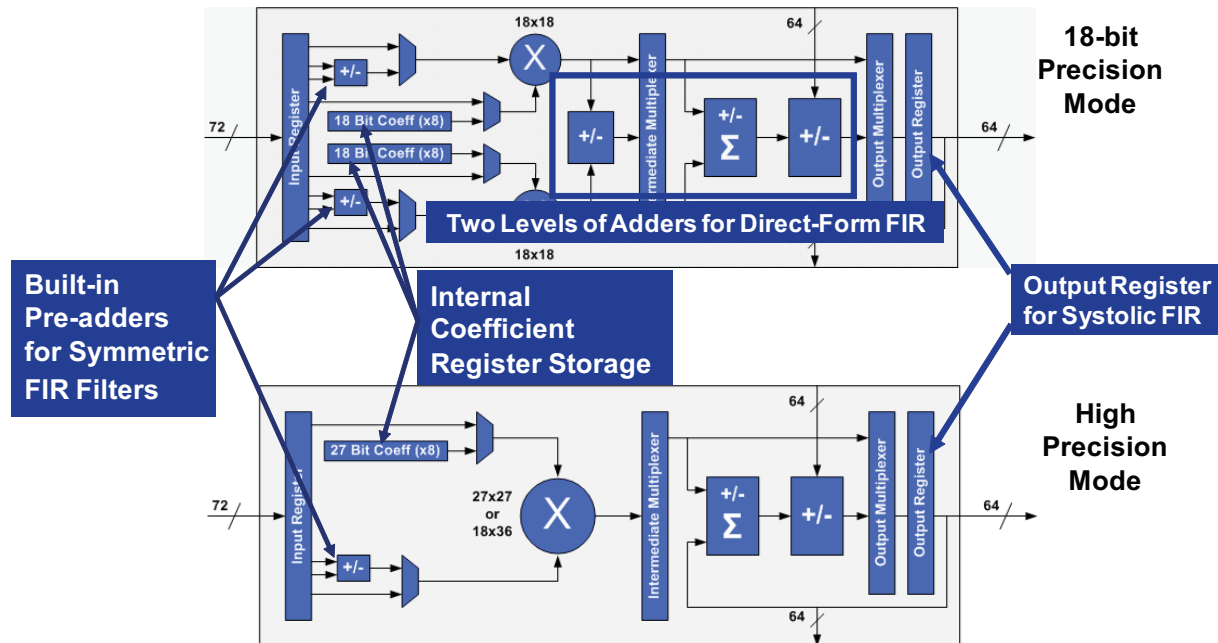
FIR 滤波器优化特性

如图 2 所示，Altera 28-nm DSP 体系结构包括优化实现 FIR 滤波器的很多特性。

- 可以采用硬件内置预加器实现对称滤波器，乘法器的数量减少了一半。

- 在内部系数寄存器存储功能使设计人员能够在 DSP 模块中存储滤波器系数，不但节省了寄存器和存储器，而且还实现了更快的 f_{MAX} ，这是因为不必将系数从逻辑中引出。
- 在构建“直接型”FIR 滤波器时，一个模块中的两级加法器非常重要。DSP 竞争模块只有一级后乘法加法器级，需要基于外部逻辑的加法器来构建加法器树。
- 实现脉动滤波器的输出寄存器和级联通路。

图 2. 实现 FIR 滤波器的 DSP 体系结构

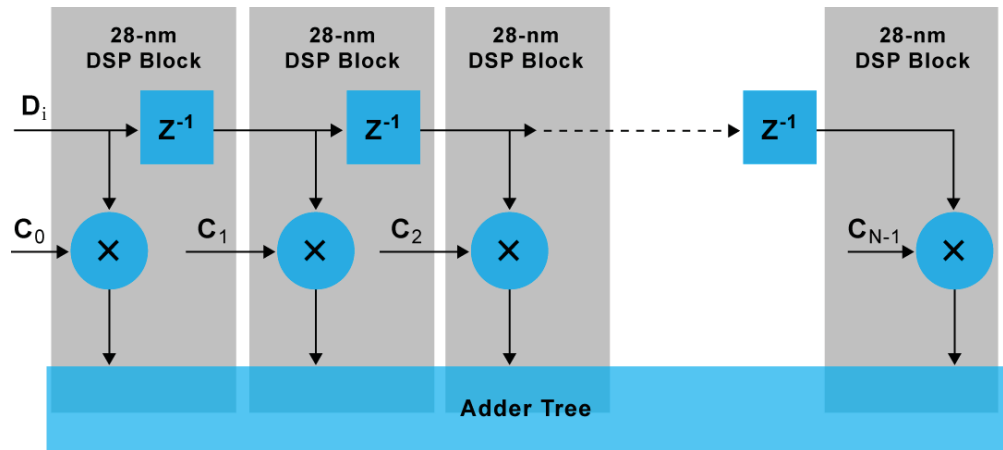


FIR 滤波器实现

FIR 滤波器最常用的形式包括直接型 FIR、脉动 FIR 和串行 FIR。

图 3 所示为直接型 FIR 滤波器的信号流程图，这一实现需要乘法器、延时单元（寄存器）和加法器。直接型 FIR 滤波器结构很容易映射为精度可调 DSP 模块，在一个 DSP 模块中实现延时单元、乘法器和两级加法器树。对于单通道、单速率滤波器，可以采用内部级联寄存器来构建输入延时单元。

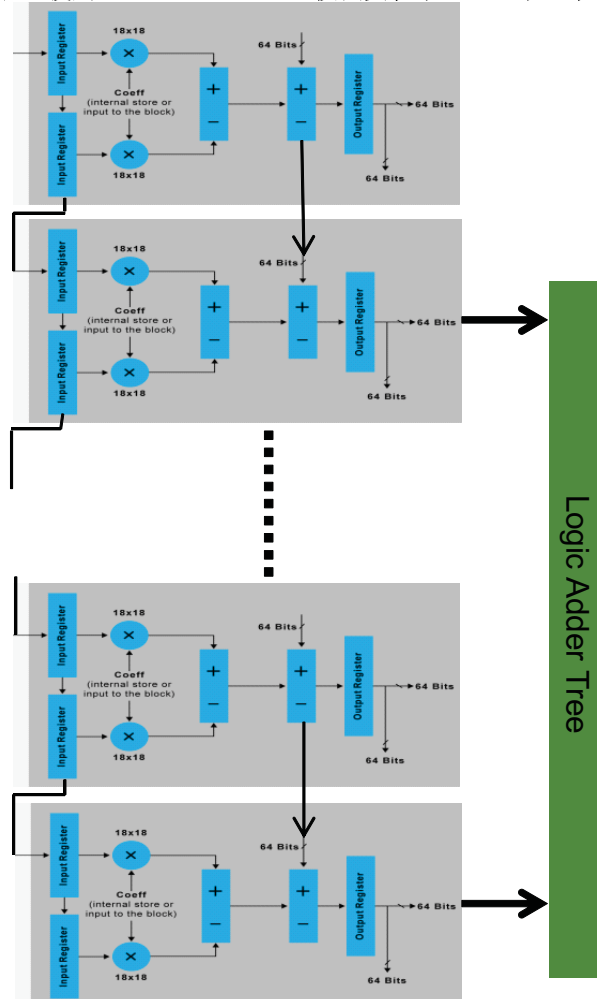
图 3. 使用 Altera 28-nm DSP 模块构建直接型 FIR 滤波器



在一个模块中有两级加法器（在 18x18 模式中），可以使用两个 DSP 模块增加四个乘法器，不需要外部逻辑。这可以在一个 DSP 模块中实现两级加法器树，这是 Altera 28-nm DSP 体系结构所特有的功能。

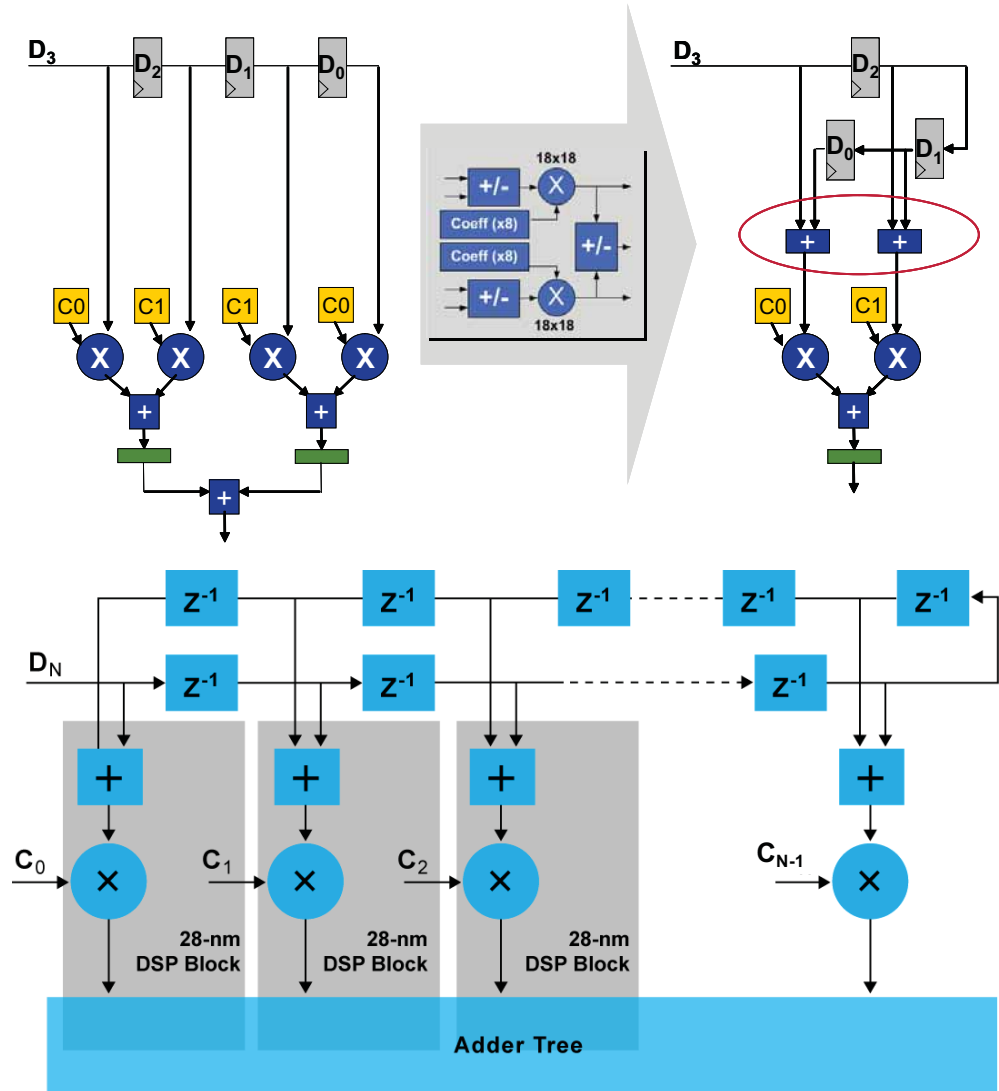
图 4 显示了怎样级联多个精度可调 DSP 模块来建立滤波器结构。两个 DSP 模块建立四个乘法器组，如果需要，使用外部逻辑加法器树，对其乘积求和。

图 4. 使用 Altera 28-nm DSP 模块实现单通道、单速率直接型 FIR 滤波器



对于多通道、多速率滤波器，可以采用分布式存储器来实现输入延时单元，而不是采用输入级联寄存器。各种应用中广泛使用了对称 FIR 滤波器（图 5），它将乘法器数量减少了一半。通过对两个数据采样进行预加，然后与公共系数相乘，对称 FIR 滤波器可以采用一个乘法器和一个加法器来替代两个乘法算子。

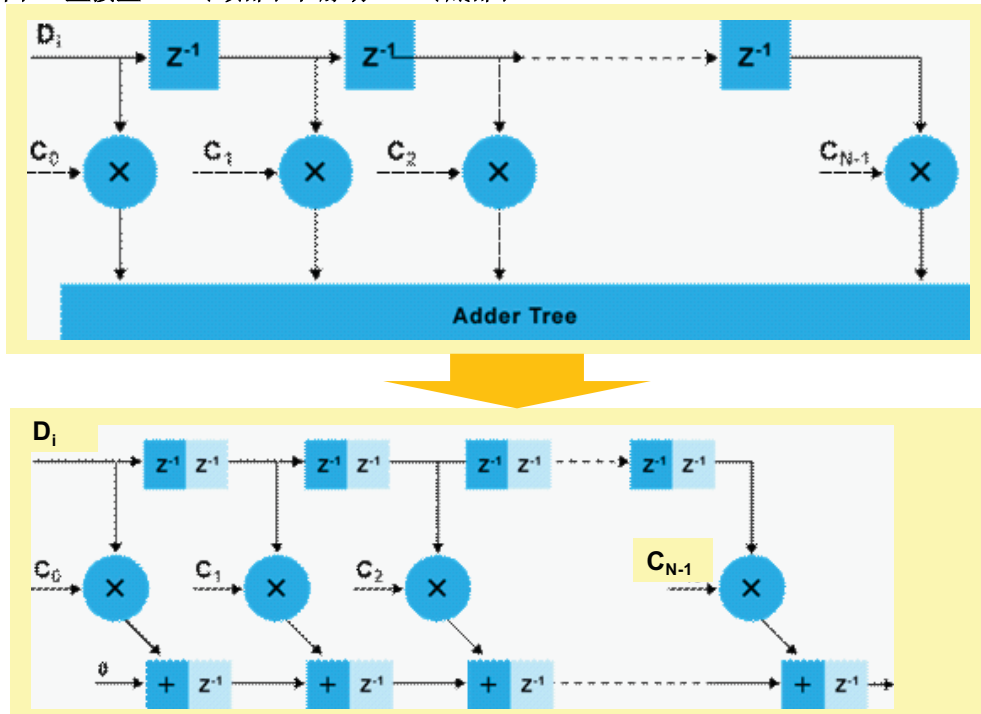
图 5. 实现对称直接型 FIR 滤波器



采用精度可调 DSP 体系结构，可以把预加器作为模块中的硬件特性来使用。在这种情况下，在 DSP 模块中实现预加器、乘法器和部分加法器树，而使用 DSP 模块的外部寄存器或者分布式存储器来实现延时单元。对于相同抽头的 FIR 滤波器，使用硬核预加器节省了一半的乘法器。

另一种常用的 FIR 是脉动 FIR，其输出加法器树是分布式的，在每一乘法累加操作之间需要寄存器延时。采用脉动 FIR，分布式加法器替代了直接型 FIR 的加法器树，如图 6 所示。

图 6. 直接型 FIR (顶部) 和脉动 FIR (底部)

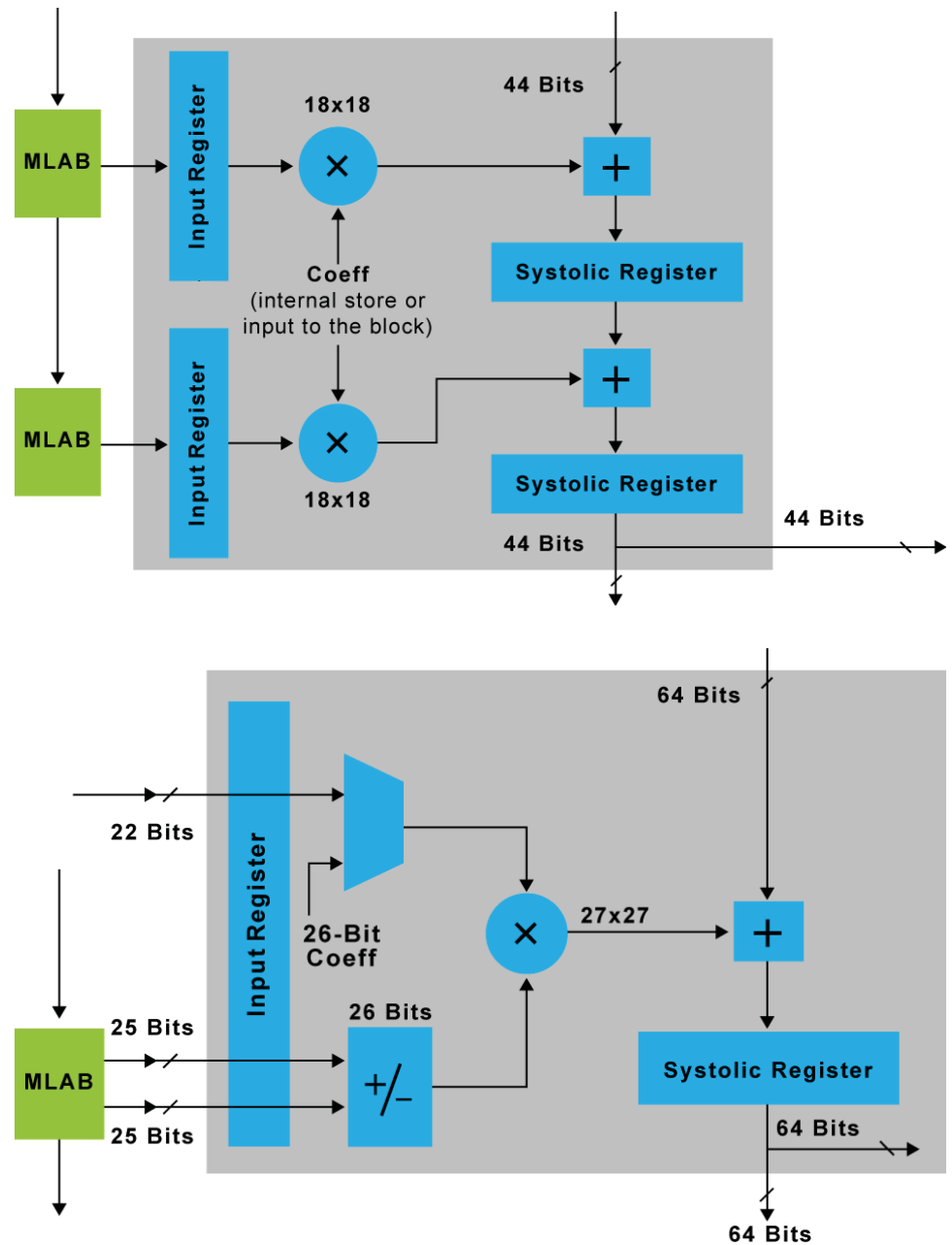


实现这种结构时，设计人员必须在每一级加法器之后加入一个输出脉动寄存器。精度可调 DSP 体系结构在 DSP 模块中内置了这类输出寄存器。

图 7 所示为每个 DSP 模块实现两级脉动滤波器所需要的精度可调 DSP 模块的配置：

- 在 18 位脉动模式中，加法器被配置为双路 44 位寄存加法器，在使用 18 位工作模式（例如，36 位乘法）时得到 8 位开销，支持 256 个乘法器乘积求和。
- 在高精度脉动模式中，设计人员可以采用 64 位来配置一个加法器。这一模式支持每个 DSP 模块实现一级脉动滤波器。使用 27 位数据和 54 位乘积时，一个 64 位加法器提供 10 位开销，支持 1024 个乘法器乘积求和。

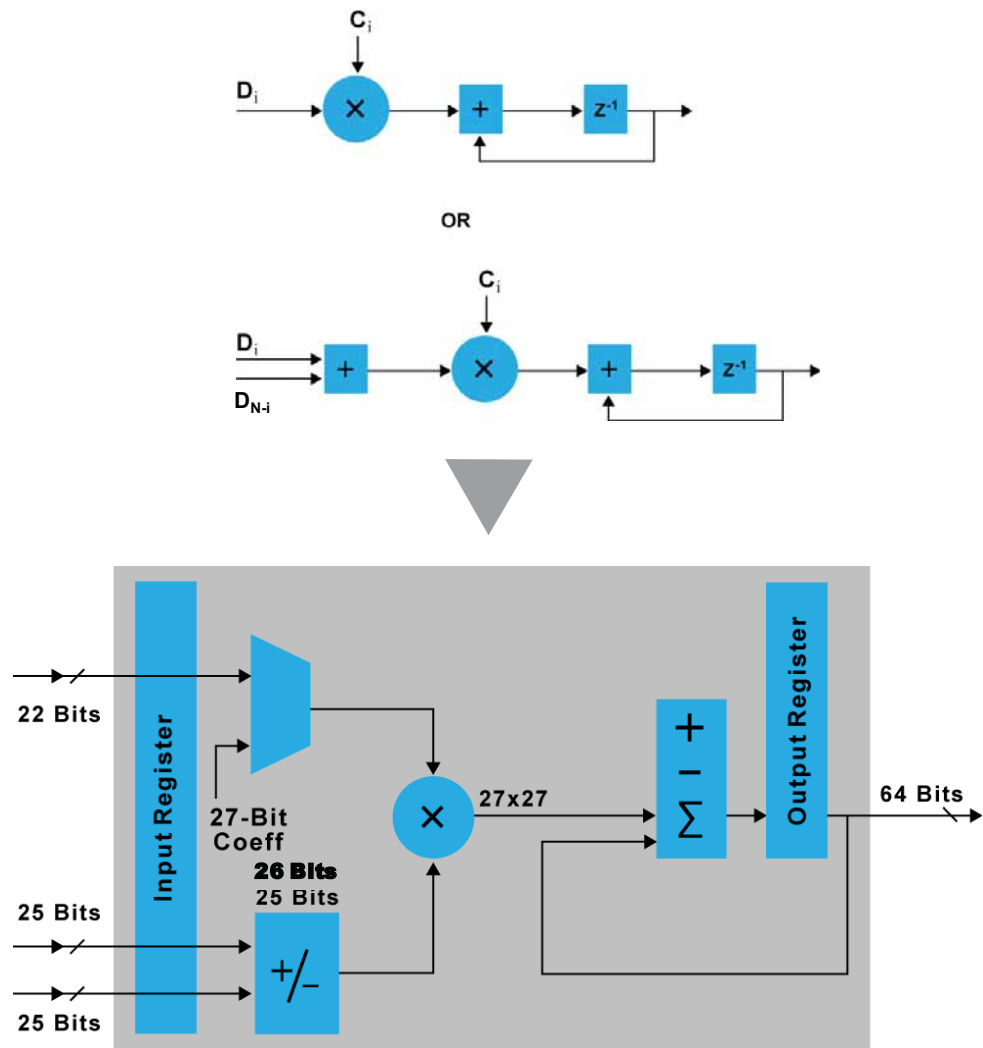
图 7. Altera 28-nm DSP 模块中的寄存加法器支持脉动滤波器的实现



18x25 固定精度竞争体系结构的加法器分辨率局限在 48 位，只提供 5 位开销，在不损失精度时，设计人员只能限制在 32 个乘法器乘积。在不牺牲系统总精度的前提下，这限制了可以实现的滤波器容量。

第三类 FIR 滤波器是串行滤波器，它通常在具有一个乘法器累加器 (MAC) 单元的 DSP 处理器中实现。在这里，一个乘法器与一个累加器结合起来使用，如图 8 所示。（预加器可选）。采用 64 位累加器以及累加器输出寄存器的反馈通路，设计人员完全可以在精度可调 DSP 模块中实现串行滤波器。

图 8. 精度可调 DSP 模块中使用累加器级实现串行滤波器

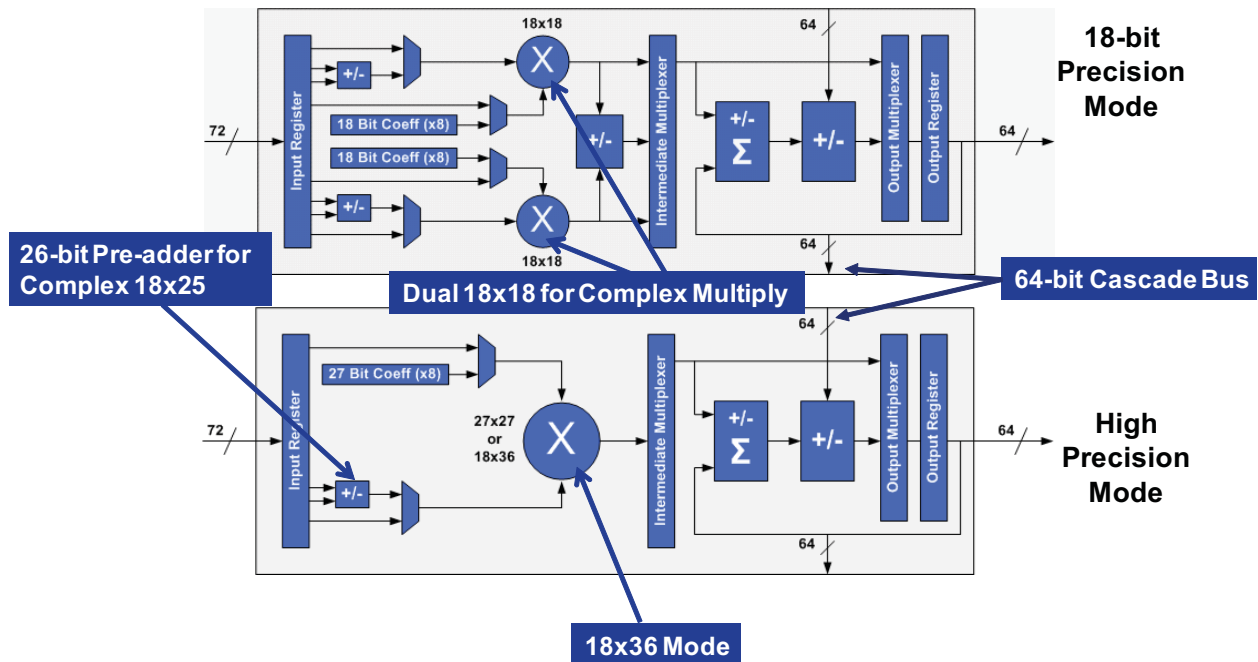


FFT 优化特性

FFT 是军用雷达、医疗影像和无线系统使用的主要算法。如图 9 所示，Altera 28-nm DSP 体系结构包括优化实现 FIR 的很多特性：

- 可优化实现 18x25 复数乘法器操作的 26 位预加器
- 双路 18x18 乘法器，支持设计人员使用一个模块来实现实数或者虚数乘积。
- 支持更高数据精度的 8x36 模式
- 支持模块级联的 64 位级联总线，不会损失精度。

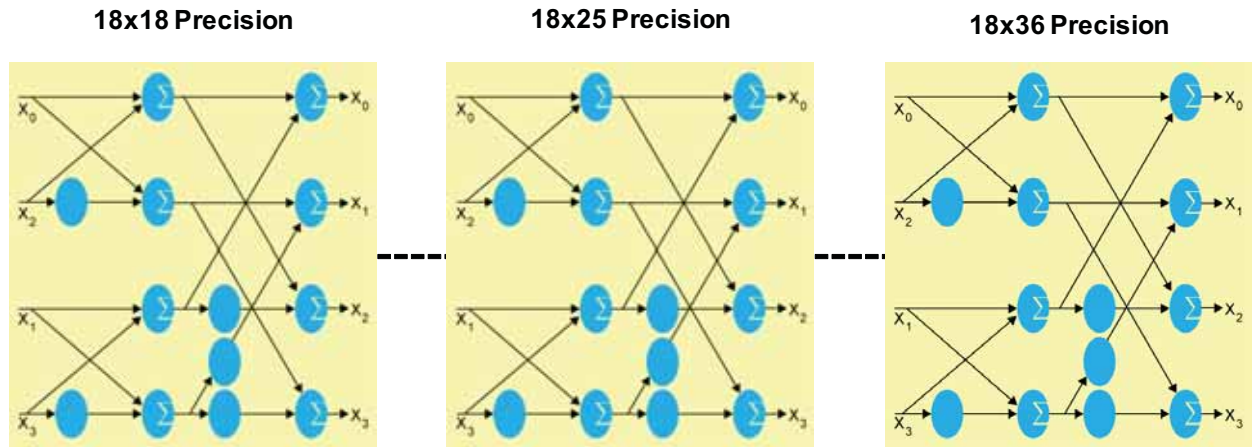
图 9. 精度可调 DSP 模块以最优方式实现 FFT 结构



FFT 算法的一个特点是只需要在乘法器一侧提高精度。较高的动态范围和较低的噪声基底要求提高 FFT 级的数据精度，这是雷达和灵敏的医疗诊断系统等高级系统的关键特性。

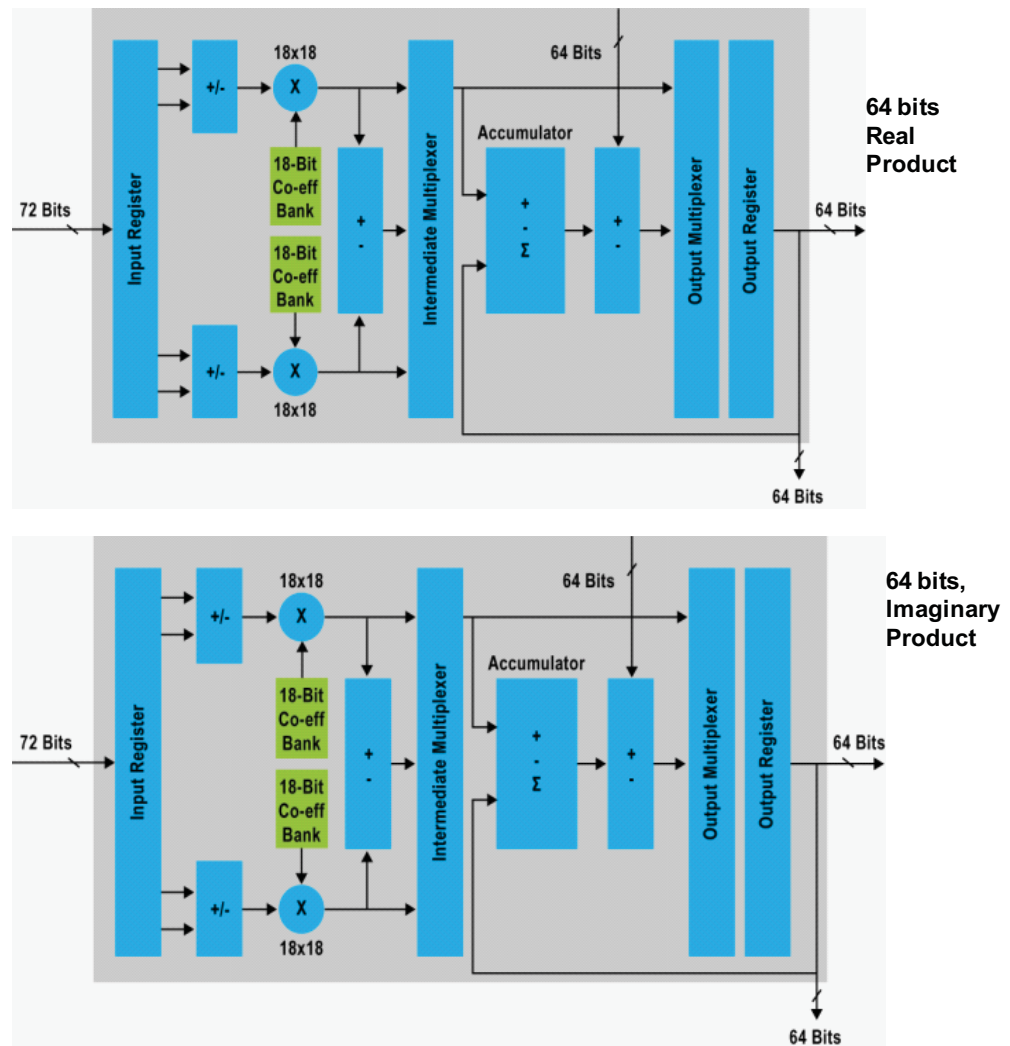
图 10 显示了提高数据精度时需要精度更高的不对称乘法器。Stratix V FPGA 精度可调 DSP 模块是为 FFT 算法提供最佳支持的唯一 FPGA DSP 体系结构，可以高效实现不对称复数乘法器，提高了精度，而且不需要外部逻辑。

图 10. 每一级提高了数据宽度的复数乘法器，系数宽度保持不变



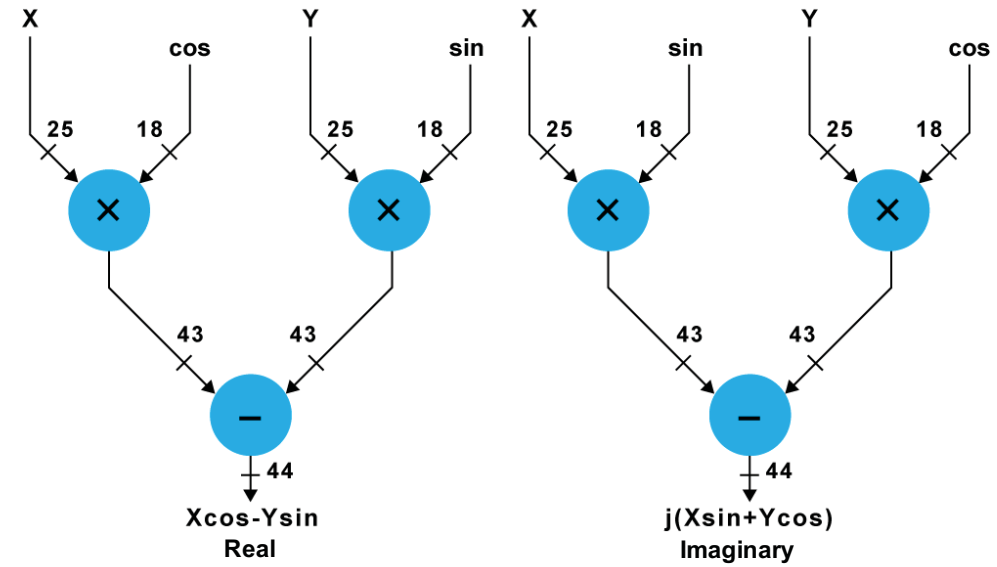
在一个 DSP 模块以及 64 位宽级联链中使用双路 18x18 乘法器，设计人员可以只使用两个 DSP 模块来实现一个 18x18 位复数乘法器，如图 11 所示。在实现相同的算法时，18x25 固定精度 DSP 竞争模块需要两倍的 DSP 模块（例如，四个）。

图 11. 用于实现一个 18x18 复数乘法运算的两个精度可调模块



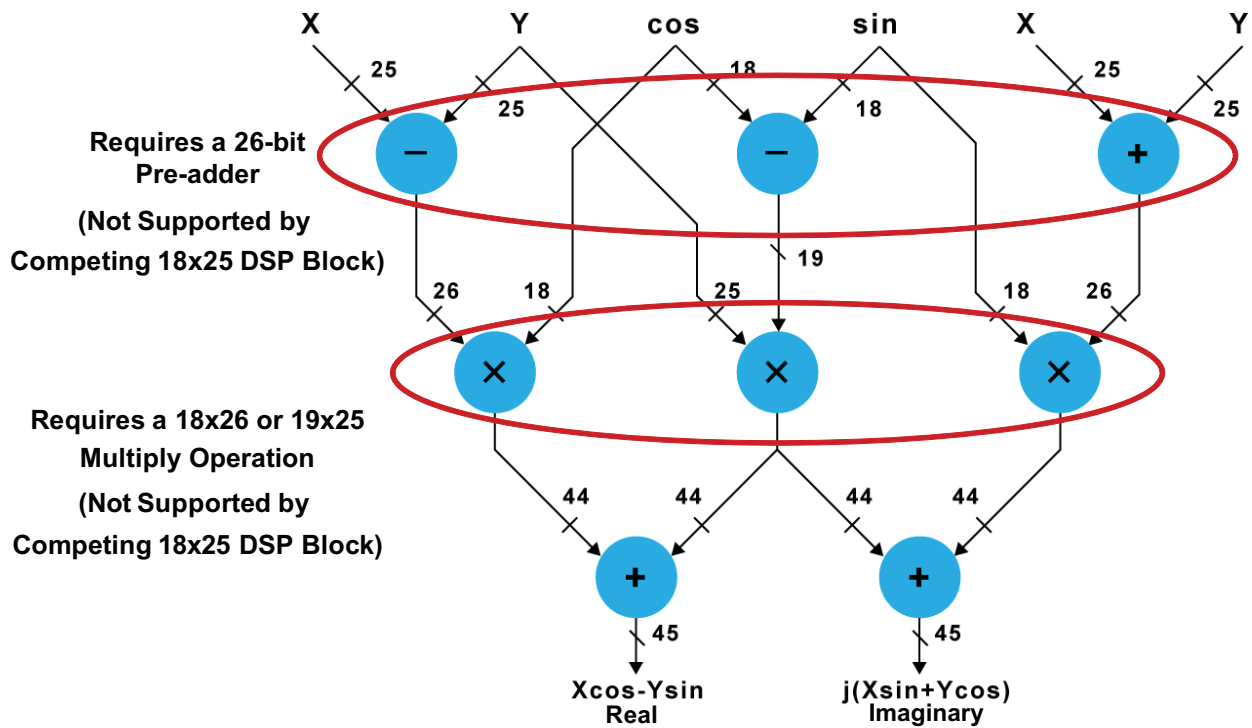
另一流行的复数乘法运算是 18x25 复数乘法。在采用图 12 所示的实现方式时，这一算法可以替代四个 18x25 固定精度 DSP 竞争模块。

图 12. 采用四个固定精度 18x25 DSP 竞争模块实现 18x25 复数乘法



但是，通过使用每个 28-nm Stratix V 精度可调 DSP 模块中特有的 26 位预加器和一个 27 位 x 27 位乘法器，可以实现相同的算法，如图 13 所示。

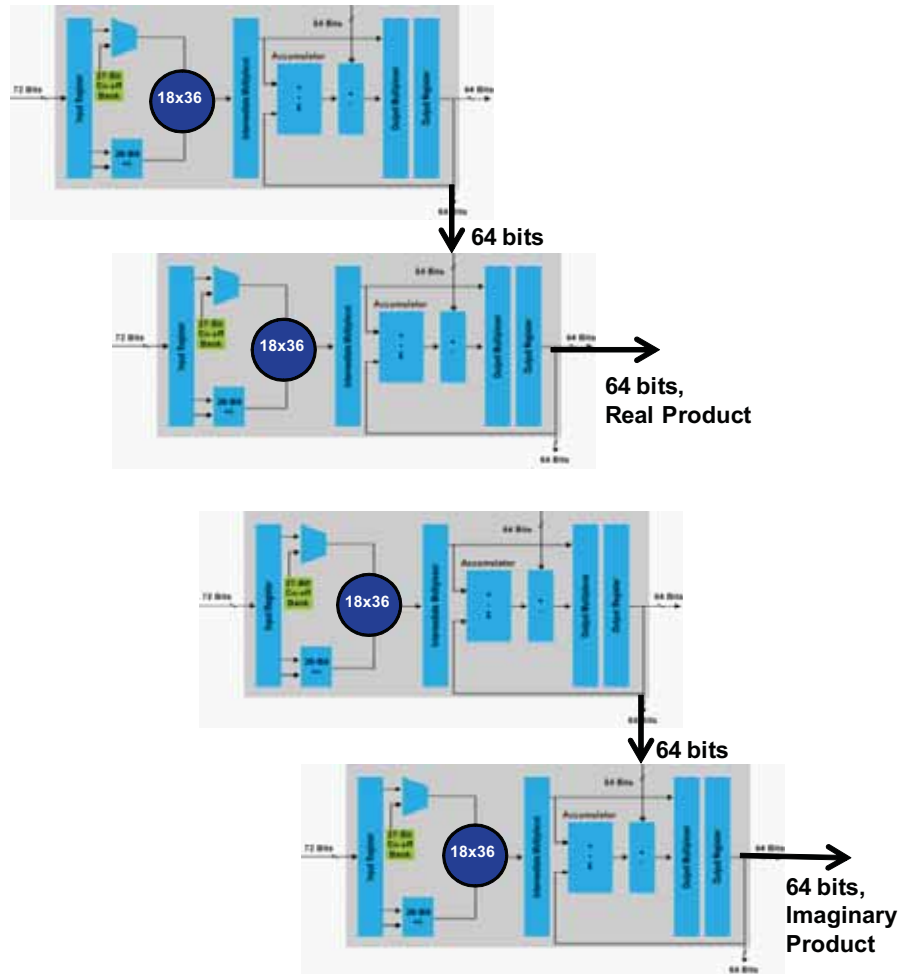
图 13. 只采用三个精度可调 DSP 模块实现 18x25 复数乘法



采用这种结构，与四个固定精度 18x25 DSP 竞争模块相比，一个 18x25 复数乘法运算采用了三个精度可调模块。当设计需要较多的 DSP 模块时，这种结构有效的节省了功耗和成本。

处理数据精度大于 25 位时，可以配置精度可调模块，实现 18x36 位宽的乘法器。这一配置支持实现精度更高的复数乘法器，例如，只使用四个精度可调 DSP 模块的 18x36 乘法器，如图 14 所示。可以通过级联 DSP 模块，不使用逻辑来实现位数较多的复数乘法运算。

图 14. 四个精度可调 DSP 模块级联实现一个 18x36 复数乘法器



需要 8 个 DSP 竞争模块才能实现相同的 18x36 位复数乘法功能。总之，在实现 FFT 算法时，精度可调 DSP 模块所具有的特性能够将硅片效率提高两倍。

总结

本白皮书仔细设计了 28-nm 精度可调 DSP 体系结构，以最有效的方式实现 FIR 和 FFT 结构，这是很多系统中最常用的两种 DSP 结构。利用 Altera 28-nm DSP 体系结构特有的特性，与 28-nm DSP 竞争体系结构相比，系统设计人员可以在很多情况下使用一半的 DSP 资源实现这些结构。这种高效实现的优势将直接转换为整个系统的功耗和成本优势。

详细信息

- Altera 全系列 28-nm DSP：提高信号处理性能最快的途径
www.altera.com/b/28-nm-dsp-portfolio.html
- 网播：“采用精度可调 DSP 体系结构实现高精度、高性能 DSP”：
www.altera.com/education/webcasts/all/wc-2010-dsp-var-prec-dsp-arch.html
- 白皮书：采用 FPGA 业界第一种精度可调体系结构实现高精度 DSP 应用：
www.altera.com/literature/wp/wp-01131-stxv-dsp-architecture.pdf

致谢

- Suhel Dhanani, DSP 营销高级经理, Altera 公司。
- Michael Parker, DSP 营销高级技术营销经理, Altera 公司。

文档修订历史

表 1 列出了本文档的修订历史。

表 1. 文档修订历史

日期	版本	进行的修改
2010 年 9 月	1.0	初次发布。