

自从上个世纪 80 年代中期推出以来，在所有最终市场上，CPLD 一直是设计工程师在控制通路应用上的最佳选择。考虑到目前对低成本和低功耗的迫切需求，本白皮书介绍 Altera® MAX® V CPLD 怎样为 5 种主要的控制通路应用提供解决方案。

引言

同时实现了低成本、低功耗和高性能特性，MAX V CPLD 是市场上最有价值的器件。具有业界第一种基于 LUT 的非易失体系结构，并且是业界密度最大的 CPLD，MAX V 器件进一步提高了性能（高达 247.5 MHz），与竞争 CPLD 相比，总功耗降低了 50%。通过这些特性，CPLD 能够很好的用于以下应用：

- I/O 扩展——进行 I/O 解码，以低成本有效的增强了其他标准器件的 I/O 功能。
- 接口桥接——以尽可能低的成本转换不兼容器件之间的总线协议和电压。
- 电源管理——管理电路板上其他器件的上电排序，并进行监控。
- 配置和初始化——控制电路板上其他器件的配置或者初始化。
- 模拟控制——通过脉冲调制器 (PWM) 实现模拟标准器件（灯光、声音或者运动）的数字控制，不需要数模转换器 (DAC)。

I/O 扩展

工程师在多种最终产品上喜欢重复使用他们偏爱的 ASSP。每一种 ASSP 的 I/O 引脚数量是固定的，相关功能也保持不变，因此，如果今后的最终产品需要更多的 I/O，或者不同的功能，那么这就会带来问题。通过使用几种通用 I/O 引脚，CPLD 对标准产品的 I/O 功能进行解码和扩展，支持工程师重复使用他们偏爱的 ASSP，同时以最低的成本增加新功能。MAX V CPLD 支持灵活的 I/O 功能，提供各种封装选择，单位封装面积上有大量的 I/O 和逻辑，很好的完善了目前 I/O 引脚受限的 ASSP 和微控制器产品。能够解决 I/O 扩展设计挑战的部分 CPLD 特性包括：

- 低成本单位 I/O 引脚，低成本单位电路板面积 I/O 密度。
- 灵活的 I/O 块和 I/O 选项（例如，支持多路电压，施密特触发器，等）
- 重新可编程能力，解决特殊的设计问题，支持最后一刻更改。

表 1 对比了 MAX V CPLD 与竞争产品的 I/O 和逻辑。

表 1. 与密度相当 CPLD 在每 mm² I/O, 以及每 mm² 逻辑密度上的对比

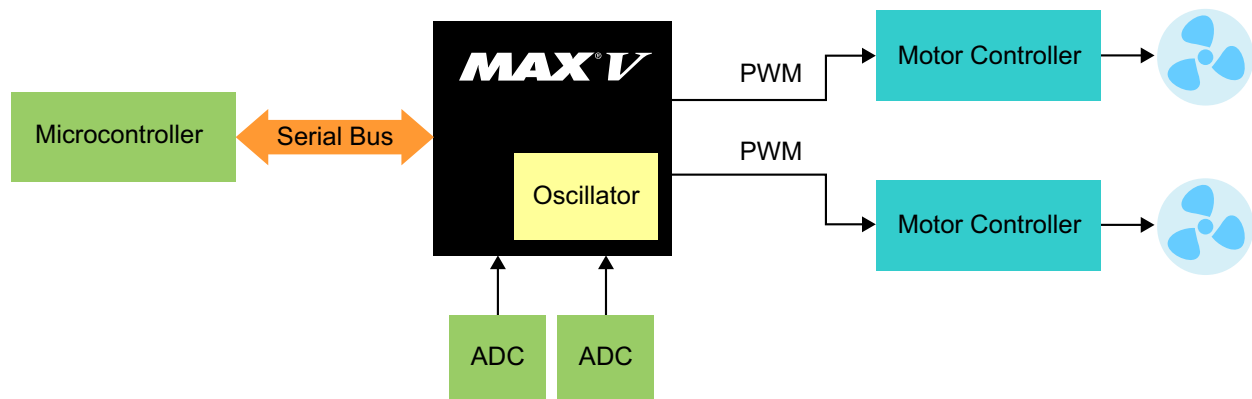
供应商	CPLD 系列	器件	封装 / 大小 (mm)	用户 I/O	用户逻辑 (1)	单位封装面积 I/O(mm ²)	单位封装面积逻辑 (mm ²)
Altera	MAX V	EP5M40Z	64-MBGA 4.5 x 4.5	30	~32	1.48	1.58
Altera	MAX V	EP5M40Z	64-EQFP 7 x 7	54	~32	1.10	0.65
Xilinx	CoolRunner II	XC2C32	QF32 5 x 5	21	32	0.84	1.28
Xilinx	CoolRunner II	XC2C32	CP56 6 x 6	33	32	0.92	0.89
Lattice	MachXO, MachXO2	不提供 32 或者 64 宏单元器件				-	-

注释:

(1) 在基准测试分析基础上, 基于 LUT 的 CPLD 被转换为等价的宏单元。

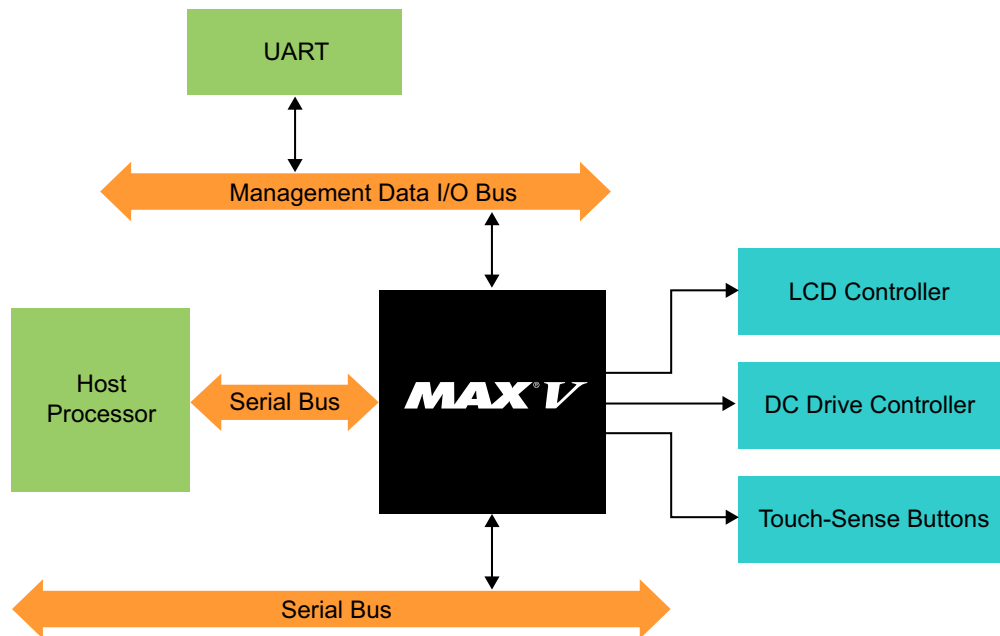
图 1 显示了 I/O 功能有限的微控制器怎样通过使用两线串行总线来控制系统中的多个器件。在这个例子中, MAX V CPLD 连接串行总线输入, 然后, 分配指令, 控制多个器件 (这里是风扇电机控制器)。MAX V CPLD 的板上振荡器被用于周期性的监控停止状态, 关断风扇, 以降低系统功耗。数据可以从并行转换为串行, 例如, 采集多个模数转换器 (ADC) 的信息, 通过串行总线将其传送给微控制器。

图 1. 使用 MAX V CPLD 扩展串行总线



考虑很多因素来选择某一处理器系列中的最佳微处理器, 这些因素包括通用 I/O 的数量。选择 I/O 数量较少的微处理器同时结合低成本 CPLD 通常要比使用 I/O 数量较多的单片微处理器便宜得多。图 2 显示了 MAX V CPLD 怎样利用主机处理器少量的输入来控制较多的板上器件。

图 2. 通过 MAX V CPLD 来分配控制信号，降低处理器成本



接口桥接

ASSP 和微控制器供应商支持的总线协议和电压电平数量在不断增长。这些接口之间需要简单的低成本转换。MAX V CPLD 设计用于支持多种类型的接口桥接应用，包括：

- 电压电平转换——例如，3.3 V 输入，1.8 V 输出。
- 总线转换应用——将专用接口转换为业界标准协议
- 多点总线桥接
- 串行至并行和并行至串行总线转换
- 加密——数据加密和解密

图 3 显示了设计人员怎样使用 MAX V CPLD 来实现低成本、低功耗 LCD 控制器，连接 LCD 显示屏。可以通过柔性电缆连接物理分开的电路板，或者将电路板作为背板配置的一部分。由于有了新的 LCD 模型，可以更新 LCD 控制器，满足各种屏幕尺寸或者专用接口的新技术要求。因此，设计工程师能够根据 LCD 的成本、功耗和特性，在众多的 LCD 供应商中灵活的随时进行选择。

图 3. 使用 MAX V CPLD，实现可定制 LCD 控制器接口

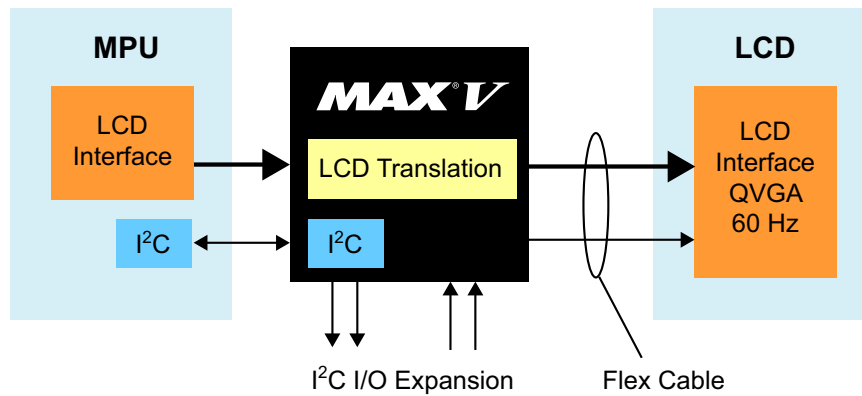
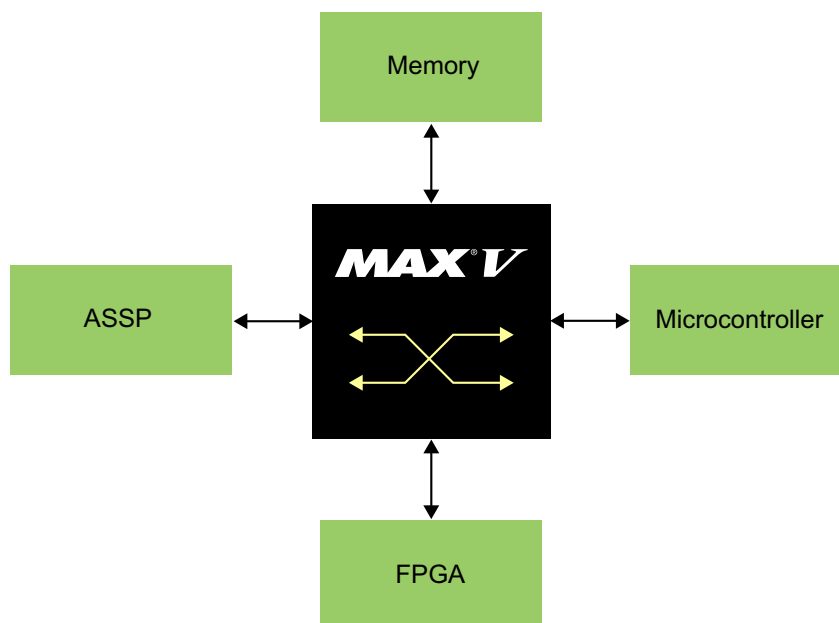


图 4 描述了 MAX V CPLD 怎样用作交叉开关来实现多点连接。在这一应用中使用可编程逻辑，能够非常灵活的满足很多特殊设计的需求。在这一应用中，MAX V CPLD 中的逻辑被分成三个主要模块：

- 开关矩阵——连接任一输入和任一输出
- 配置寄存器——在工作期间重新配置连接
- 地址解码器——对配置的输出地址进行解码

图 4. 使用 MAX V CPLD 实现多点连接



接口桥接需要大量的 I/O 引脚来支持总线接口，但是不需要太多的逻辑。MAX V CPLD 具有较高的 I/O 和逻辑数量比，帮助工程师尽可能降低单位 I/O 引脚的成本。对于需要很多复杂逻辑功能以及大量 I/O 的应用，Altera 的 Cyclone®系列 FPGA 可以提供比 CPLD 更好的单位逻辑成本。

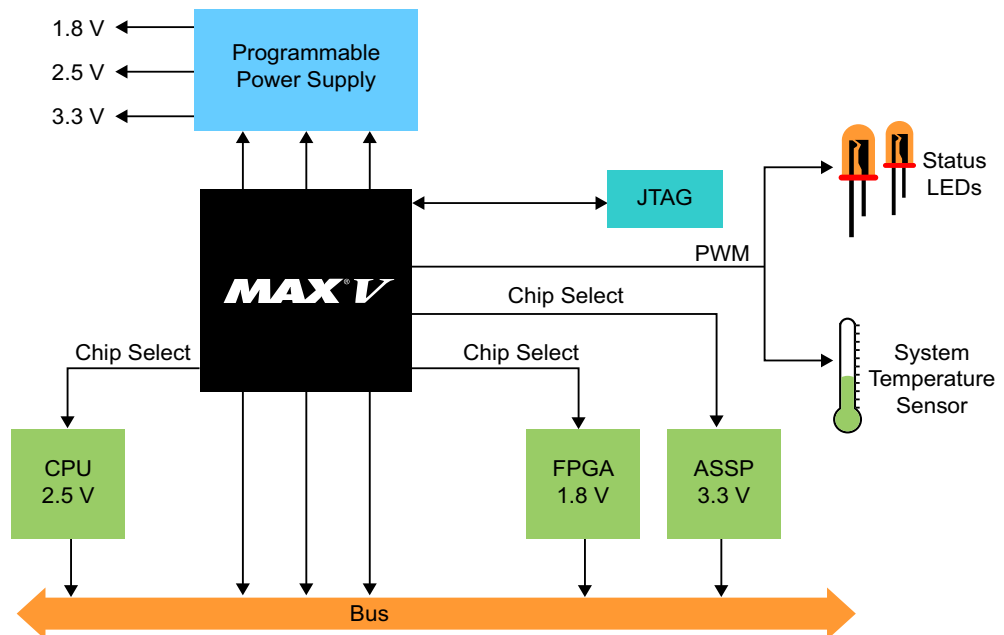
电源管理

随着电路板密度以及电源平面数量的增加，电源管理也越来越复杂。各种电源管理任务包括多电压系统上电、系统复位、产生芯片选择信号，以及实时监控等。MAX V CPLD 所具有的特性和密度使其能够将所有这些功能，包括以下功能，集成到一片非易失、瞬时接通器件中：

- 瞬时接通——支持 MAX V CPLD 首先上电（在 50 μ s 内），然后，管理其他器件的启动顺序。
- 多电压——支持设计人员为电源管理接口选择最适用的 I/O 电压：3.3、2.5、1.8、1.5 或者 1.2V。
- 内部振荡器——用于周期性的监控各种电源平面以及相关电源和下游器件的状态。
- 用户闪存 (UFM)——非易失存储，采集系统信息，用于调试和诊断。
- 热插拔兼容——支持 CPLD 从工作系统中插入和拔出，不会有损害，这是控制可插入电路板电源管理的最佳解决方案。
- 模拟接口——支持 PWM 连接各种模拟标准产品，例如，温度、压力和电压传感器等。

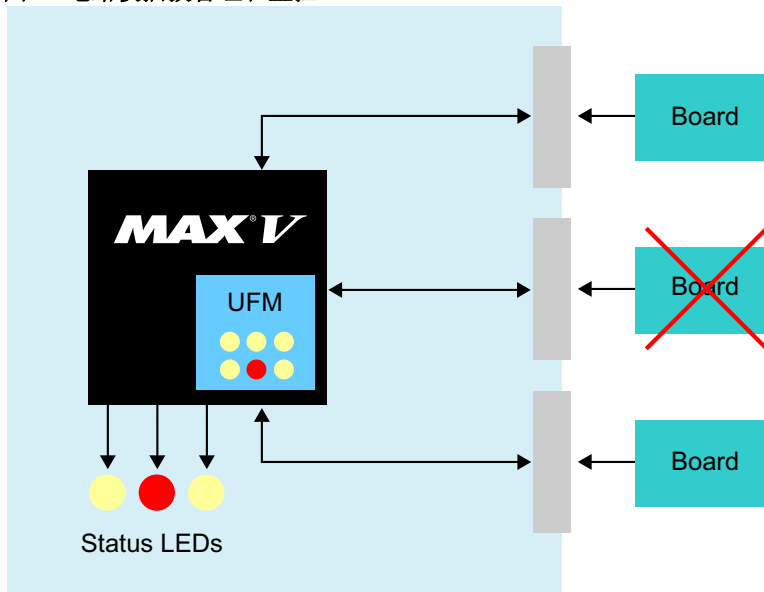
图 5 所示为一个典型的 MAX V CPLD 电源管理应用。由于多路电源支持不同的器件，因此，需要控制逻辑来管理每一器件所有的上电顺序。为确保在上电期间不会偶然驱动这些信号，MAX V CPLD 也被用于控制关键总线信号，直至上电完成。JTAG 端口监视上电顺序，存储上电时的错误和信息。端口也可以用于设置上电排序的断点，这一功能在调试阶段非常有用。

图 5. 使用 MAX II CPLD 进行多电压系统上电管理



如图 6 所示，MAX V CPLD 还可以监控在背板上插入或者去除电路板。大电流 CPLD I/O 支持 LED 直接指示插入了哪块电路板，而用户闪存记录这一信息，用于调试和诊断目的。

图 6. 电路板插拔管理和监控



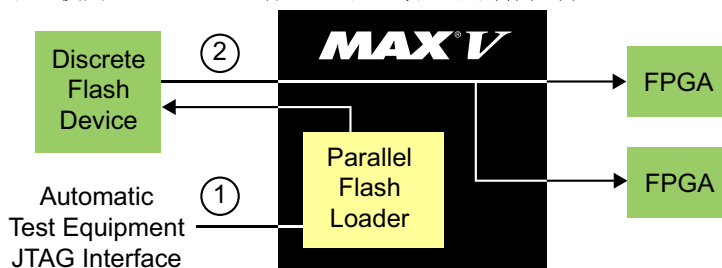
配置和初始化

CPLD 通常用于管理其他易失器件的配置或者初始化。需要配置或者初始化的元器件包括 FPGA、数字信号处理器、ASSP、ASIC 和分立闪存等。


MAX V CPLD 具有瞬时接通特性，首先上电，然后管理其他器件的配置和初始化。实时 ISP 支持 MAX V CPLD 在工作的同时下载并存储第二个编程比特流，从而减少了系统停机时间。立即开始重新编程，或者在用户设定的下一次上电时重新编程。

为简化对分立闪存或者 FPGA 器件配置的编程，Altera 提供了并行闪存加载 IP。如图 7 所示，配置应用的第一步演示了闪存编程应用。这一功能使用 JTAG，通过 CPLD 的 JTAG 引脚来配置闪存。也可以使用并行闪存加载 IP 来配置非 JTAG 兼容闪存器件。

图 7. 使用 MAX VCPLD 进行 FPGA 配置管理和闪存控制



配置应用的第二步使用最新编程的分立闪存来配置一个或者多个 FPGA。这是灵活的高性价比解决方案，在一块系统电路板上共享使用低成本闪存。由于可以使用高密度 CPLD，MAX V 器件能够支持非常复杂的配置，包括，有多个页面的闪存对具有很多不同功能的 FPGA 进行编程。

 关于并行闪存加载 IP 的详细信息，请参考 Altera 应用笔记，[通过 Quartus II 软件使用 MAX II 并行闪存加载程序](#)。

模拟控制

MAX V CPLD 具有基于 LUT 的逻辑体系结构、驱动能力很强的 I/O，以及内部振荡器，支持通过 PWM 接口来直接连接各种模拟标准产品。这样，可以不需要 DAC，对模拟产品进行精确的控制，包括：

- 灯光——LED 闪烁，背光强度
- 运动——各种类型的电机和伺服
- 传感器——压力、温度、电压等
- 声音——扬声器，等

能够对模拟产品进行精确的数字控制调整，有助于降低这些模拟功能的功耗。

结论

MAX V 系列的体系结构和特性支持本白皮书介绍的 5 种主要 CPLD 应用在一块低成本、低功耗 CPLD 中实现。因此，今后的设计非常适合采用 MAX V 器件来满足各类市场领域的需求：固网、无线、工业、消费类、计算机和存储、汽车，以及广播和军事等。Altera 占据了 CPLD 市场最大的份额，在迅速交付大批量产品以及为 OEM 提供较长生命周期器件支持方面保持了良好的历史记录。

详细信息

- MAX V CPLD：最酷的价值所在：
www.altera.com/products/devices/cpld/max-v/mxv-index.jsp
- 资料：MAX V 器件：
www.altera.com/literature/lit-max-v.jsp
- 通过 Quartus® II 软件使用 MAX II 并行闪存加载程序：
www.altera.com/literature/an/an386.pdf

致谢

- Thomas Schulte，产品营销高级经理，低成本产品，Altera 公司。

文档修订历史

表 2 列出了本文档的修订历史。

表 2. 文档修订历史

日期	版本	进行的修改
2011 年 1 月	1.1	对文本进行了一些编辑。
2010 年 12 月	1.0	初次发布。