

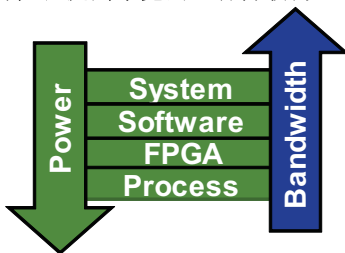
设计下一代高端应用的两个主要需求是降低功耗和提高带宽。在多个市场领域，在相同的引脚布局中以相同甚至更低的功耗和成本实现更大的带宽已经成为全球发展趋势。互联网的趋势是移动，视频推动了带宽需求，带宽年增长率高达 50%。目前正在向 40G 和 100G 系统迈进（即将出现 400G），以支持不断增长的带宽需求。激烈的竞争促使价格降低。产品在体积上有很多限制，功耗预算的主要因素是散热解决方案，有时候这会导致电子产品的功耗成倍增加。下一代 28-nm 高端 Altera® FPGA 通过前沿的创新技术、集成技术以及低功耗技术，帮助您解决这些挑战。

## 引言

设计下一代 FPGA 来满足目前对宽带和低功耗需求的难度越来越大。计划采用新 FPGA 系列以确保新器件能够满足各种市场领域目标应用的功耗和性能要求时，必须要仔细考虑很多因素。这些因素包括选择合适的工艺技术，设计合适的体系结构，应用合适的软件功耗优化技术，实现更简单、功效更高的系统级设计。

Altera 在设计 Stratix® V FPGA 时进行整体分析，实现了业界功耗最低、带宽最大的 FPGA。对于需要开发宽带设计，同时降低热功耗的设计人员，我们在各方面都引入了关键创新，以优化 Stratix V FPGA 的功耗和性能（图 1）。

图 1. Altera 降低功耗和提高带宽的整体分析方法



## 高端 FPGA 设计的功耗

功耗由三部分组成：动态功耗、静态功耗和 I/O 功耗。

### 静态功耗

静态功耗是信号还没有触发时 FPGA 消耗的功率。数字和模拟逻辑都存在静态功耗。图 2 和表 1 所示为 28-nm 晶体管的静态漏电流源。

图 2. 晶体管泄漏源

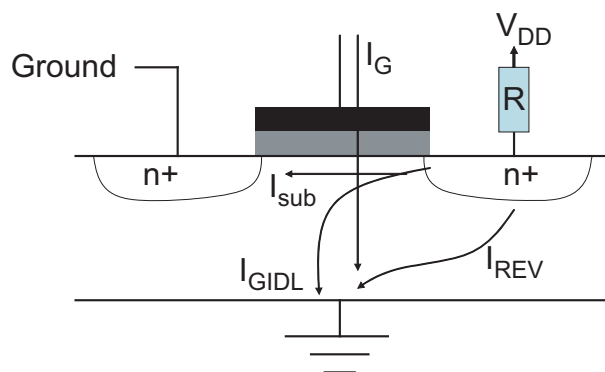


表 1. 晶体管泄漏主要来源

泄漏主要来源	影响	降低泄漏的方法
亚阈值泄漏电流 ( $I_{sub}$ )	主要	<ul style="list-style-type: none"> <li>■ 降低电压</li> <li>■ 提高电压阈值</li> <li>■ 延长栅极长度</li> <li>■ 掺杂参数优化</li> </ul>
栅极直接沟道泄漏电流 ( $I_G$ )	主要	高 k 金属逻辑门 (HKMG)
栅极感应栅极泄漏电流 ( $I_{GIDL}$ )	小	掺杂参数优化
反向偏压结泄漏电流 ( $I_{REV}$ )	可忽略	掺杂参数优化

## 动态功耗

动态功耗是器件工作时由于信号触发和容性负载冲放电所带来的功耗。如图 3 所示，影响动态功耗的主要因素是电容充电、供电电压和时钟频率等。按照摩尔定律，小工艺尺寸减小了电容和电压，从而降低了动态功耗。而难点在于随着工艺尺寸的减小，提高了最大时钟频率。而随着工艺节点的减小，相同电路的功耗在降低，但是 FPGA 容量在不断增加，最大时钟频率不断提高。

图 3. 影响动态功耗的因素

$$P_{dynamic} = \left[ \frac{1}{2}CV^2 + Q_{ShortCircuit}V \right] f \cdot activity$$

Capacitance charging
Short circuit charge during switching
Percent of circuit that switches each cycle

## I/O 功耗

I/O 功耗是指 I/O 模块消耗的功率，这包括通用 I/O 和高速串行收发器。图 4 显示了影响通用 I/O 功耗的主要因素，表 2 对此进行了总结。

图 4. 影响通用 I/O 功耗的因素

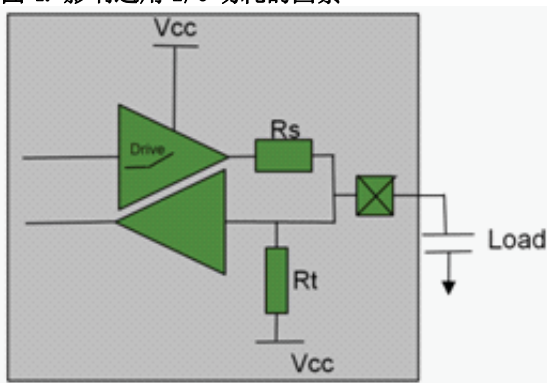


表 2. 影响通用 I/O 功耗的主要因素

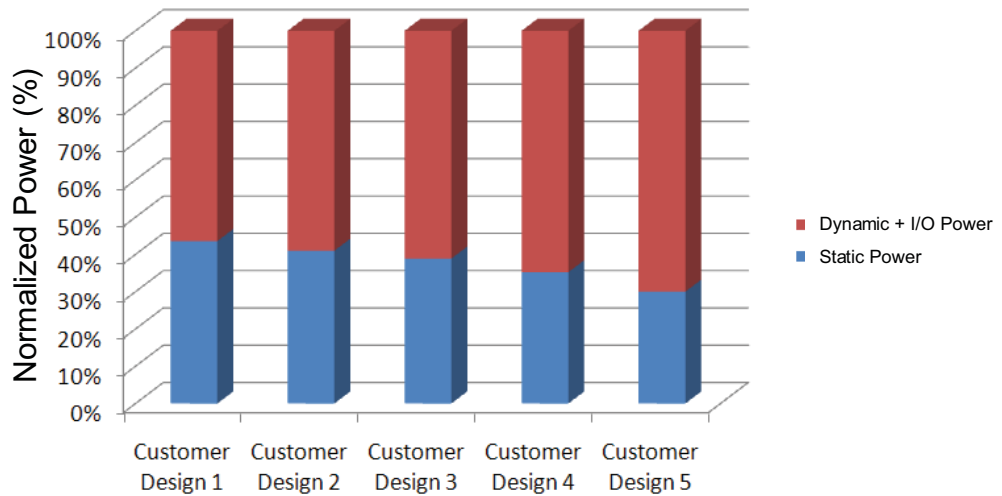
影响 I/O 功耗的主要因素	主要措施
匹配电阻 (片内串联匹配电阻 ( $R_S$ OCT) 和片内并联匹配电阻 ( $R_T$ OCT))	动态片内匹配 (DOCT)
输出缓冲驱动能力	可编程驱动能力
输出缓冲摆率	可编程摆率
I/O 标准 (单端、电压参考, 或者差分)	支持多种 I/O 标准
电压供电	支持各种电压源
容性负载 (充电 / 放电)	与接口有关

影响高速串行收发器功耗的主要因素包括:

- 数据速率 (Gbps)
- 预加重和均衡设置
- 接口负载 (芯片至芯片或者芯片至背板)
- 收发器电路设计

图 5 显示了各种高端 FPGA 用户设计的总功耗。动态功耗和 I/O 功耗是 FPGA 总功耗的主要组成部分。由于高端 FPGA 设计总是倾向于最大限度的发挥带宽和性能优势, 因此, 大量使用时钟速率  $f_{MAX}$  更高的逻辑。I/O 以更高的数据速率触发, 逻辑以更快的频率触发时, 片内和片外负载的充放电成为 FPGA 功耗的主要来源。为能够有效的降低 FPGA 总功耗, 必须同时降低静态功耗和动态功耗, 同时保证 FPGA 的性能仍满足设计要求。

图 5. 各种高端 FPGA 用户设计的总功耗

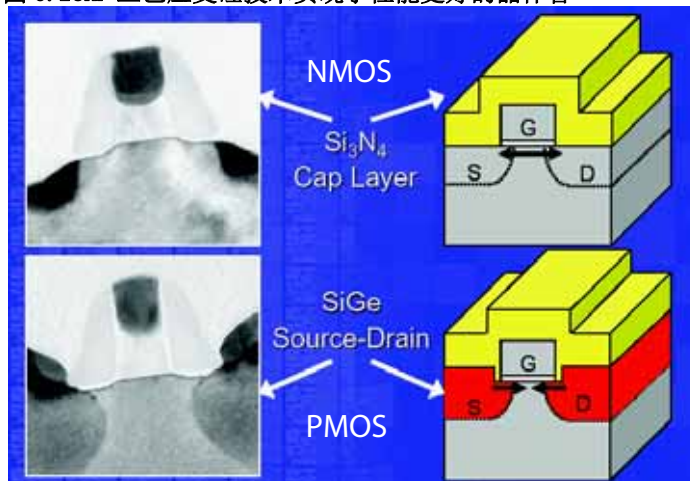


## 选择合适的工艺技术

发展到小工艺技术节点总是能够提高集成度，降低功耗，性能优于以前的节点，28-nm 也不例外。28-nm 工艺具有明显的性能优势，但是，要充分发挥这些优势，需要为 28-nm 工艺创造合适的环境。Altera 选择 TSMC 28-nm 高性能 (28HP) HKMG 工艺，借助与 TSMC 长达 17 年的合作关系，优化 Stratix V FPGA 低功耗工艺。28HP 工艺还支持 Stratix V FPGA 提供 28-Gbps 高能效收发器，适用于超宽带应用。

不仅引入 HKMG 实现了 28-nm 工艺优异的性能，而且还采用了第二代高级应变技术加速了电路设计，包括晶体管源漏区的嵌入硅锗 (SiGe) 等技术。Altera 通过覆盖层在 NMOS 晶体管产生拉伸应变，通过源极和漏极的嵌入硅锗在 PMOS 晶体管产生压缩应变 (参见图 6)。这些应变硅技术使电子和空穴的移动能力提高了近 30%，晶体管性能增强了 40% 以上。由于通过应变硅技术在同样泄漏的条件下获得了更好的性能，因此，性能的提高抵消了泄漏的影响，与没有采用应变硅的其他 28-nm 工艺相比，提高了工艺性能，减少了泄漏。其他 28-nm 工艺技术还没有同时结合 HKMG 和高级应变技术来提高工艺器件的性能。

图 6. 28HP 工艺应变硅技术实现了性能更好的晶体管



Altera 充分发挥各种 28HP 工艺技术的优势，降低功耗，提高性能。表 3 总结了 Altera 在 28HP 工艺上的各种工艺创新技术，与 TSMC 的标准 28HP 工艺相比，静态功耗降低了 25%。

表 3. 28HP 工艺技术，降低了功耗，提高了性能

28HP 工艺技术	低功耗	高性能
定制低泄漏晶体管 (1)	✓	
定制低泄漏体电流 (I <sub>bulk</sub> ) (1)	✓	
沟道更长的晶体管	✓	
HKMG	✓	✓
SiGe 应变 (PMOS)		✓
Si <sub>3</sub> N <sub>4</sub> 应变 (NMOS)		✓
减小电容	✓	✓
低电压 (0.85 V)	✓	

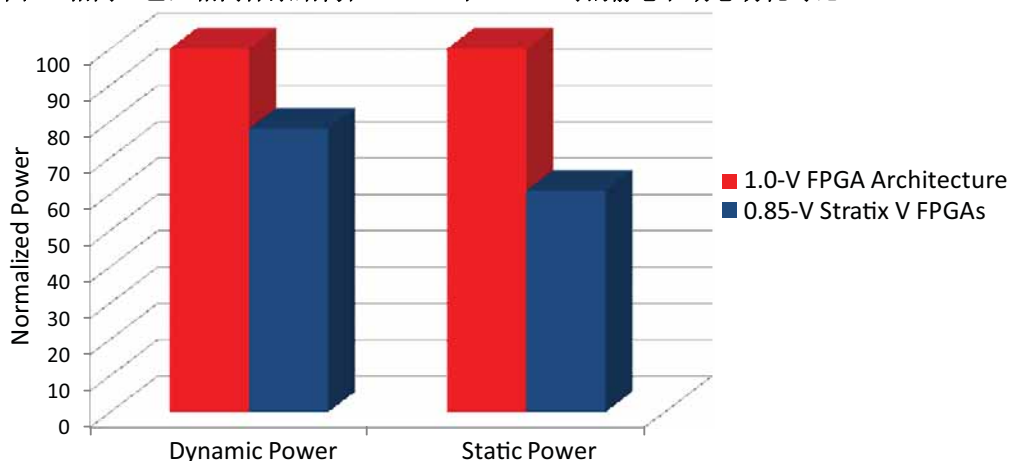
**注释：**

(1) 专门提供，仅供 Altera 使用。

特别是，Altera 与 TSMC 密切协作，开发定制低泄漏晶体管，在各种 Stratix V 功能模块中使用这些晶体管，在性能要求不高的地方降低功耗。此外，Altera 定制了 28HP 工艺来实现可编程功耗技术，这是降低静态功耗的关键创新。利用可编程功耗技术，Altera Quartus® II 开发软件应用反向偏压，调整晶体管的电压阈值，反向偏压会导致泄漏电流增大。Altera 优化了 28HP 工艺来降低反向偏压导致的泄漏电流，这样，Altera 帮助 Stratix V FPGA 设计人员在整个设计中尽可能降低静态功耗。

而且，Altera 利用 28HP 工艺提供的低电压，大幅度降低了功耗，而且对性能没有影响。图 7 显示了 Stratix V FPGA 在 0.85-V 供电时，与 1.0-V 供电相比降低了静态功耗和动态功耗。静态功耗与 V<sub>cc3</sub> 成正比，电压从 1.0 V 降到 0.85 V，静态功耗降低了 39%。另一方面，动态功耗与 V<sub>cc2</sub> 成正比，电压从 1.0 V 降到 0.85 V，功耗降低了 28%。

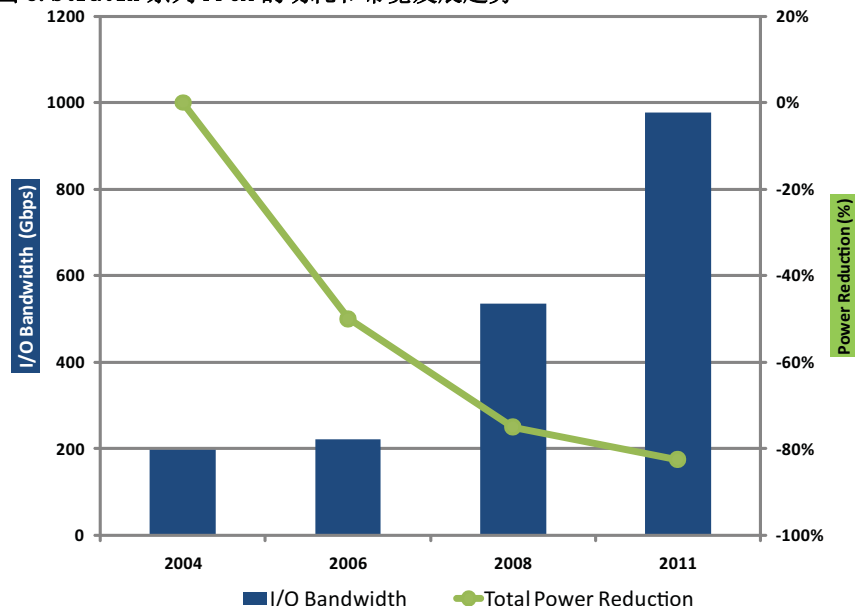
图 7. 相同工艺，相同体系结构在 0.85 V 和 1.0 V 时的静态和动态功耗对比



## FPGA 体系结构创新

Altera 在体系结构创新方面一直处于业界领先地位，帮助设计人员降低系统设计的功耗，提高带宽。随着工艺节点尺寸的减小，最近的四代 Stratix 系列 FPGA 展示了明显的低功耗和宽带发展趋势。如图 8 所示，与 Stratix II FPGA 相比，Stratix V FPGA 帮助设计人员将带宽提高了 5 倍，总功耗降低了 80%。

图 8. Stratix 系列 FPGA 的功耗和带宽发展趋势

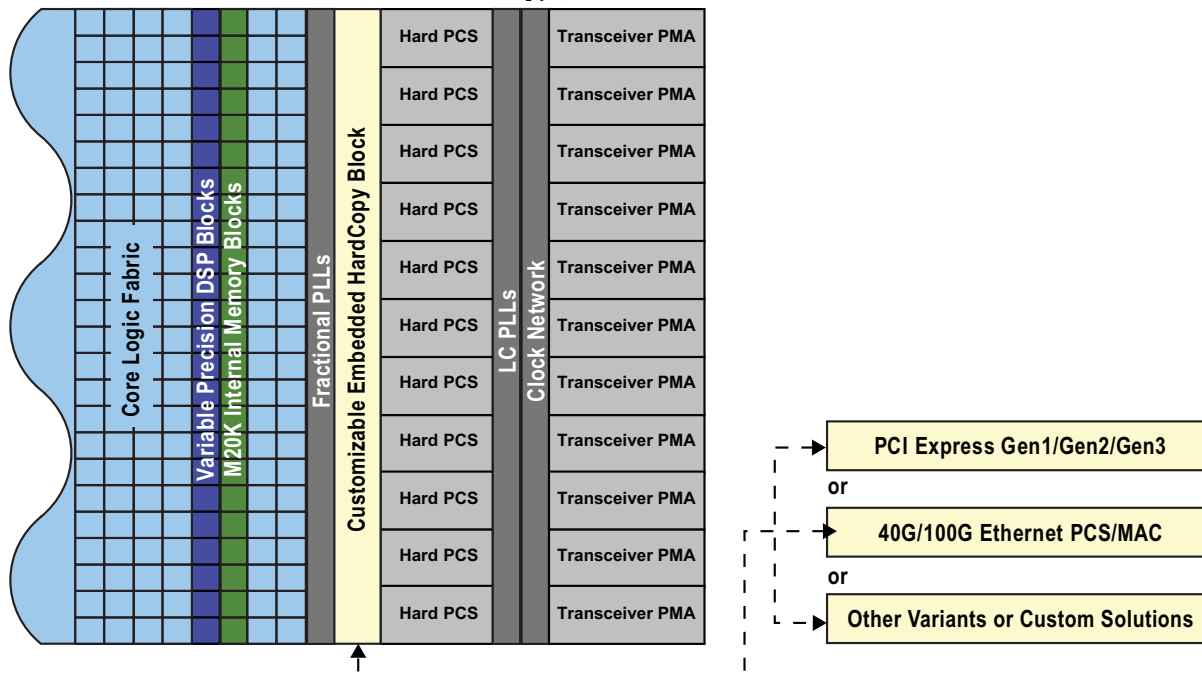


Stratix V FPGA 基于 Stratix IV FPGA 的高性能体系结构，通过关键体系结构创新，前所未有的提高了系统集成度，实现了非常灵活的系统，帮助设计人员获得更大的带宽，更低的功耗。这些创新包括引入嵌入式 HardCopy® 模块，28G 收发器以及部分重新配置功能。Stratix V FPGA 继续采用了 Stratix III 和 Stratix IV FPGA 非常成功的可编程功耗技术。

### 嵌入式 HardCopy 模块和硬核 IP 模块

如图 9 所示，嵌入式 HardCopy 模块是可定制硬核 IP 模块，利用了 Altera 独特的 HardCopy ASIC 功能。这一创新技术极大的提高了单位面积的密度，提供 14M ASIC 逻辑门，或者 1.19M 逻辑单元 (LE)，提高了 FPGA 的容量，增强性能同时降低了功耗。

图 9. 可定制嵌入式 HardCopy 模块



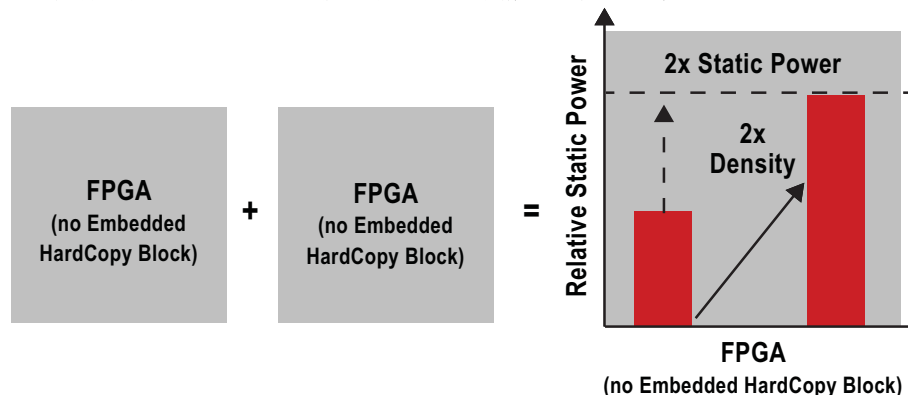
嵌入式 HardCopy 模块用于增强标准功能或者需要大量逻辑的功能，例如接口协议、专用功能和专业定制 IP 功能等。这一创新技术开发了新一类面向应用的 Stratix V FPGA，针对宽带应用和协议进行了优化，例如，PCI Express® (PCIe®) Gen1/Gen2/Gen3 和 40G、100G 等需要大量数据的应用。Stratix V FPGA 中标准定制嵌入式 HardCopy 模块包括表 4 所示的增强模块。

表 4. 采用嵌入式 HardCopy 模块构建的硬核 IP

IP	特性
PCIe Gen1/Gen2/Gen3	PHY/MAC, 数据链路, 会话层
40G/100G 以太网 (802.3ba)	物理编码子层 (PCS)——变速箱、模块同步、对齐标记、虚拟通道重新排序、异步缓冲 / 去偏移、模块剥离 / 去剥离、加扰器 / 去加扰器

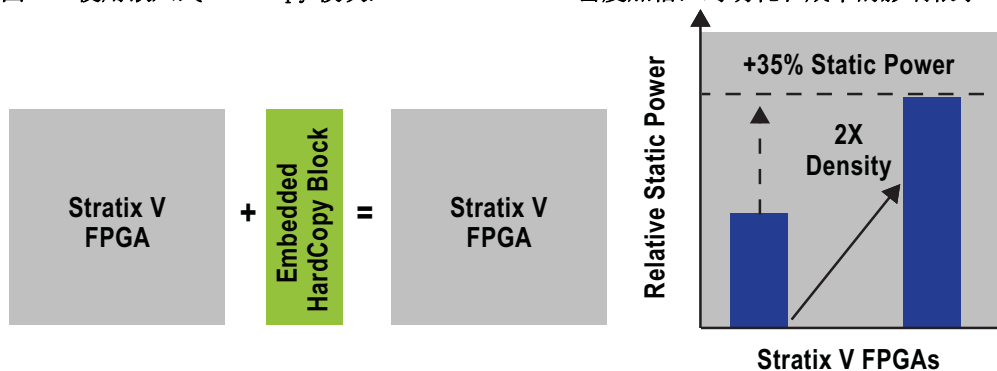
嵌入式 HardCopy 模块使用户能够提高 FPGA 容量，在单芯片中集成更多的功能，不会有增加功耗和成本的代价。如果 FPGA 设计密度加倍，没有采用嵌入式 HardCopy 模块（图 10），那么，设计人员必须使用较大的 FPGA，不但增加了成本，而且静态功耗也增加了一倍。

图 10. 没有硬核 IP 时，FPGA 密度加倍，增加了静态功耗和成本



Stratix V FPGA 具有嵌入式 HardCopy 模块 (图 11)，因此，设计人员可以在相同的 FPGA 中实现规模更大的设计，对静态功耗的影响很小，只有 35%。嵌入式 HardCopy 模块容量高达 1.19M LE，与软核逻辑相比，功耗节省了 65%。

图 11. 使用嵌入式 HardCopy 模块，Stratix V FPGA 密度加倍，对功耗和成本的影响很小



除了嵌入式 HardCopy 模块，Stratix V FPGA 的各种硬核 IP 模块 (图 12 所示) 包括：

- 每个收发器中的增强硬核 PCS 针对背板、线路卡和芯片至芯片应用中的多种关键协议增强了专用数字功能 (表 5)。
- 新的精度可调高性能数字信号处理 (DSP) 模块支持 1,840 GMACS 的 DSP 性能，以及 1 TFLOPS 的单精度浮点运算。
- 新的 20-Kb 内部存储器模块内置了误码纠错 (ECC) 保护功能，各种存储器模式性能高达 600 MHz。
- 增强分布式存储器逻辑阵列模块 (MLAB) 内置了更多的寄存器，进一步提高了性能，高达 600 MHz，优化实现了宽浅 FIFO 缓冲。
- 利用新的分段式锁相环 (PLL)，设计人员综合并生成精确的片内频率，而不需要外部 VCXO 和板上晶体振荡器。

图 12. Stratix V FPGA 中的硬核 IP 模块

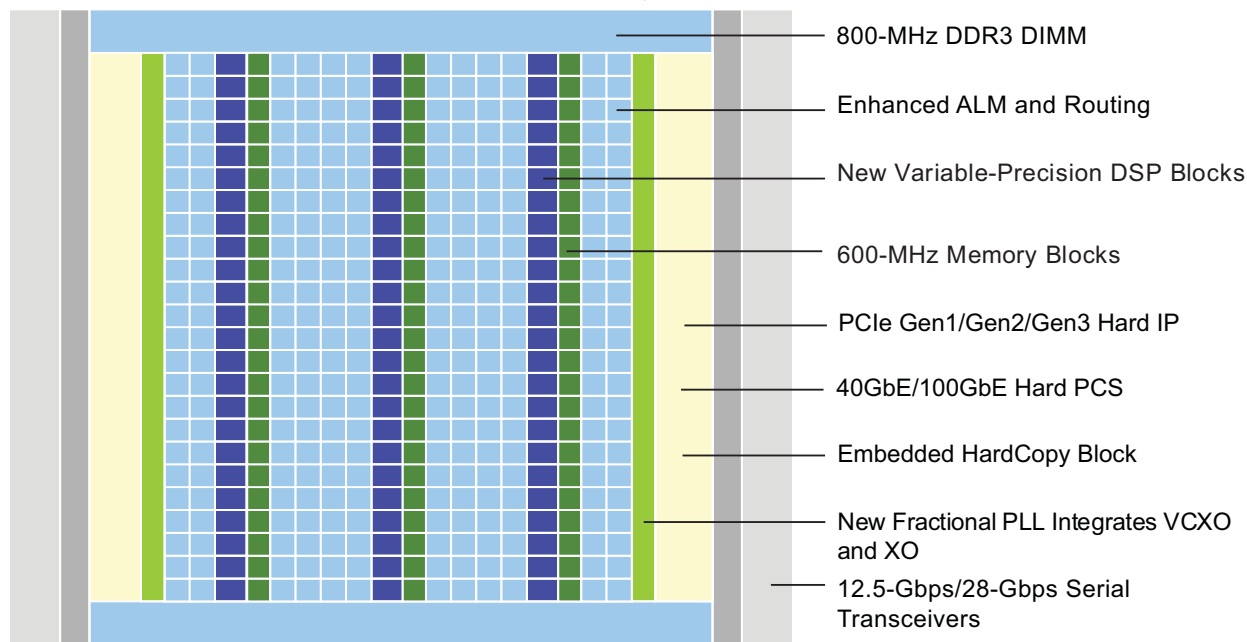


表 5. 每个收发器通道 PCS 中的硬核 IP

IP	特性
Interlaken	变速箱、模块同步、64B/67B、帧同步、加扰器 / 去加扰器、CRC-32、异步缓冲 / 去偏移
10G (10GBase-R)	变速箱、模块同步、加扰器 / 去加扰器、64B/66B、速率匹配器
PCIe Gen1/Gen2/Gen3	字对齐器、通路同步状态机、去偏移、速率匹配器、8B/10B、变速箱、128B/130B、PIPE-8/16/32
Serial RapidIO® 2.0	字对齐器、通路同步状态机、去偏移、速率匹配器、8B/10B
CPRI/OBSAI	字对齐器、比特滑动（确定性延时）、8B/10B
定制 / 专用	从硬核 IP 模块中选择组件，定制 PCS 层

利用 Stratix V FPGA 中丰富的硬核 IP 模块，设计人员显著降低了设计的功耗和成本，同时满足了目标应用的宽带要求。与软核逻辑实现相比，使用硬核 IP 实现的设计功耗低 65%，性能提高 2 倍，可以确保达到时序逼近。

此外，硬核 IP 模块使设计人员能够使用密度较小的 FPGA，降低成本和功耗。表 6 显示了设计人员使用 Stratix V 硬核 IP 时节省的 LE。对实际设计的研究表明，实现 24 通道 Interlaken 以及两个 PCIe Gen3 x8 内核时，425K-LE Stratix V FPGA 在密度上等价于 740K-LE FPGA。这是因为 24 通道增强 Interlaken PCS 节省了 55K LE，两个 PCIe Gen3 x8 硬核 IP 节省了大约 260K LE 以及相关的存储器，总共减少了 315K LE。在 LE 这方面的节省使用户能够在更小的 FPGA 上实现他们的应用设计，从而降低了功耗和成本。

表 6. 使用 Stratix V 硬核 IP 时节省的 LE

高速协议 IP	使用软核 IP 时大致的逻辑利用率 (LE)	使用 Stratix V 硬核 IP 时大致的逻辑利用率 (LE)
PCIe Gen1/Gen2/Gen3	130K	0
x24 Interlaken PCS	55K	0

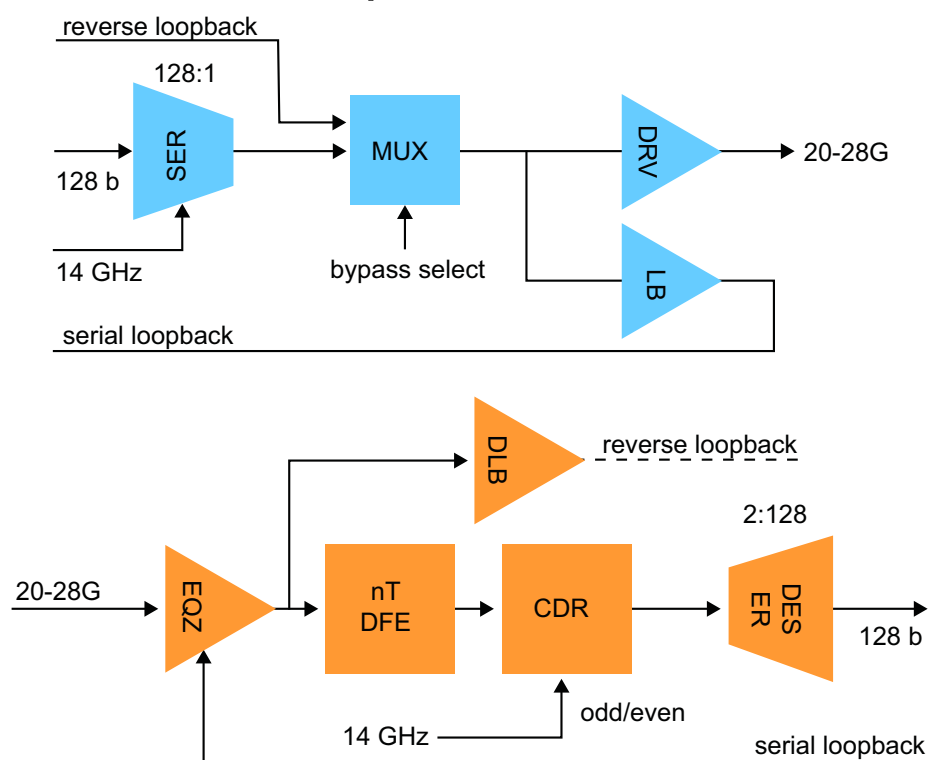
表 6. 使用 Stratix V 硬核 IP 时节省的 LE

高速协议 IP	使用软核 IP 时大致的逻辑利用率 (LE)	使用 Stratix V 硬核 IP 时大致的逻辑利用率 (LE)
3 x 40G 以太网 PCS	50K	0
100G 以太网 PCS	45K	0
10G 以太网 PCS	5K	0

## 宽带高效收发器

Altera 在 28-nm 引入的另一关键创新是高效 28-Gbps 高速串行收发器，如图 13 所示。这些 28-Gbps 收发器设计用于芯片至芯片以及芯片至模块应用，主要用于满足固网市场光模块接口向 28-Gbps 的发展趋势。

图 13. Stratix V FPGA 中的 28-Gbps Tx 和 Rx 体系结构

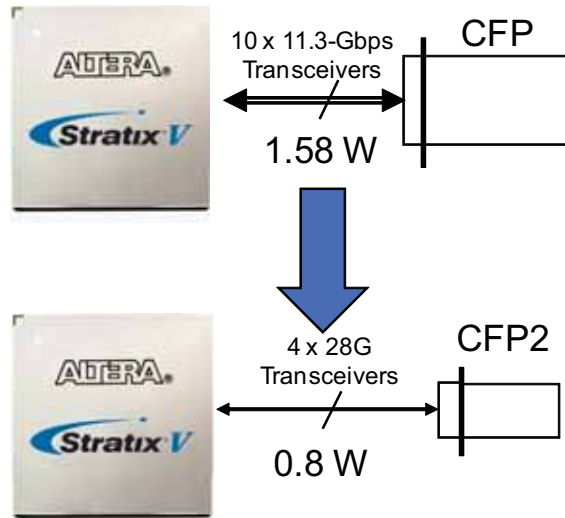


通信和计算机系统采用光模块将接收到的电信号转换为光信号，然后，将其驱动至光纤信道。同样的，它们将光信号转换为电信号，然后，将其驱动至铜缆信道。光模块发展的重点是提高数据速率，降低功耗，从模块中去掉组件从而减小外形封装尺寸。这给芯片和系统设计带来了挑战。

目前通过电接口来实现 100G 以太网 (GbE) 网络，采用了 10 通路 x10 或者 11 Gbps 信号速率。光接口解决方案是由各类行业组织开发的，为每个方向四个通路窄带电接口提供电流驱动。为适应这一趋势，按照通用电气 I/O 28 Gb/s (CEI-28G)，开发了芯片至芯片和芯片至模块应用的 28 Gbps 信令协议。这一协议支持在一块线路卡上采用体积更小、性价比更高的低功耗光模块（例如，CFP2）实现多路 100Gbps 应用。

采用 28-Gbps 收发器，设计人员进一步提高了带宽，同时降低了功耗。图 14 显示了 100-GbE 接口至光模块的两种实现方法。在第一种实现方法中，每个通道运行在 11.3 Gbps 的 10 个通道与 100G (CFP) 光模块连接，功耗达到 1.58 W。在第二种实现方法中，每个通道运行在 28 Gbps 的 4 个通道与下一代 100G (CFP2) 光模块连接，功耗只有一半，达到 0.8 W。

图 14. 使用 28-Gbps 收发器，提高了带宽，功耗降低了一半

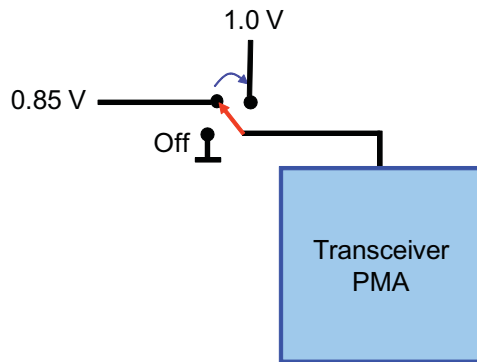


除了 28-Gbps 收发器，Stratix V GX FPGA 还集成了高能效收发器，支持从 600 Mbps（过采样实现 150 Mbps）到 12.5 Gbps 的数据范围，具有同类最佳的信号完整性，抖动也是最低的。Stratix V GX FPGA 有 66 个相同的高能效 12.5-Gbps 收发器，通过独立时钟源提供 44 路独立数据速率。

Stratix V FPGA 的 28-Gbps 和 12.5-Gbps 收发器在所有支持的数据速率上都具有很高的能效。Altera 尽可能采取措施保证 Stratix V FPGA 中的收发器以最低功耗满足所需的带宽或者数据速率。特别是，Altera 在 Stratix V FPGA 中引入了收发器电源供电块（请参见图 15），根据各种应用中所使用的收发器，采用下面的一种电源供电电压方式对收发器供电：

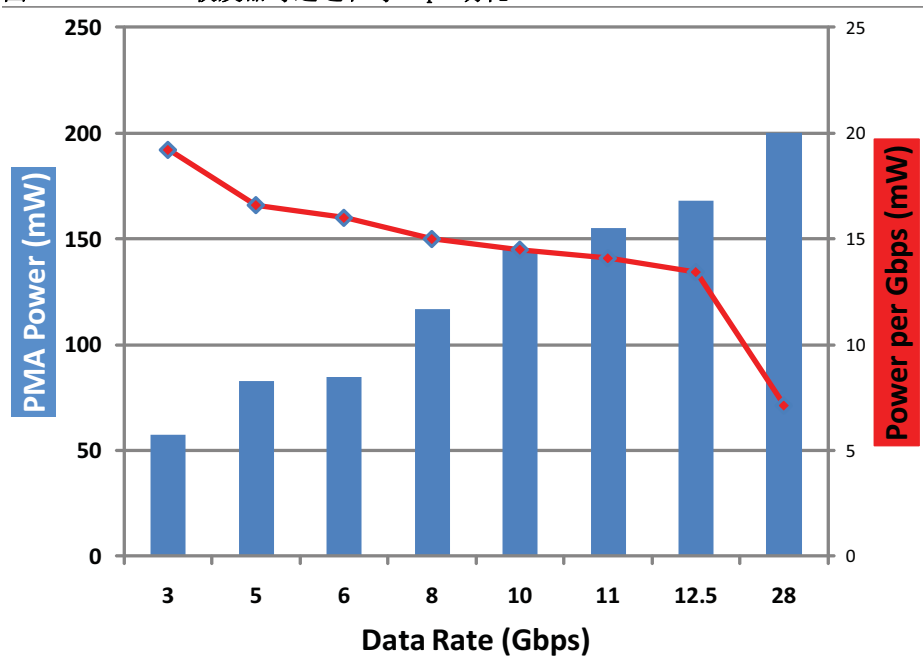
- 低功耗 (0.85V) 配置——这一配置用于短距、芯片至芯片和芯片至模块应用，数据速率小于 6.5 Gbps，采用了基本均衡方法，例如，发送预加重 / 去加重和连续时间线性均衡器 (CLTE) 等。
- 高性能 (1.0V) 配置——这一配置用于噪声和有损通道，例如数据速率大于 6.5 Gbps 的长距和背板应用。它包括更高级的均衡电路模块，例如，在基本线性均衡电路基础上采用了判决反馈均衡 (DFE) 和自动散射补偿引擎 (ADCE) 等。
- 关断 (0V) ——用于关断未使用的收发器，以降低功耗。

图 15. Stratix V 收发器的三种电源供电选择



除了收发器供电模块，Altera 还采用了各种设计方法以确保 Stratix V 收发器的功效。这些方法包括使用支持低功耗的超低抖动 LC-PLL 技术，提高数据速率，对晶体管进行偏置，以降低静态功耗，通过时钟选通来降低动态功耗。结果，Stratix V 收发器以最低功耗实现了同类最佳的信号完整性。图 16 显示了 Stratix V FPGA 各种数据速率每通道收发器功耗（蓝色条）以及每千兆位收发器功耗（红色条）。

图 16. Stratix V 收发器每通道和每 Gbps 功耗



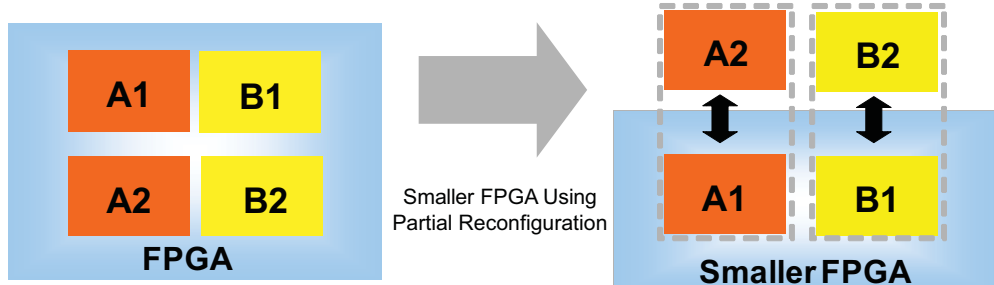
在 28-Gbps，每个收发器通道的 PMA 功耗是 200 mW，即，每 Gbps 7 mW。通过提高数据速率，设计人员能够显著降低系统功耗。例如，开发 10G 接口时，设计人员可以在以下选项中进行选择：

- 四个 XAUI 通道——每个通道运行在 3.125 Gbps，功耗 240 mW。
- 一个 10G 通道——运行在 10.3125 Gbps，功耗 145 mW，功耗降低了 40%。

## 在使用方便的精细粒度部分重新配置功能

部分重新配置功能是指能够重新配置部分 FPGA，而器件其他部分仍然正常运行。设计人员使用这一特性的一个主要优势在于降低了器件密度，从而减小了功耗，降低了成本。如图 17 所示，部分重新配置功能去掉了 FPGA 中那些不同时工作的功能，因此，可以使用更小的 FPGA。使用更小的器件，或者减小器件数量有利于降低系统成本，减小功耗。这一技术的重要应用包括可重新配置通信系统以及高性能计算平台。

图 17. 部分重新配置功能支持使用更小的 FPGA，降低了成本和功耗



设计人员使用部分重新配置功能的另一优势是能够根据应用情况来修改设计分区的功耗参数。当一个设计分区处于空闲状态时，设计人员可以部分重新配置 FPGA，对空闲分区重新编程，使其进入低功耗模式。

Altera 在 Stratix V FPGA 中引入了使用方便的部分重新配置功能，在设计的其他部分还在运行时，设计人员很容易随时改变内核和收发器功能。对于宽带应用，这种灵活性是非常有必要的，例如，支持 600 Mbps 到 12.5 Gbps 多标准客户侧接口的宽带应用。这类应用要求服务提供商随时能够更新或者调整 FPGA 功能，不能中断其他客户的服务。这大大缩短了系统停机时间。

一般而言，部分重新配置功能需要较长的工程周期，设计流程非常复杂，要求设计人员知道详细的 FPGA 体系结构。Altera 在 Stratix V FPGA 中采用了目前最新的可重新配置架构，其设计基于 Quartus II 软件成熟的渐进式编译设计和 LogicLock™ 流程，从而简化了部分重新配置过程。利用 Stratix V FPGA 中的部分重新配置功能，用户可以减小 FPGA 的容量，或者减少电路板上 FPGA 的数量，从而降低成本，节省电路板空间，降低功耗。

## 在可编程功耗技术

控制 FPGA 功耗最显著的一项技术创新是使用可编程功耗技术。与竞争器件相比，这一技术是 Stratix III、Stratix IV 和 Stratix V FPGA 的关键优势所在。可编程功耗技术能够降低静态功耗，而且对设计性能不会有影响。

Altera 利用了这一事实——设计中的大部分电路都有一定的时序余量，因此不需要将所有逻辑置于高性能状态。Stratix V FPGA 含有逻辑阵列模块 (LAB)、M20K 存储器和 DSP 模块，利用了可编程功耗技术来设置很少的时序关键逻辑模块，在图 18 中以黄色显示为高速模式。时序不重要的逻辑模块被设置为低功耗模式（以蓝色表示），从而大大降低了低功耗逻辑的泄漏电流。而且，可编程功耗技术将没有使用的逻辑、M20K 存储器以及 DSP 模块设置为低功耗模式，进一步降低了功耗。

图 18. 调整反向偏置电压，实现了可编程功耗技术

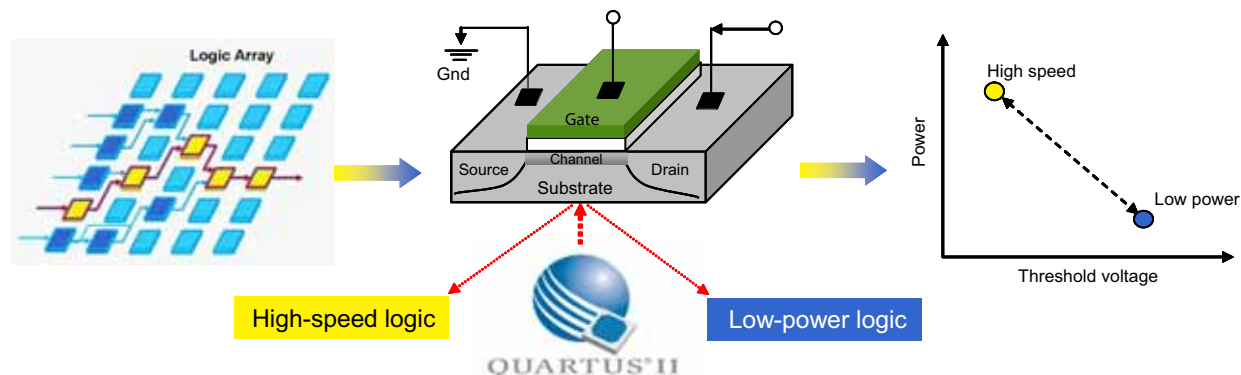


图 18 在非常高的层次上显示了 Quartus II 软件是怎样控制晶体管在高性能和低功耗模式之间切换的。在任何设计中，Quartus II 软件自动确定设计中每一通路的时序余量，通过调整晶体管反向偏置电压，自动把晶体管，同时把逻辑模块设置为合适的模式——高性能或者低功耗。例如，将 Stratix V FPGA 内核的 n-MOS 晶体管设置为：

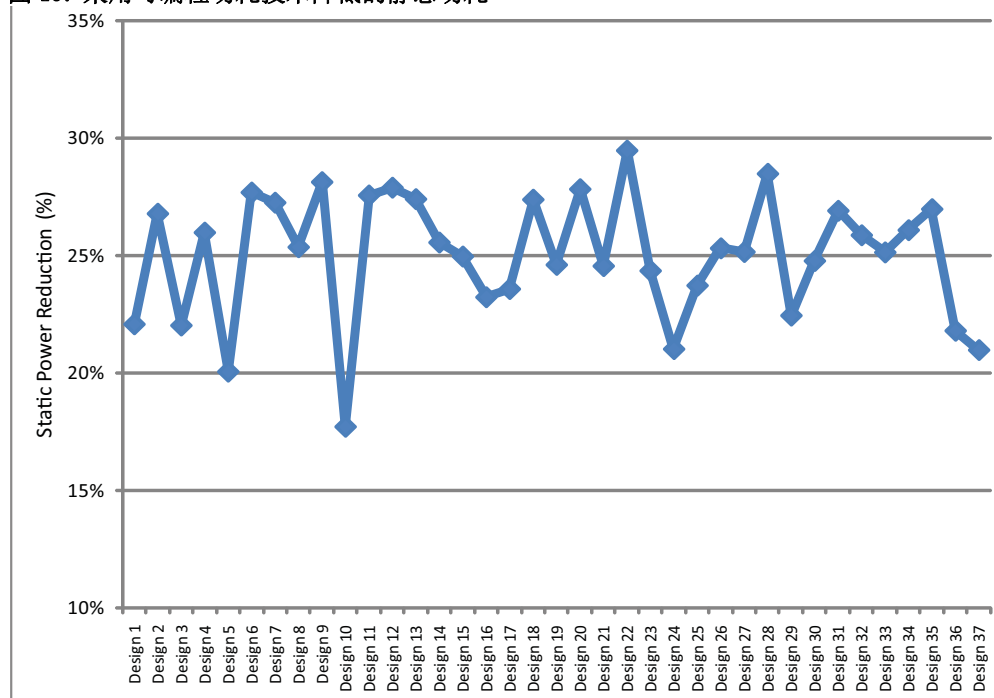
- 低功耗模式——Quartus II 软件减小反向偏置电压（使其更小，负值），提高了晶体管阈值电压。这样，降低了时序不重要电路通路上的亚阈值漏电流，减小了不需要的静态功耗。
- 高性能模式——Quartus II 软件提高反向偏置电压（使其增大，负值），减小了晶体管阈值电压，开关速度更快。在一些时序关键的通路上需要提高性能，以满足设计特殊的时序约束要求，实现最佳性能。

通过改变晶体管的电气特性，Stratix V FPGA 可编程功耗技术以高速逻辑和低功耗逻辑的最佳组合实现了最好的性能和最低的功耗。

可以精确的控制一个设计达到其性能要求所需要的高速逻辑数量。在每一逻辑块的基础上，对高速和低功耗逻辑之间的可编程功能进行控制（每一逻辑块含有两个 LAB，一个 DSP 模块，或者一个 M20K 存储器模块）。在 Stratix V FPGA 中，可以分别对 10,000 多个逻辑块分别进行控制，设置为高速或者低功耗模式，把设计功耗降到最低。Quartus II 软件将逻辑块设置为高速或者低功耗模式，自动对设计进行优化，不需要设计人员的干预。

为能够在实际设计中测试可编程功耗技术的有效性，Altera 在 Quartus II 软件中两次编译了 38 个用户设计。在第一次编译中，关掉可编程功耗技术，估算静态功耗。在第二次编译中，打开可编程功耗技术，Quartus II 软件识别并设置需要高性能模式的逻辑，而将其他逻辑设置为低功耗模式。图 19 画出了每一设计在静态功耗上的差别。可以看出，不同的设计节省了不同的静态功耗，范围在 18% 到 38% 之间，平均节省了大约 25%。需要指出的是，平均降低 25% 的静态功耗是由 Quartus II 软件利用可编程功耗技术自动实现的，不需要设计人员的干预。

图 19. 采用可编程功耗技术降低的静态功耗



Altera 的 PowerPlay 早期功耗估算器 (EPE) 能够有效的确定使用可编程功耗技术降低的静态功耗。在 EPE 表格的逻辑标签中, 设计人员可以从三种设置中进行选择 (图 20), 确定设计中高速块的数量:

- **典型设计设置**——假设 0% 的块处于高速模式, 适用于很容易满足时序要求的设计。
- **典型高性能设计设置**——假设 10% 的逻辑块处于高速模式, 适用于较难满足时序要求的设计。
- **非典型高性能设计设置**——假设 25% 的逻辑块处于高速模式, 适用于非常难满足时序要求的设计。

图 20. PowerPlay 早期功耗估算器 (EPE) 中的高速块使用设置



EPE 中三种高速块设置的应用比例基于在大量用户设计基础上的功耗基准测试结果。在这一基准测试中 (表 7 进行了总结), 70% 的设计需要**典型高性能设计设置**, 以达到时序逼近, 而 20% 和 10% 的设计分别需要**非典型高性能设计**和**典型设计设置**, 以达到时序逼近。

表 7. EPE 中对应于高速块应用设置的高速逻辑百分比

高速块应用设置	高速模式中逻辑块的百分比	通过设置达到时序约束的设计百分比
典型	0%	10%
典型高性能	10%	70%
非典型高性能	25%	20%

如果不采用可编程功耗技术，FPGA 中的所有逻辑块都需要处于高速模式中，这是因为任何逻辑块都可以用于设计的关键时序通路上。这导致静态功耗平均增加了 25%，可以使用 EPE 中的两种高速块设置来进行计算，如下所示：

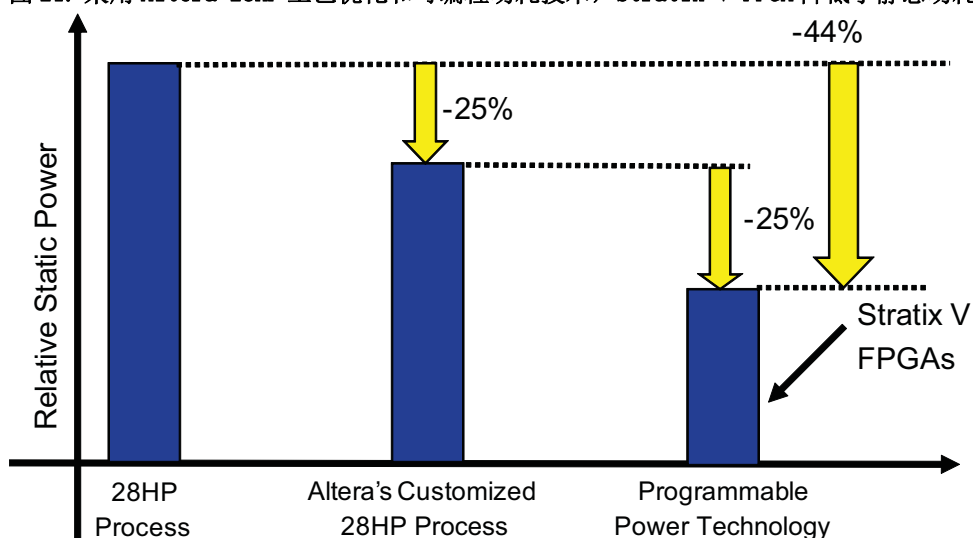
$$\% \text{ Static Power Increase Without PPT} = \frac{\text{Static Power Using Atypical High-Performance Setting}}{\text{Static Power Using Typical Setting}} \times 4$$

差值乘以 4，对应于 FPGA 中 100% 的逻辑块。

## 在 28 nm 解决静态功耗问题

Altera 通过两种创新技术来降低静态功耗：工艺优化和可编程功耗技术。前面曾讨论了工艺优化技术，与标准 28HP 工艺相比，该技术使静态功耗降低了 25%。而且，可编程功耗技术还进一步平均降低了 25% 的静态功耗，与标准 28HP 工艺生产的器件相比，总共降低了 44% 的静态功耗（图 21）。

图 21. 采用 Altera 28HP 工艺优化和可编程功耗技术，Stratix V FPGA 降低了静态功耗



## 关断未使用的功能模块

为进一步降低功耗，Altera 关断那些没有使用的各种功能模块。通过两种方式来关断 Stratix V FPGA 中的功能模块：

- 硬关断——当模块没有使用时，在电路板级将专用 VCC 球脚连接至地。
- 软关断——使用 Configuration RAM Assembler 设置，切断从 VCC 到地的通路。

表 8 列出了在未使用时可以关断的 Stratix V 功能模块，及其相应的关断模式。Quartus II 软件识别出目标 FPGA 中未使用的功能模块，通过汇编器设置关断这些模块（软关断），或者根据 VCC 电源球脚连接建议（硬关断）进行关断。

表 8. Stratix V FPGA 中功能模块的关断

模块	关断模式	关断后估算的静态功耗 (W)
收发器 PMA	硬关断	0
收发器 PCS	硬关断	0
嵌入式 HardCopy 模块	硬关断	0
I/O 块	硬关断	0

表 8. Stratix V FPGA 中功能模块的关断

模块	关断模式	关断后估算的静态功耗 (W)
M20K 存储器模块	软关断	0.0001
分段式 PLL	软关断	0.0001

## I/O 创新实现了低功耗

Altera 在降低功耗方面引入的另一创新是通用 I/O 模块。Stratix V FPGA 提供丰富的 I/O 特性，支持设计人员控制功耗和性能。这些特性包括：

- 支持多种 I/O 标准——取决于应用需求，设计人员可以选择最优 I/O 标准来满足目标应用的性能和功耗要求。表 9 列出了 Stratix V FPGA 支持的 I/O 新标准，设计人员可以利用这些标准实现低功耗、高性能存储器接口。

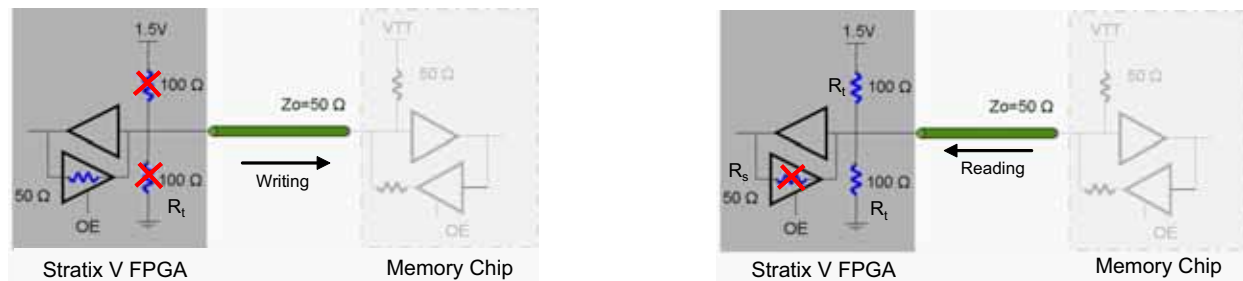
表 9. Stratix V FPGA 支持的 I/O 新标准

I/O 标准	支持的应用
1.2-V SSTL	RLDRAM III
1.2-V HSUL	LPDDR2
1.25-V SSTL	DDR3U
1.35-V SSTL	DDR3L

- 可编程 I/O 缓冲驱动能力——对于各种 I/O 标准，设计人员可以从几种 I/O 缓冲驱动能力级中进行选择，以满足应用需求。
- 可编程摆率控制——**Fast Slew** 设置用于实现最佳 I/O 性能，而慢速摆率设置用于降低系统噪声和信号上冲。
- 动态走线补偿可变输出延时——Stratix V 器件提供四级输出延时控制。内置在输出缓冲中的延时链可以独立控制输出缓冲的上升沿和下降沿延时，因此，它可以用于调整输出缓冲占空比，补偿通道至通道偏移，通过引入通道至通道偏移来降低 SSO 噪声，提高高速存储器接口的时序余量。取决于外部存储器接口性能，可以针对低功耗或者高性能模式来调整这些延时单元。
- 片内匹配 (OCT)——Stratix V FPGA 支持单端 I/O 标准的  $R_S$  OCT 和  $R_T$  OCT，以及差分 LVDS 标准的片内差分匹配 ( $R_D$  OCT)。OCT 有助于防止反射，维持信号完整性；它还降低了对外部电阻的要求，从而节省了电路板空间，降低了成本。

Altera 是业界第一家在 FPGA 上引入动态 OCT (DOCT) 的公司，连接 FPGA 和外部存储器接口时，有效的降低了 I/O 功耗。如图 22 所示，在数据传送过程中，动态打开 DOCT，关断  $R_S$  OCT 和  $R_T$  OCT。在写周期中，打开  $R_S$  OCT，关断  $R_T$  OCT，以匹配线路阻抗，而在读周期中，Stratix V FPGA 实现了总线的远端匹配，因此，关断  $R_S$  OCT，打开  $R_T$  OCT。在一块典型的 72-bit DIMM 上，与使用 DDR2 不具有 DOCT 的标准 FPGA 相比，Stratix V FPGA 使 I/O 静态功耗降低了 65% (1.9 W)，速率达到 1067 Mbps。

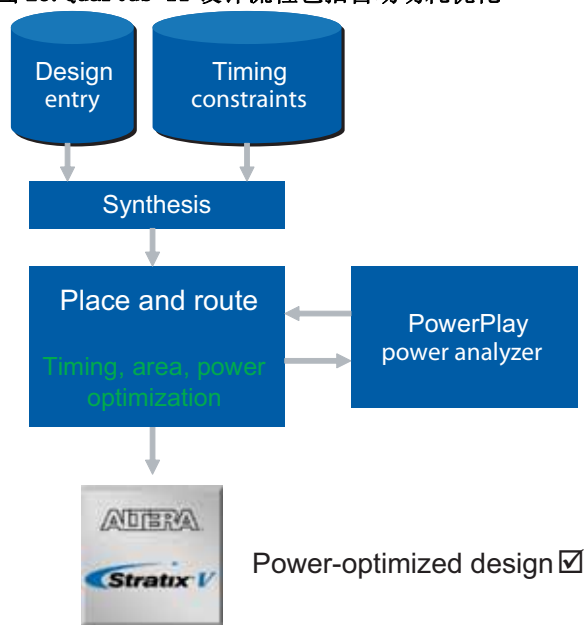
图 22. Stratix V FPGA 中的 DOCT



## 软件功耗优化创新

在工艺和体系结构创新基础上，Altera 在 Quartus II 软件的软件功耗优化方面进行了大量的投入。功耗驱动的编译使用功耗驱动综合和功耗驱动布局布线功能，主要用于降低设计的总功耗。对于设计人员而言，这种功耗驱动的方法是透明的，通过简单编译设置来实现。设计工程师将时序约束简单地设置为设计输入过程的一部分，对设计进行综合，满足性能要求。Quartus II 为每一功能模块自动选择所需的性能，并通过功耗预知布局布线和时钟技术来降低功耗（图 23）。

图 23. Quartus II 设计流程包括自动功耗优化



Quartus II 软件在不同的编译阶段采取各种措施来降低设计的总功耗。在综合阶段，Quartus II 软件提取时钟使能信号，进行时钟选通，减少对 RAM 模块的访问，重新构建逻辑以避免高触发网。在适配阶段，Quartus II 软件找到高触发网，以降低动态功耗，优化逻辑布局，减小时钟功耗，实现高效 DSP 和 RAM 模块配置。最后，在汇编级，Quartus II 软件对未使用的电路进行编程，尽可能减小触发，或者进行关断。最终的设计以最低的功耗满足了设计人员的时序要求。

如表 10 所示，设计人员可以选择不同级别的功耗优化选项，以满足设计约束要求。选择 **Extra Effort** 设置，最大限度的降低功耗，代价是较长的编译时间。不同的设计，选择不同的努力等级会有不同的结果。这一特性的目的是不需要设计人员的干预来降低功耗，同时减小了对设计性能的影响。此外，在详细的电路模型和高级统计方法的指导下进行功耗优化，估算哪些信号是被经常触发的。通过这些信息，Altera 确定高能效实现方法，不需要设计人员的额外输入（例如，对设计进行耗时的仿真以确定开关速率）。

表 10. Quartus II 软件的功耗优化设置

设置	说明
<b>Off</b>	没有进行网表、布局或者布线优化来降低功耗。
<b>Normal (默认)</b>	采用低计算努力等级算法，通过网表优化来减小功耗，前提条件是降低设计性能。
<b>Extra Effort</b>	采用高计算努力等级算法，通过网表优化来减小功耗。可能会影响最佳性能。

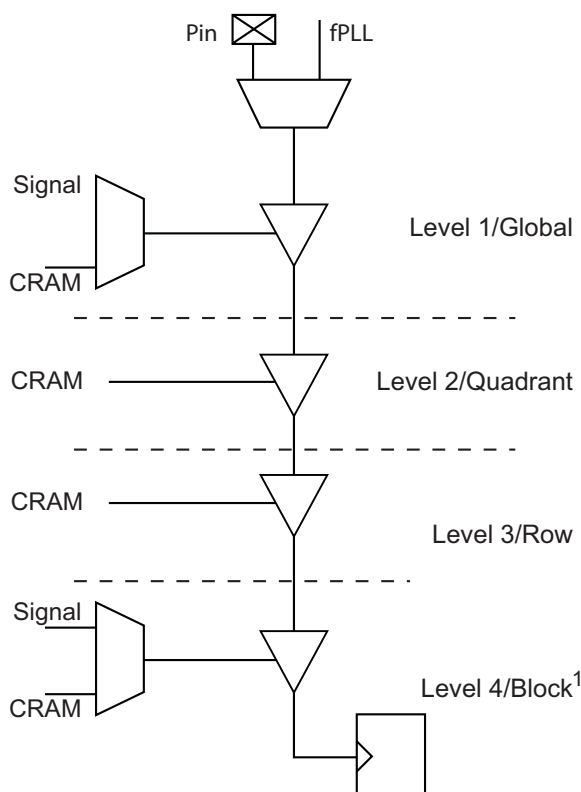
## 时钟选通功耗优化

Stratix V 体系结构中集成的部分功能是选通时钟，防止未使用的逻辑被触发，从而降低动态功耗。Altera 很早便认识到时钟占据了设计中的大部分动态功耗，进行投入，通过内置选通功能，以保证 Stratix 系列器件的时钟网络功耗最低，通过平衡的低偏移时钟网络实现最佳性能。

如图 24 所示，可以在四个等级上选通或者关断 Stratix V FPGA 中的时钟网络。在每一等级上，如果没有使用下游寄存器，控制逻辑禁止时钟触发，否则使能时钟。控制逻辑可以是静态的或者动态的：

- 静态时钟选通——在编程时使用配置 RAM 位来使能或者禁止时钟。Quartus II 软件利用时钟的静态时钟选通功能，这些时钟在设计中一直在使用，或者从未使用。
- 动态时钟选通——由设计人员或者通过 Quartus II 软件生成的信号来使能或者禁止时钟。Quartus II 软件对设计进行综合，在各个时钟级产生信号，当下游逻辑不需要触发时，动态关断时钟。

图 24. 四个级别的 Stratix V 时钟选通



注释:

(1) LAB、存储器、DSP、PMA 和 PCS

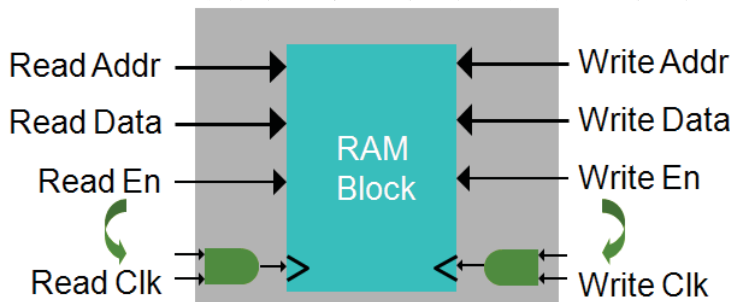
而且，Quartus II 布局算法自动优化寄存器布局，因此，必须激活部分时钟网络，从而到达时钟域中的所有寄存器，降低功耗。不需要到达寄存器的所有时钟树被关断，即，永久选通。此外，当使能信号为低电平时，在设计中设定时钟使能信号或者由功耗预知综合功能产生的时钟使能信号自动选通底层时钟树，进一步降低了功耗。

## RAM 模块功耗优化

FPGA 中的存储器模块对内核动态功耗的影响很大。存储器功耗大约是 FPGA 设计中内核动态功耗的 20%。存储器模块与器件中的大部分其他模块不同，这是因为大部分功耗与时钟速率相关，对数据和地址线的触发速率不敏感。存储器模块被同步后，模块中会有连续的同步事件发生，执行读或者写操作。无论地址或者数据是否在时钟周期之间出现变化，时钟受控电路的功耗总是相同的。因此，输入数据和地址总线的触发率对存储器功耗没有影响。

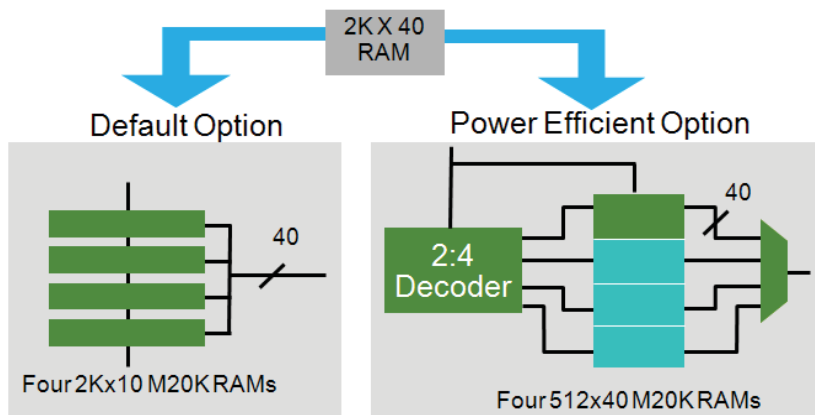
降低存储器功耗的关键是减少存储器同步事件的发生。设计人员可以通过全局时钟网络选通实现这一功能，也可以通过使用存储器端口的时钟使能信号，在每个存储器的基础上实现这一功能。如图 25 所示，Quartus II 软件使用存储器的读写使能功能，例化其他的时钟使能信号，关断 RAM 操作，降低功耗。选择了 **Normal** 或者 **Extra Effort** 功耗优化设置后，这种优化措施由 Quartus II 软件自动完成。

图 25. Quartus II 软件将 RAM 读 / 写使能信号转换为时钟使能信号



选择了 **Extra Effort** 功耗优化设置后，Quartus II 软件自动进一步优化 RAM 功耗。Quartus II 软件将大规模（宽度和深度）RAM 结构高效的映射至 Stratix FPGA 中的物理模块 RAM，从而显著降低了功耗。以 2,048 字深、40 位宽 RAM 为例，图 25 左侧显示了最直接的方法——4 个 M20K RAM 模块，每个提供 10 位宽的 2,048 个字。通过并行访问所有 4 个 RAM，每个周期访问一个 40 位宽字。但是，图 26 右侧的实现方法功效更高。在这种情况下，Quartus II 软件再次使用四个 M20K RAM 模块，但是每个 RAM 模块存储 512 个 40 位宽字。在每一读 / 写周期中，在软核逻辑中实现的电路处理前面的两个地址位，确定哪一 RAM 存储所需的字，访问相应的 RAM。这样，由于可以在每个周期中同步选通四个 RAM 模块中的三个，因此，大幅度降低了 RAM 功耗。

图 26. Quartus II 软件将 RAM 读 / 写使能转换为时钟使能



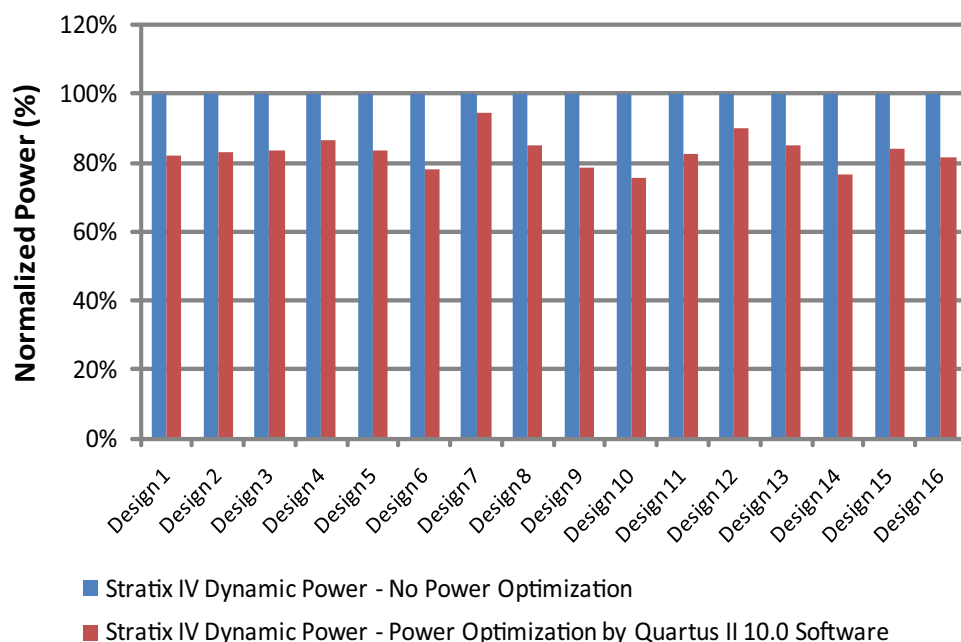
## Quartus II 功耗优化顾问

Quartus II 软件含有功耗优化顾问功能，它根据当前的设计工程设置和分配，提供某些功耗优化建议。功耗顾问为设计人员解释功耗分析最佳实践，向设计人员提出功耗优化建议，这样，设计人员利用硬件和软件功能来降低设计功耗。

## 功耗优化基准测试结果

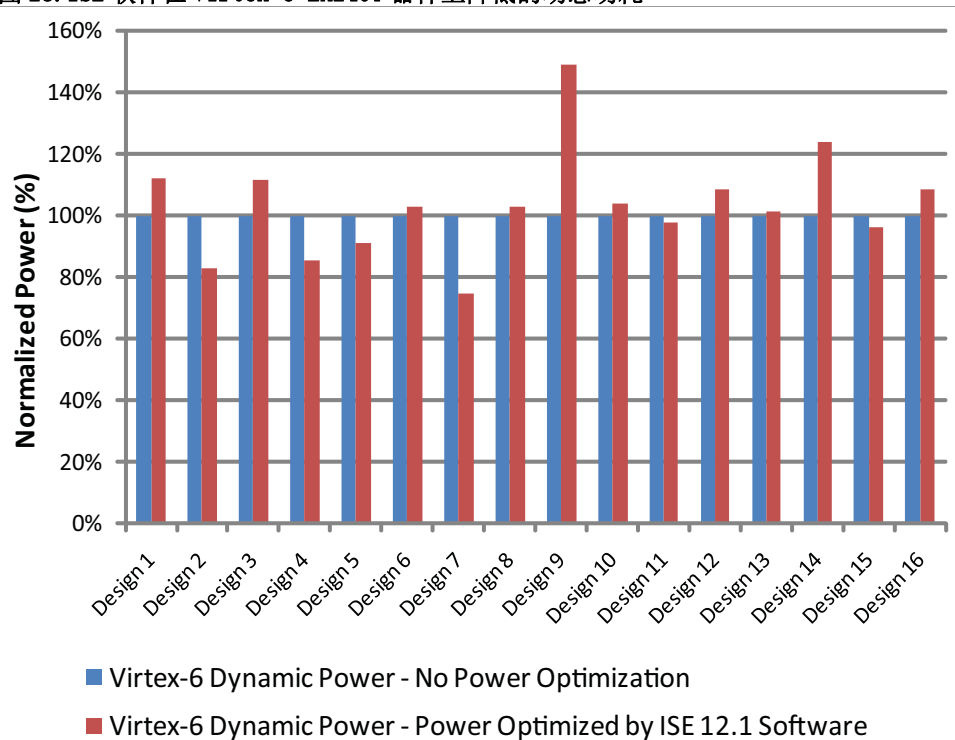
在 Quartus II 软件中通过功耗优化算法降低的功耗具体取决于设计。图 27 显示了 Quartus II 功耗优化功能在 Stratix IV EP4SGX230 FPGA 的 16 个真实设计中所降低的功耗。在 Quartus II 软件 10.0 中对每一设计编译了两次。在第一次编译中，将功耗优化设置为 **Off**，而在第二次编译中，将功耗优化设置为 **Extra Effort with Feedback**。采用了线性反馈移位寄存器 (LFSR) 作为反馈（输入），在 Quartus II 软件中仿真这些设计。在芯片中测量每一次编译产生的结果，并进行对比。可以看出，Quartus II 功耗优化功能平均降低了 18% 的动态功耗。

图 27. Quartus II 软件在 Stratix IV EP4SGX230 FPGA 上降低的动态功耗



为更好的理解降低了 18% 的功耗，Altera 在 ISE 12.1 软件中使用与 Quartus II 软件中相同的编译流程以及相同的输入和时序约束，编译了 16 个相同的设计。在 Virtex-6 LX240T 器件上测量了设计。如图 28 所示，ISE 功耗优化功能平均降低的动态功耗并不明显。

图 28. ISE 软件在 Virtex-6 LX240T 器件上降低的动态功耗



## 电路板级优化

Stratix V FPGA 实现了很多创新，帮助用户简化电路板设计，同时降低功耗和成本。这些创新包括：

- 更少的电源供电稳压器——Stratix V 体系结构经过优化，尽可能共享电源，减少了所需要的外部稳压器数量。使用内置电压稳压器对 PLL 和收发器模块等关键模拟电路供电，使这些电路与外部耦合噪声隔离，从而提高性能。对于数据速率为 6.5 Gbps 或者更低速率的设计，Stratix V FPGA 总共需要三个稳压器。对于数据速率在 6.5 Gbps 和 12.5 Gbps 之间的设计，Stratix V FPGA 总共需要五个稳压器。
- 除了线性稳压器，所有电源还支持开关稳压器，在所有电源上都可以采用低噪声开关稳压器对 Stratix V FPGA 供电，从而提高电源效率。
- OCT——Stratix V FPGA 同时提供片内 RS OCT 和 RT OCT，帮助设计人员降低成本，节省电路板空间，实现最佳信号完整性，进一步提高性能。
- 片和封装去耦合电容——Stratix V FPGA 具有嵌入式封装和管芯去耦合电容，提供高频去耦合功能。这些低电感电容抑制了电源噪声，实现了优异的信号完整性。而且，这些去耦合电容还减少了外部 PCB 去耦合电容的数量，节省了宝贵的电路板空间，降低了成本，大大简化了 PCB 设计。
- 参考时钟振荡器集成——在 Stratix V FPGA 中，fPLL 的精确频率合成功能用于替代参考时钟振荡器。对于需要多个参考时钟频率的应用，可以采用一个时钟振荡器和多个片内 fPLL 合成所需要的参考时钟频率，替代用于产生这些参考时钟频率板上时钟振荡器。
- 压控晶体振荡器 (VCXO) 集成——光传送网 (OTN) 复用转发器 (波长转换器) 应用通常需要昂贵的 VCXO，从汇集数据流嵌入的信息中合成各种客户侧频率。Stratix V FPGA 中的 fPLL 设计用于替代这些 VCXO，实现高性价比集成解决方案。

## 结论

Altera 在 28-nm Stratix V FPGA 上引入了关键创新技术，进一步提高了带宽，降低了功耗，从而满足了下一代应用需求：

- 28HP 工艺创新
- 可编程功耗技术
- 低电压 (0.85V) 体系结构
- 宽带高效收发器
- 嵌入式 HardCopy 模块和大量的硬核 IP
- 功能模块的硬关断
- I/O 创新实现了高效存储器接口
- Quartus II 软件功耗优化
- 逻辑和 RAM 时钟选通
- 所有供电电源上更少的电源稳压器和开关稳压器
- 电路板级集成：振荡器、去耦合电容、OCT
- 使用方便的部分重新配置功能

Altera 全面的解决方案帮助 Stratix V 用户获得了很多优势，包括，性能更好、功耗更低的 FPGA，通过大量的硬核 IP 增强集成度，使用方便的部分重新配置功能极大的提高了灵活性。Stratix V FPGA 是宽带和低功耗高端应用的理想器件。

## 详细信息

- Stratix V FPGA：为带宽而打造：  
[www.altera.com/stratix5](http://www.altera.com/stratix5)
- Stratix 系列 FPGA 低功耗特性：  
[www.altera.com/products/devices/stratix-fpgas/about/low-power-consumption/stx-power-about.html](http://www.altera.com/products/devices/stratix-fpgas/about/low-power-consumption/stx-power-about.html)
- PowerPlay 早期功耗估算器 (EPE) 和功耗分析器：  
[www.altera.com/support/devices/estimator/pow-powerplay.jsp](http://www.altera.com/support/devices/estimator/pow-powerplay.jsp)
- *Quartus II 手册*第 2 卷的功耗优化一章：  
[www.altera.com/literature/hb/qts/qts\\_qii52016.pdf](http://www.altera.com/literature/hb/qts/qts_qii52016.pdf)
- *Quartus II 手册*第 3 卷的 PowerPlay 功耗分析一章：  
[www.altera.com/literature/hb/qts/qts\\_qii53013.pdf](http://www.altera.com/literature/hb/qts/qts_qii53013.pdf)

## 致谢

- Frank Yazbeck，高端 FPGA 技术营销高级工程师，Altera 公司。

## 文档修订历史

表 11 列出了本文档的修订历史。

表 11. 文档修订历史

日期	版本	进行的修改
2010 年 11 月	1.0	初次发布。