

本文档讨论使用 Altera 28-nm Stratix® V 器件的管芯仪表功能 (ODI) 来验证和调试高速 I/O。依据摩尔定律, I/O 技术在速度和数据速率上每两到三年就会翻倍。随着 I/O 速度和数据速率的提高, 出现了新的验证和测试难题。本白皮书阐述验证高速链路所面临的难题, 以及 Altera 28-nm Stratix V ODI 技术是怎样克服这些难题的, 还将介绍 ODI 应用。

引言

单个芯片集成了越来越多的晶体管, 每一芯片现在可以实现更多的功能, 性能也越来越强。晶体管变得更小更快, 逻辑门的速度也越来越快, 开关速度不断提高, 而互联传送延时越来越小。随着芯片逻辑、存储器和计算功能的增强, 必须相应的提高 I/O 速率才能从整体上提高芯片效率。

大部分数据速率在 1 Gbps 以上的 I/O 采用了串化器 / 解串器 (SERDES) 体系结构。数据速率在 5 Gbps 以上的 I/O 需要均衡功能来补偿通道带来的频率相关损耗。通过使用发送端 (TX) 均衡器或者接收端 (RX) 均衡器, 或者同时使用两种器件来实现均衡功能。在背板应用中, 数据速率在 10 Gbps 以上的 I/O 同时需要 TX 和 RX 均衡功能来补偿通道带来的损耗。数据速率更高的 I/O, 例如, 28 Gbps, 需要更高级的体系结构和电路模块, 这对于验证和测试而言是很大的挑战。Altera 28-nm Stratix V FPGA 的 ODI 技术能够解决常用外部测量设备所面临的很多难题, 实现高性价比、高速、高性能链路通道设计。

高速链路验证面临的挑战

高速链路验证和测试所面临的主要挑战包括:

- 可测性——某些特性, 例如, 连续时间线性均衡器 (CTLE) 的增益频率响应、前向反馈均衡器 (FFE) 以及判决反馈均衡器 (DFE) 的抽头系数等, 均无法进行测试。这是因为, 这些电路模块驻留在器件中, 常用的外部仪表无法对其进行访问。
- 故障覆盖——数据速率大于 10 Gbps 时, 需要 FFE 和 CTLE 等线性均衡器, 以及 DFE 等自适应均衡器来补偿通道损耗。对于背板或者较长的通道应用, 这一需求非常重要。此外, 数据边沿参考脉冲宽度确定性抖动 (DJ) 和随机抖动 (RJ) 是抖动测试的新需求。这些需求条件意味着, 要实现较高的故障覆盖, 需要采用新的测试硬件或者方法, 以适应这些新的数据速率和抖动参数要求。
- 测试接口损伤——数据速率较高时, 测试接口会带来信号失真 (即, 符号间干扰 (ISI)), 这是由于频率相关损耗会抵消待测器件 (DUT) 的余量, 降低信号质量。测试仪表、测试接口和 DUT 之间的阻抗失配还会带来反射。ISI 和反射都会抵消 DUT 余量, 降低信号质量, 很难将其去除。

- 精确性——测试高速 I/O 的精确性要求非常严格。过去，只有砷化镓 (GaAs)、磷化铟 (InP) 和硅锗 (SiGe) 等高成本集成电路技术能够满足这些要求。然而，最近纳米尺度基于 CMOS 的 LC 振荡器技术有很大进展，时序精度达到了亚皮秒量级，使得基于 CMOS 的设计和制造技术成为高速测试的最佳可选技术。
- 成本——高速、高性能以及高精度仪表非常昂贵。另一方面，CMOS 工艺成本较低，因此，纳米尺度的 CMOS 工艺是性价比比单机和嵌入式仪表较好的选择。

Stratix V 28-Gbps ODI 技术

Altera 的 Stratix V FPGA ODI 技术能够克服高速 I/O 测试面临的很多难题。高速 I/O 测试涉及到三个主要领域：

- TX 信号质量测试——包括，眼图、抖动和噪声测试等。
- RX 测试——包括，压力眼图、抖动容限和灵敏度测试等。
- 链路级测试——包括，误码率 (BER)、链路抖动和噪声余量测试等。

可以使用通用 ODI 体系结构或者增加电路模块来管理高速 I/O 测试，例如，28-nm/28-Gbps 片内信号质量监控电路 (EyeQ)，或者 28-nm/28-Gbps 码型和抖动发生器等。Altera Quartus® II 软件的收发器工具包能够提供全面的、基于 GUI 的收发器信号完整性工具。

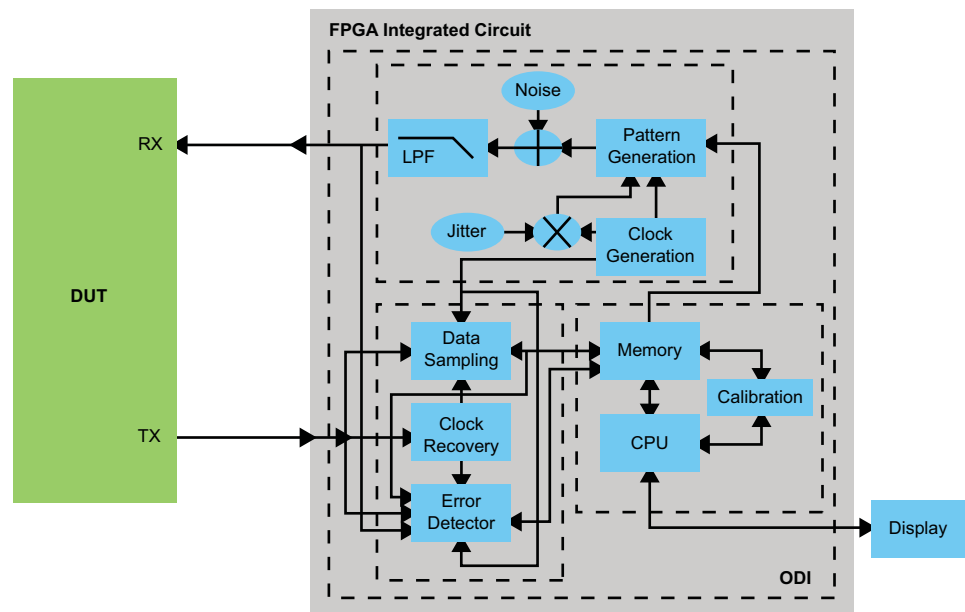
通用 ODI 体系结构

具备所需功能的收发器 TX 能够测试 RX，反之亦然。FPGA 收发器提供更多的功能和电路模块，而且进一步提高了精度，可以用作通用、高性能、高速综合 I/O 测试仪。

图 1 所示的通用 ODI 体系结构含有两个模块。在测量模块中，来自 DUT 的信号被分成三部分：一部分送入数据采样器，提供示波器功能，一部分送入误码探测器，还有一部分送入时钟恢复单元 (CRU)。CRU 提供时钟时序信号，因此，避免了采用常用示波器或者误码率测试 (BERT) 仪表所需要的外部时钟或者触发器。嵌入式存储器存储测得的数据和误码采样，由嵌入式 CPU 对其进行访问。使用了存储器和 CPU 硬件资源的算法完成校准功能。

在发生器模块中，嵌入式时钟发生器提供码型发生时序。该模块还含有相位和振幅调制器，用于在数据码型上产生抖动和噪声。抖动和噪声调制数据码型模拟有损通道以及相关的 ISI 发生功能。最后，内部 ODI 环路为外部 DUT 通道环路校准提供基线校准功能。

图 1. 基于 FPGA 的通用 ODI



28-nm/28-Gbps EyeQ 特性

测量体系结构利用了现有的收发器电路模块。一些其他的电路模块提供完整的测试功能。图 2 显示了 28-nm/28-Gbps ODI 测量结构图。这一体系结构同时提供了 2 维 (2D) 显示和高达 28 Gbps 的 BER 测量功能。

测量电路模块与标称时钟和数据恢复电路模块并联。所有模块相互关联，以完成测量总目标。对到达信号进行复制，送入测量采样器 B。可编程参考电压电平和采样时间也被送入采样器 B。相位间插器 (PI) 处理恢复后的时钟，以可控方式对其相位进行延时，产生测量采样时间。通过扫描采样器 B 的参考时序和电压电平来测量 2D 眼图。时钟和数据恢复电路产生具有最优时钟时序和参考电压的标称数据（例如，在数据眼图的中心点）。直接对比数据采样和测得的采样可以实现误码检查，提供全速率或者串行 BER 测量功能，它与采样时间和参考电压相关。有时也将其称为“无矢量” BER 测量，因为这不需知道以前的数据码型。因此，它适用于实时数据流 BER 测量和监视。

或者，测得的采样也可以送入复用器，然后是解串器，与 FPGA 内核中预期的数据比特进行对比，以实现并行 BER 测量。这样，这一体系结构能够同时测量误码率和符号误码。收集各种采样时间和电压电平下足够的测量采样，同时产生眼图和 BER 曲线。

图 2. 具有 2D 显示和 BERT 功能的 EyeQ 体系结构

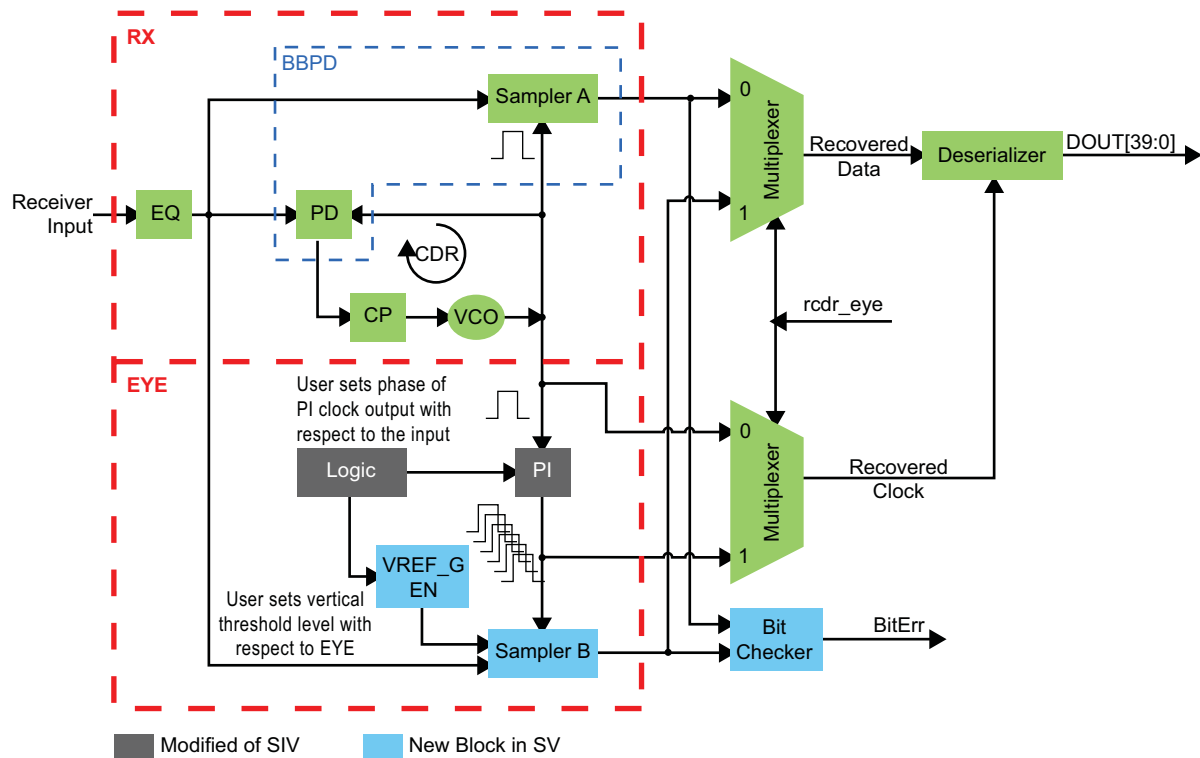
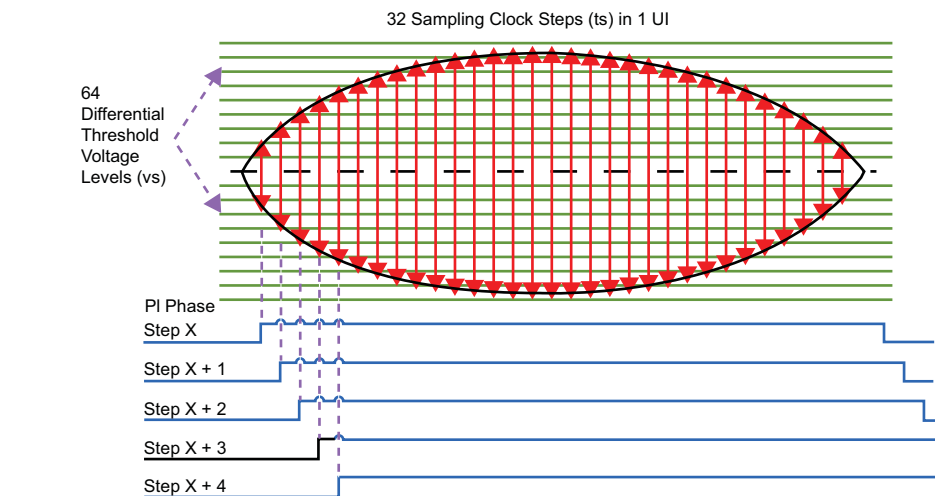


图 3 详细介绍了 EyeQ 功能的时间和电压分辨率。这一实例的每一单位间隔 (UI) 采用了 64 个差分阈值电压电平和 32 个采样时钟级，为 2D 眼图和 BER 曲线测量提供 2,048 像素。由于这是参考至恢复时钟测量，因此，其相位与数据相位对齐，使得 PI 成为确定时序精度的关键模块。数字辅助校准功能有助于提高时序精度。

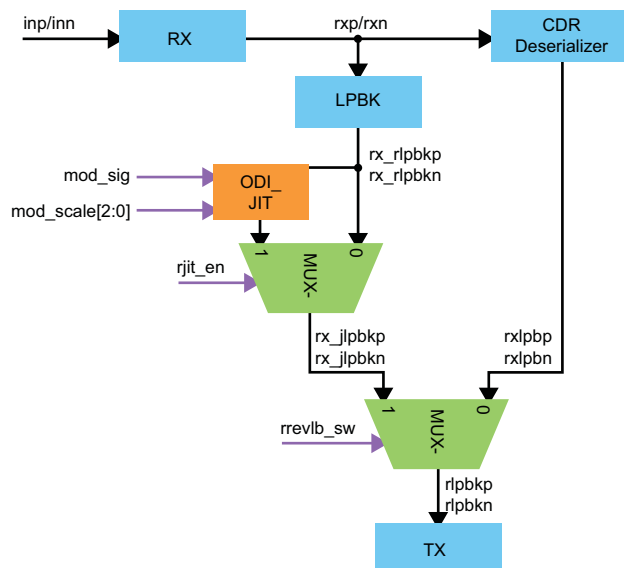
图 3. 2D 眼图测量



28-nm/28-Gbps 码型和抖动发生结构

码型和抖动发生体系结构还利用了现有的收发器电路模块，并保持其精度不变。这种实现方法的目的是在各种应用中能够覆盖较宽范围的抖动调制频率。双频带抖动发生体系结构可同时实现低频和高频抖动发生功能。图 4 所示为低频发生体系结构。

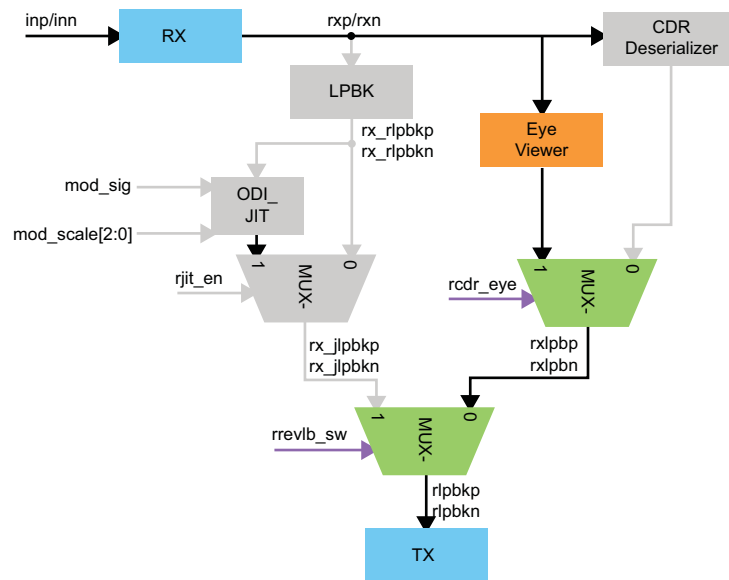
图 4. 低频抖动发生结构



非常重要的一点是避免在收发器的 TX 和 RX 关键通路上加入任何负载。调制器最好能够放在回环通路上。在这种情况下，数据码型是 RX 接收到的数据，可以来自 FPGA 收发器的另一 TX，也可以来自外部信号源，例如，仪表码型发生器，或者链路系统中的其他器件。低频调制使用了数字延时链来提供低频和高频调制量。由于调制器是基于数字的，因此，它非常灵活，占用较小的硅片面积，而且还有低功耗优势。

低频调制器是四端口模块。数据码型或者载波信号来自接收器。调制信号是另一输入信号，同时还有调制信号调整控制输入。调制频率一般低于 10 MHz，而最大调制电压摆幅在 100 - 200 mV 之间。10 Gbps 的最大抖动调制幅度会高于 5 UI（例如，500 ps）。图 5 所示为高频抖动和码型发生器体系结构。

图 5. 高频抖动发生结构



在这一体系结构中，PI 和采样器产生调制信号。PI 可提供幅度高达 1 UI 的高频调制信号。在这一体系结构中，测量电路控制逻辑提供所需要的调制抖动源。PI 也是数字电路，与低频抖动和码型发生器体系结构一样具有面积和功耗优势。

高频抖动和码型发生器体系结构的最大调制频率高达 10 MHz，最大调制抖动幅度达到 1 UI。PI 级在内部控制产生调制信号。

ODI 的软件

收发器工具包中的 ODI 功能是 Quartus II 软件的一部分。用户利用 ODI 功能可以迅速测试、验证、调试设计，并改进设计及其实现的功能和性能。收发器工具包可以帮助您发现并解决与信号完整性、抖动和噪声相关的问题，或者减小这些问题的影响。这也适用于和收发器链路相关的眼图和 BER 问题。

可以在建立模式和任务模式期间来确定时序和电压余量以及灵敏度，支持自适应和高性能链路工作。

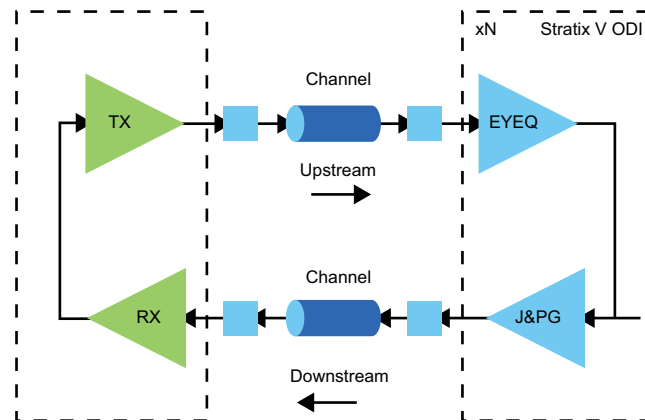
Stratix V FPGA ODI 应用

Altera 的 Stratix V 嵌入式 ODI 支持多种应用。任何使用 Stratix V FPGA 的应用都可以采用 ODI，实现高速测试和测量目的，而 ODI 在高速 I/O 链路验证和诊断、实时链路数据质量监视以及测试和测量 OEM 上扮演了非常重要的角色。

高速 I/O 链路验证和诊断

高速链路开始时可能没有达到预期要求，这种情况是比较常见的。Stratix V ODI 能够帮助您找到 TX 和 RX 的问题所在，以及同时来自链路通道的问题。图 6 提供了两个与链路相关的例子。Stratix V ODI 位于一侧，TX 和 RX 端口位于另一侧。

图 6. Stratix V ODI 在链路验证和调试中的应用



对于上游链路，EyeQ 完成 TX 通道的验证、测试、抖动和噪声余量确定功能。对于下游链路，抖动和码型发生器完成 RX 通道的验证、压力和容限测试、抖动和噪声余量以及灵敏度确定功能。如果 TX 和另一端的 RX 之间存在回环通路，那么，Stratix V FPGA 内置的 EyeQ 和抖动以及码型发生功能能够在标称和压力条件下同时测试 TX 和 RX。此外，嵌入式 ODI 不需要探针，因此，避免了由置入探针带来的信号失真问题。ODI 体系结构可以调整通道，实现多通路链路的并行测试、验证和调试，实现更好的测试吞吐量，提高测试效率。

实时链路数据质量监视

实时链路数据质量与环境因素有关，例如，温度、湿度和气压等。网络系统操作人员习惯于采用非置入式和低成本方法来监视链路数据质量，采取合适的措施来防止数据丢失。Stratix V FPGA ODI 的无矢量 BER 测量特性适用于实现实时链路数据质量监视功能，因为它不需要提前知道数据流以及时钟和码型触发器信号的信息。这一方法还满足了这类数据质量监视的非置入式和低成本要求。

测试和测量 OEM

FPGA 广泛应用于实验室测试和测量仪表，以及大批量制造 (HVM) 和芯片系统 (SoC) 特性测试自动测试设备 (ATE) 中，是非常重要的组件。Stratix V FPGA 具有 EyeQ 和 J&PG 高速测试功能，广泛应用于高速 I/O、模拟、混合信号、存储器以及数字测试和测量 OEM 等领域。

结论

高速 I/O 所面临的验证和测试难题包括可测性、故障覆盖、测试接口损伤、精确性、吞吐量和成本等。Stratix V ODI 技术为解决这些难题提供了方案，特别是 10 Gbps 数据速率，以及高达 28 Gbps 的数据速率。

28-nm/28 Gbps Stratix V FPGA ODI 的应用包括高速链路系统验证、测试和调试；实时网络数据流质量监视，以及测试和测量 OEM 等。Stratix V FPGA ODI 具有较高的故障覆盖率、吞吐量以及并行和低成本优势，因此，是高速 I/O 链路测试的理想选择。

详细信息

- 28nm Stratix V FPGA 和收发器的信息：
<http://www.altera.com/stratix-v/stxv-index.jsp>

致谢

- Weichi Ding, 设计经理, 模拟设计组, Altera 公司。
- Mike Peng Li, 博士, 首席设计师 / 杰出工程师, 产品工程, Altera 公司。
- Salman Jiva, 产品营销经理, Altera 公司。
- Sergey Shumareyev, 工程主管, 模拟设计组, Altera 公司。

文档修订历史

表 1 列出了本文档的修订历史。

表 1. 文档修订历史

日期	版本	进行的修改
2011 年 2 月	1.0	初次发布。