

本白皮书介绍导致系统级时序不确定因素的信号完整性(SI)机制，以及怎样在 Quartus® II TimeQuest 时序分析器中对这些机制进行建模，从而使外部存储器接口设计达到时序收敛。

通过使用 Quartus II 开发软件 9.1 以及更高版本的软件，在外部存储器接口上达到时序收敛，设计人员按照良好的电路板设计习惯，在实现典型外部存储器用户接口时，不需要针对 Stratix® IV 和 Arria® II FPGA 等 Altera®倒装焊器件系列同时开关输出(SSO)、同时开关输入(SSI)、符号间干扰(ISI)和电路板级交叉串扰来分配单独的 SI 时序余量。

引言

FPGA、微处理器和存储器之间越来越大的性能差异，越来越多的应用需要大量的存储器，这些因素都推动了对快速存储器技术的需求。带宽需求增长的同时，FPGA 和存储器的信号数量和信号速率也在不断增长。为进一步提高带宽，器件生产商不断降低供电电压。

开始时，业界标准 DIMM 工作电压是 5 V。但是，随着 DRAM 存储密度的增加，工作电压降到 3.3 V (SDR)，然后是 2.5 V (DDR)、1.8 V (DDR2)、1.5 V (DDR3)和 1.35 V (DDR3)，因此，存储器运行速度更快，功耗更低。目前正在规划 DDR4 芯片，预计其运行电压在 1.2 V 到 1.0 V 之间。由于工作电压的降低以及时序预算的减小，如果设计人员对系统设计没有足够的重视，那么，很有可能会出现错误，例如，过孔引出层、电路板走线间距、引脚分配和电源分配网络设计都会对接收端的时序不确定因素产生直接影响。

图 1 在对比各种 SDRAM 技术时，揭示了峰值带宽越来越大的业界发展趋势。



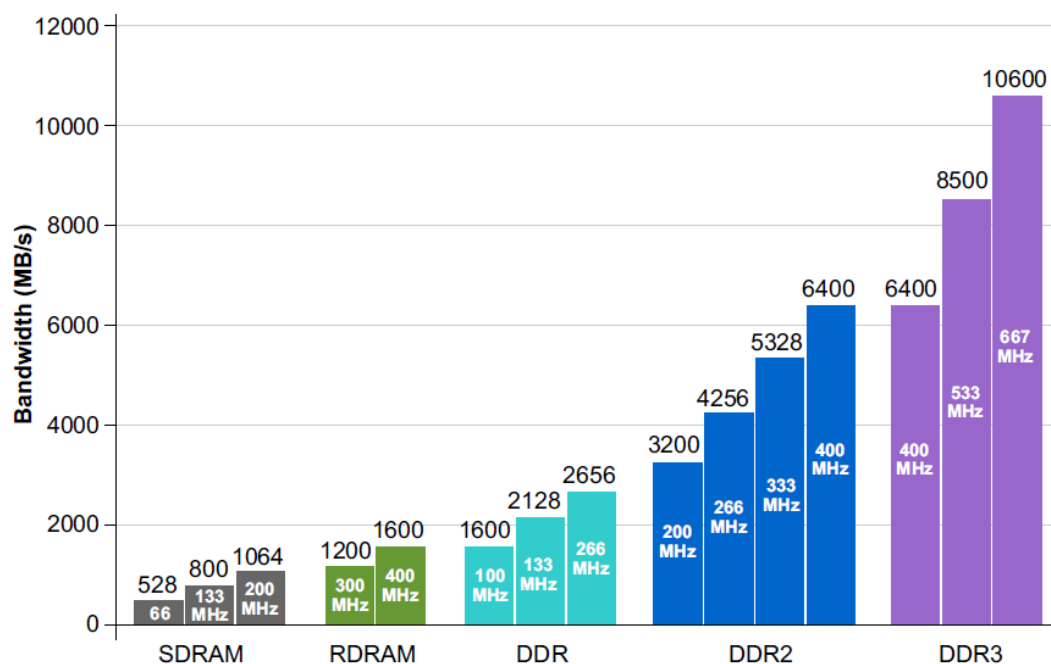
101 Innovation Drive
San Jose, CA 95134
www.altera.com

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



图 1.各种存储器技术的峰值带宽对比

Figure 1. Peak Bandwidth Comparison of Various Memory Technologies



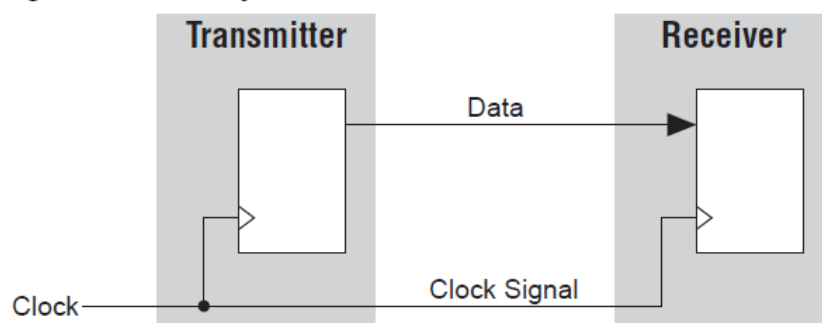
源同步时序

在源同步接口中，时钟源是与数据源相同的器件。DDR、DDR2、DDR3、RLDRAM II 和 QDR II 等主流存储器接口都是源同步的。在 DDR、DDR2 和 DDR3 中，双向时钟或者数据选通信号 (DQS/DQS#) 用于读操作和写操作，而在 RLDRAM II 和 QDR II 中，分别采用了 DQ/DQ#/QK/QK# 和 K/K#/CQ/CQ# 等单向时钟。

图 2 所示为基本源同步接口的结构图。

图 2.源同步接口

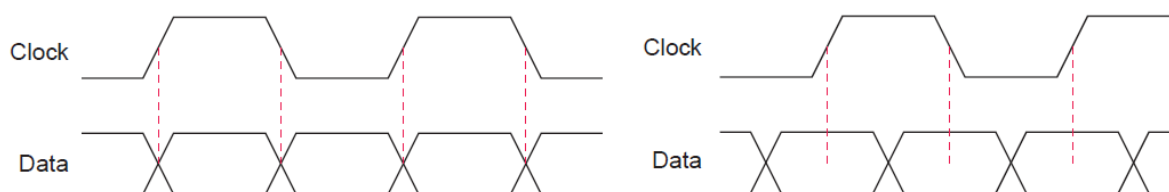
Figure 2. Source Synchronous Interface



在 DDR 应用中，读操作期间，数据选通信号是边沿对齐的(数据从存储器传送至 FPGA)，读操作期间，是中心对齐(数据从 FPGA 传送至存储器)。当选通信号与数据边沿对齐时，接收器件需要对选通信号进行移位，以采集数据。然而，在中心对齐的例子中，接收器件直接使用移位时钟来采集数据。

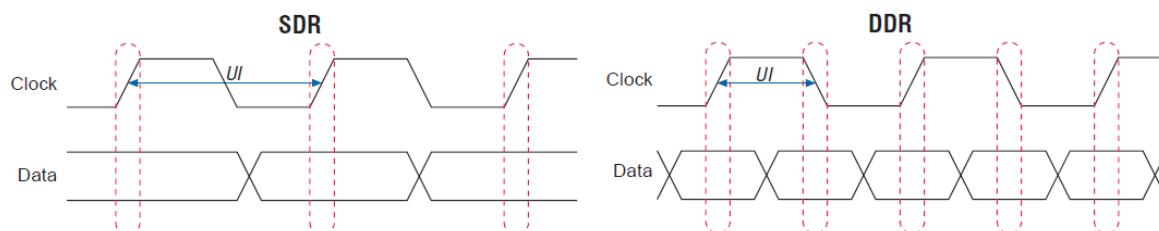
图 3 显示了边沿对齐和中心对齐数据传送。

图 3.边沿对齐和中心对齐数据传送



在源同步 SDR 接口中，在时钟的一个边沿，通常是上升沿进行数据传送。传送一个比特所需要的时间被称为单位间隔(UI)，它等于时钟周期。在源同步 DDR 接口中，在时钟的两个边沿来传送数据，如图 4 所示。UI 等于半个时钟周期，假设占空比是 50/50。

图 4.SDR 和 DDR UI 定义



公式 1 定义了芯片至芯片数据传送时序余量：

公式 1。

$$\langle \text{余量} \rangle = \langle \text{比特周期(UI)} \rangle - \langle \text{发射端不确定因素} \rangle - \langle \text{接收端要求} \rangle - \langle \text{tEXT} \rangle$$

其中：

- (1) 发射端不确定因素包括数据信号最快和最慢输出边沿之间的时序差、 t_{CO} 变化、时钟偏移和抖动等。发射端通道至通道偏移(TCCS)产生了发射端不确定因素。
- (2) 接收端需求包括数据必须有效，以便正确采集它的时间周期。接收端采样窗口(SW)产生了所有接收端要求。
- (3) t_{EXT} 设定数据和时钟走线之间的电路板级偏移。这是任何两条信号走线之间允许的最大电路板走线变化。

SI 机制和时序不确定因素

对于某一设计,输出和输入(SSO 和 SSI)上的同时开关噪声(SSN)造成的推出和引入量取决于 PCB 布板期间所进行的选择。SI 时序不确定因素的关键参数包括:

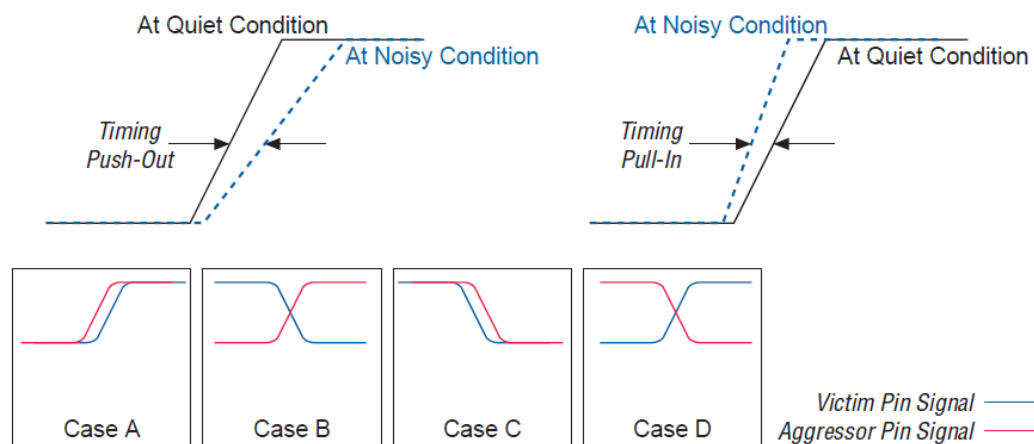
- PCB 过孔长度
- PCB 电源分配网络(PDN)设计
- I/O 缓冲驱动能力和摆率
- 电路板走线交叉串扰
- ISI
- 电压参考(VREF)/匹配电压(VTT)变化
- 接收端 I/O 匹配

定义以下术语有利于对系统中的 SSN 进行描述:

- 被干扰引脚是您关注的引脚。
- 干扰源引脚不同于您关注的被干扰引脚,干扰源引脚在信号切换时导致噪声注入被干扰引脚。
- SSN 是由于器件其他干扰源 I/O 引脚的开关行为在被干扰 I/O 引脚上引起的噪声电压。SSN 在被干扰信号上产生了电压和时序噪声。

图 5 显示了 SSO 噪声导致的两类时序变化。当被干扰信号的开关方向与干扰源信号(A 例和 C 例)相同时,导致时序推出。当被干扰信号的开关方向与干扰源信号(B 例和 D 例)相反时,导致时序引入。

图 5.由于 SSO 和 SSI 造成的时序推出和引入



由于两种物理机制产生了 SSN:

- 感应互耦合
- PDN 中的 Delta-I 噪声

感应耦合通常是 SSN 的主要机制，由公式 2 确定。

公式 2。

$$V = M \times di/dt$$

其中：

- (1) M 是感应互耦合
- (2) di/dt 是电流对时间的微分。

当电流从一个导体(干扰源)产生的磁场耦合到另一导体(被干扰方)，在其上产生电压时，出现感应耦合。随着开关输出数量的增加，这一效应会越来越明显：

$$V1 = M12 \times di2 / dt + M13 \times di3 / dt + \dots$$

因此，同时开关缓冲的数量越多，由互感造成的 SSN 就会越大。

关于 SSN 耦合的详细信息，请参考“FPGA 设计的信号和电源完整性”会议论文。

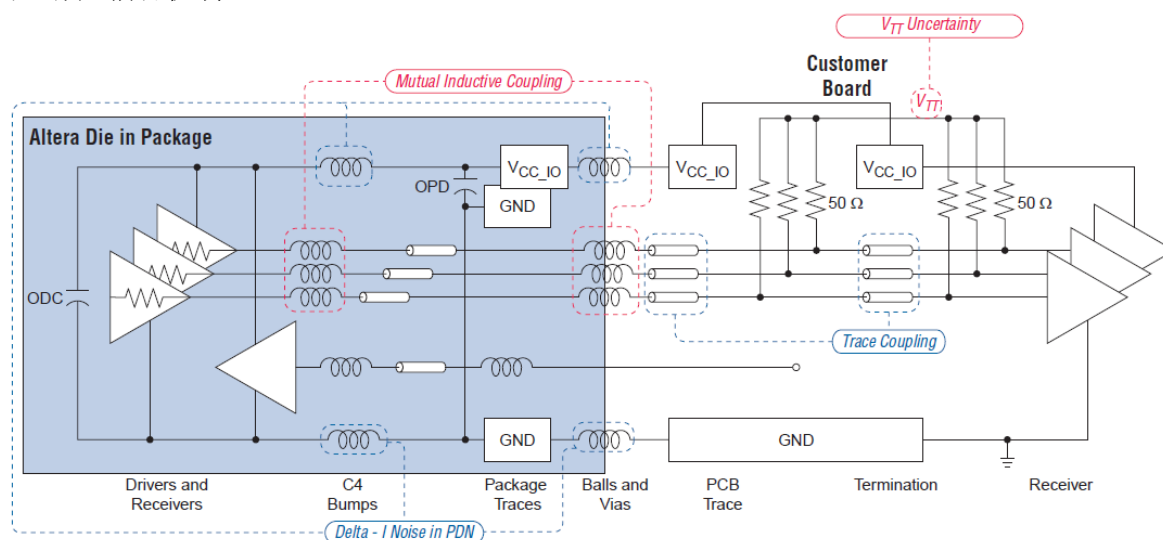
大部分感应交叉串扰出现在垂直结构上，而不是水平传输线结构上。垂直耦合结构的例子包括 C4 焊脚、封装过孔、焊球(封装引脚)、PCB 过孔以及 DIMM 连接器中的引脚。感应耦合的大小与干扰源和被干扰信号的并行长度成正比。所有垂直结构都会引起一些感应耦合。但是，大部分耦合出现在 FPGA 封装和 PCB 破孔区的 PCB 之间，干扰源和被干扰信号在这期间的并行通路是最长的。

感应耦合的另一主要来源是 DIMM 或者分立存储器下面的过孔区。噪声在干扰源的上升和下降期间从干扰源感应耦合到被干扰导体上，而在其他时间不会耦合过去。

互感值 M 影响了不同过孔的耦合量，它是每个过孔自感应(长度) L 、过孔之间耦合系数 k 的函数。其中，耦合是过孔之间距离的函数，因此，彼此靠近的过孔之间会有较大的互感。设计人员在布板期间需要注意过孔引出，以减小耦合量。

图 6 显示了存储器系统拓扑上各种耦合机制的关键组件。

图 6. 噪声耦合机制



当多个输出驱动同时开关，芯片和封装 PDN 的感应电压变化时，会在 PDN 中产生 Delta-I 噪声。噪声表现为电源线上的电压降，以及本地 GND 相对于系统 GND 的电压尖峰。电压的变化与 PDN 上的回路电感量以及每个开关输出的吸收电流大小有关，由公式 3 决定。

Equation 3.

$$V = L \times di/dt$$

PDN 中的回路电感包括片内 PDN 的电感，封装平面、过孔和焊球引起的电感，PCB 引出区的 PWR 和 GND 过孔引起的电感以及 PCB 平面的回路电感。PDN 中的电感越大，电压的变化就越大。而且，同时开关的输出数量越多，di/dt 的值就越大，因此，PDN 噪声值越大。

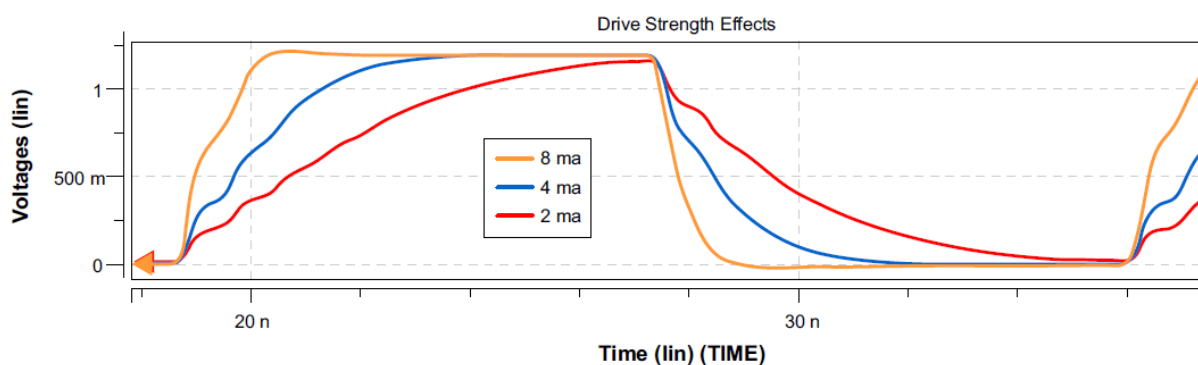
与信号过孔相似，PWR 和 GND 过孔长度越长，PCB 回路电感对 PDN 总电感的贡献就越大。此外，与感应耦合相似，delta-I 噪声只出现在信号转换过程中，只有此时电流是随时间变化的函数。Delta-I 噪声不会出现在驱动电流是常数的时间帧上，这是因为不存在产生噪声的 di/dt。

开关 I/O 的 di/dt 取决于 I/O 缓冲的驱动能力以及缓冲使能的摆率设置。对于所支持的每一 I/O 标准，Stratix IV 和 Arria II FPGA 提供各种驱动能力。某一驱动器的 I/O 缓冲驱动能力衡量了驱动器能够为负载提供多大的电流。它也决定了在不影响传输信号完整性的前提下，某一速率时能够驱动的最大负载。换言之，驱动能力较强的驱动器能够驱动较大的负载和较长的传输线。

如果只因为能够驱动较大的负载和较长的传输线而选择驱动能力最强的驱动器，那么这并不是最好的方法。驱动能力较强的驱动器输出大电流，而大电流会由 SSN 导致较大的交叉串扰、时序推出和引入，而且会增大功耗。驱动能力较强的驱动器会有较大的噪声余量，但也会产生较大的噪声，对时序造成影响。选择合适的驱动器会直接影响信号质量，因此，选择驱动能力较小、而且能够驱动 FPGA 输出负载的驱动器非常重要。

图 7 显示了使用晶体管至晶体管逻辑(TTL)标准时输出信号上的驱动能力效应，这一标准采用了从走线到走线触发。由于采用了上拉电阻，SSTL 和 HSTL I/O 标准应用起来并不相同。

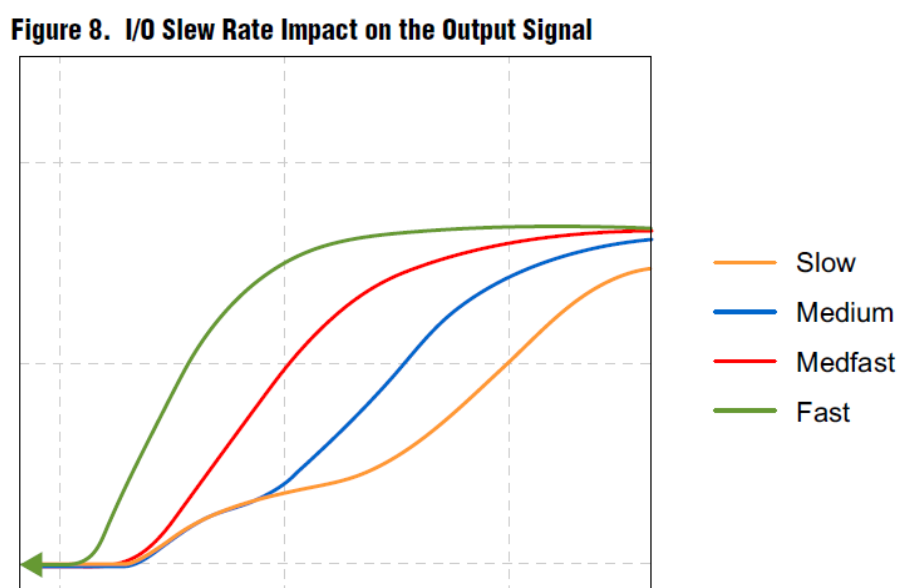
图 7.I/O 驱动能力对输出信号的影响



I/O 缓冲摆率决定了输出信号的最大变化率。换言之，它确定了输出信号上升速率和下降速率。Stratix IV 和 Arria II FPGA 有不同的摆率设置，支持设计人员修改上升持续时间和下降持续时间。驱动能力设定了驱动器能够输出和吸收多少电流；摆率设定了缓冲能够以多快的速率来吸收和输出电流。这两个设置一起决定了输出信号的上升时间和下降时间。工艺技术设置了上升时间和下降时间。

图 8 显示了输出信号在四种不同设置时的上升沿。设计人员可以综合考虑时序噪声，选择最适合设计的一种设置。

图 8.I/O 摆率对输出信号的影响



走线至走线耦合会导致电路板级交叉串扰，在被干扰信号上产生时序引入或者推出。交叉串扰导致走线的有效特征阻抗和传播速率发生变化。而且，它还能够对被干扰走线上引起噪声电压。被干扰走线上的交叉串扰大小取决于触发干扰源的数量、干扰源数据码型、被干扰走线和干扰源走线之间的空气间隙，以及干扰源信号的触发速率。

扇出连接至 PCB 过孔引出区下面的走线层时，电路板实际限制会引起走线至走线耦合。除了引出之外，还应增加走线之间的空气间隙，以减小耦合。比较好的标准是在走线之间采用 $3H$ 空气间隙，其中， H 是走线和最近 GND 平面之间的电介质高度。减小 H 可以使走线能够与 GND 参考平面紧耦合，而与邻近信号的耦合较小。在布板期间，以较短的并行走线布线，减小网络之间的长耦合走线。

PCB 上的走线是带宽受限的，类似于低通滤波器。低通滤波会影响传输信号，当传输数据比特序列 (ISI) 时，一个比特周期信号 (UI) 会传播到邻近比特周期上。

ISI 与码型有关，导致时序不确定性，这被称为码型相关抖动或者数据相关抖动。导体的趋肤效应和电介质损耗导致了 ISI。匹配不好的负载产生反射，也会导致 ISI。随着频率的提高，电介质损耗成为高频衰减的主要因素，这是因为其影响与频率成正比，趋肤效应与频率的平方根成正比。

所有 PCB 叠层材料都有一定的介电常数和损耗因数。对于损耗因数较大的材料，信号会随着频率的变化而劣化。FR-4 等低成本材料的损耗因数较大，导致信号在高频时出现较大的衰减。为减小 ISI，根据应用需求，使用损耗因数较小的电介质材料来设计 PCB。低损耗因数的电介质材料成本要高于大损耗因数的材料。

VREF 或者 VTT 电源线上的噪声、VTT 相对于 VREF 的失调、VREF 或者 VTT 随电压和温度的漂移，以及外部元件失配也会导致时序不确定性。Stratix IV 和 Arria II FPGA 提供校准电路，校准电压(V)和温度(T)随时间的变化，以确保选通信号保持在数据有效窗口的中心位置。

关于宽带源同步接口各种校准方法的详细信息，请参考“宽带源同步接口校准方法”会议论文。对接收端 I/O 匹配终端的选择也会导致系统不确定性，这是因为不良的接收端匹配会使得信号在传输线上来回反射，致使信号在接收端的边沿速率劣化。根据 PCB 走线的特征阻抗来选择最佳管芯匹配(ODT)值。

Quartus II 9.1 时序模型假设

Quartus II 软件在分析外部存储器接口时序时，从很多 SI 机制上来考虑时序不确定因素。在 Quartus II 软件 9.1 以及更高版本中，对于封装使用了倒装焊技术的 Stratix IV 和 Arria II FPGA 设计，其时序模型应用了这一特性。

对于这些系列器件，时序模型根据影响时序推出和引入的机制，分配由 SSO 和 SSI 引起的时序不确定参数。时序模型对 PCB 过孔长度、PDN 设计、I/O 缓冲驱动能力和摆率、电路板走线交叉串扰、ISI、VREF/VTT 变化以及接收端 I/O 匹配进行一定的假设，以反映典型的存储器接口应用，从而便于进行分析。时序不确定值基于对假设参数的仿真和系统级特性。

对于典型的主流存储器接口，数据信号选通与数据位长度有关，一般是 8 位，也可以在 4 位到 36 位之间变化。当 FPGA 写入存储器时，时序不确定因素包括大量内部 FPGA 电路的贡献，例如：

- DQ 和 DQS 输出引脚位置
- DQ 组宽度
- PLL 时钟不确定因素，包括用于中心对齐 DQS 和 DQ 引脚的不同输出抽头之间的相位抖动。
- DQ 输出引脚上的时钟偏移，以及 DQ 和 DQS 输出引脚之间的时钟偏移。
- DQ 和 DQS 输出引脚上的封装偏移
- 由于多个 DQ 和 DQ 引脚同时开关(SSO)造成输出引脚上的推出和引入

结论

Quartus II 软件考虑了读写通路上由于各种 SI 效应引起的时序不确定因素，例如，SSO、SSI、ISI 和交叉串扰等，而 Quartus II 软件考虑的不确定性因素基于按照良好的电路板设计习惯实现的典型外部存储器用户接口。设计具有较深信号过孔、很深的电源和 GND 过孔和较小的走线至走线间距的 PCB，电路板设计使用大损耗因数电介质材料时，任何变化都会导致出现较大的不确定因素。

当 PCB 设计明显偏离 Quartus II 时序模型假设的最佳实践和典型应用时, Altera 建议设计人员在仿真中使用合适的封装、PCB 和 I/O 模型进行深入分析。在大多数情况下, Quartus II 时序模型在外部存储器接口时序收敛上使用的假设和方法能够正确的评估接口性能。

详细信息

- Altera 的信号完整性中心
www.altera.com/technology/signal/sgl-index.html
- FPGA 设计的信号和电源完整性, DesignCon 2007:
www.altera.com/literature/cp/cp-01023.pdf
- 宽带源同步接口的校准方法, DesignCon 2007:
www.altera.com/literature/cp/cp-01024.pdf

致谢

- Ravindra Gali, 高速 I/O 应用工程, Altera 公司。
- Zhi Wong, 高速 I/O 应用工程经理, Altera 公司。
- Navid Azizi, 软件工程, Altera 公司。
- John Oh, 高速 I/O 应用工程经理, Altera 公司。
- Arun VR, 存储器 I/O 应用工程, Altera 公司。

文档修订历史

表 1 列出了本应用笔记的修订历史。

表 1. 文档修订历史

Table 1. Document Revision History

Date	Version	Changes
January 2011	1.0	Initial release.