

本文档介绍 Altera 的各种 28-nm FPGA 系列器件在多种应用中的功耗和成本优势。这些系列器件包括 Stratix® V、Cyclone® V、Arria® V 和 HardCopy® V 器件。

## 引言

Altera 的 28-nm 器件提供系列产品，能够支持多种应用，从低成本和低功耗应用直至高端应用。这一全系列产品不仅提供简单的容量和密度选项，而且还为开发人员提供在价格、性能、功能和功耗上最能满足其设计要求的器件。FPGA 是很多开发团队所采用的技术，Altera 不断发展 FPGA 技术以降低成本和功耗，同时提高性能。Altera 的通用 FPGA 可替代 ASIC 和 ASSP 作为系统设计的主要元件，是系统 CPU 的多功能辅助器件。

目前的系统应用设计人员面临的需求是进一步提高集成度和性能，同时降低功耗和成本。按照一步步的发展要求来简单的设计 FPGA 可以满足中端应用需求，但是难以达到高端的性能要求，也可能无法满足低端的成本要求。为满足多种应用各类需求，FPGA 必须有跨越式发展。为尽可能满足多种应用需求，Altera 的 28-nm 系列产品在以下领域实现了创新发展：

- 工艺技术
- 收发器设计
- 产品体系结构
- 系统 IP

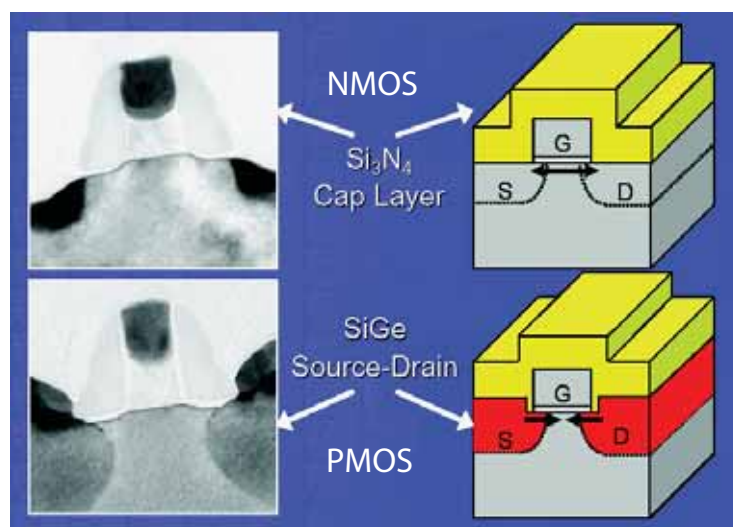
## 跨越式发展

Altera 在 28-nm 工艺节点开发了多种系列产品，实现了跨越式发展。28-nm 工艺切实提高了 Altera 的 FPGA 性能。

更大的电路密度降低了每一功能的成本，而更小的晶体管则降低了功耗。但是与竞争对手的“通用型”工艺技术不同，Altera 提供两种不同的 28-nm 工艺选择。Altera 的 28-nm 高性能 (HP) 工艺针对性能进行了优化，而低功耗 (LP) 工艺降低了某些功能或者应用的功耗。

Altera 的 28-nm HP 工艺适用于需要高速逻辑的设计。高 K 金属门实现的逻辑模块和 DSP 功能要比其他工艺快出近 35%。高性能晶体管使用应变硅结构，如图 1 所示，沟道覆盖层在硅片晶格中产生机械应变。这种体系结构特性提高了载流子的移动能力，从而提高了开关速度，而不会增加泄漏电流。这就实现了总功耗只有 200-mW 的 28-Gbps 收发器，以尽可能低的功耗实现了最大性能。

图 1. 晶体管覆盖层减小了漏电流和功耗




相反，LP 工艺主要面向需要最小器件功耗的应用。LP 工艺使用较长的逻辑门沟道，并采用其他技术降低了泄漏，减小了动态电流。与 HP 工艺相比，LP 工艺还使用更常用的金属工艺，进一步降低了成本和功耗。结果，LP 工艺比前一工艺节点的功耗降低了 50%。

## 可定制晶体管提供多种性能选择

Altera 的通用方法还提供性能选择，以定制实现串行收发器。如果 I/O 扩展等应用只需要 5-Gbps 收发器，那么，不需要 28 Gbps 大规模晶体管那样的功耗和成本。相反，设计所需要的晶体管能够以最低的功耗和成本满足性能需求即可。

Altera 的 28-nm 系列产品引入了模块化收发器，支持设计人员满足实际应用的器件性能需求。这种收发器设计使用了相同的基本体系结构来产生从 3-、6-、10-、14.1- 直至 28-Gbps 工作的多种速率。而且，收发器还支持从几种速率设置中进行动态选择，以低速率实现低功耗。这种选择功能为降低系统平均功耗提供了一种方法，在空闲时，收发器工作在最小速率，只在传送时序关键数据时切换到高速工作。

这些收发器支持多种协议，包括，3G SDI、1-、10- 和 100-Gigabit 以太网、光纤通道、Infiniband®、Interlaken®、PCI Express®、SATA、Serial RapidIO®和 SONET。


 关于 Altera 28-nm 收发器技术的详细信息，请参考白皮书 [扩展 28nm 收发器领先优势](#)。

## 通用体系结构降低了成本和功耗

Altera 在多方面增强了 28-nm 器件的体系结构，以提高通用性，降低功耗。这些增强措施包括支持智能功耗选择、动态重新配置、精度可调 DSP，以及各种存储器协议和 I/O 标准。


## 对功耗进行控制

智能功耗特性通过控制特定模块中 FPGA 的工作，以降低器件平均功耗。为彻底消除不工作逻辑模块的功耗，设计人员可以使用多个电源平面，以“关断”不需要的每一逻辑模块。如果电路在即使空闲时也要保持供电状态，那么，可以通过面向模块的时钟选通功能来降低动态功耗。当某些模块的功能不需要高性能或者可以挂起时，功耗控制器使用选通功能来降低或者停止这些模块的时钟。

 如果需要了解详细信息，请参考[通过 28-nm FPGA 降低功耗，提高带宽](#)。

## 通过动态和部分重新配置减少停机时间


Altera 28-nm FPGA 的部分和动态重新配置功能提高了通用性，同时降低了成本。以前的 FPGA 在运行前必须进行全面配置，与之不同，Altera 的 28-nm 器件支持对部分 FPGA 模块的在电路重新配置，而其他模块继续正常工作。这类重新配置功能支持针对系统需求来改变 FPGA 功能，而不需要停止系统工作。设计人员不需要大规模 FPGA 来存储所有功能，然后在它们之间进行切换，只需要采用更小的 FPGA 并装入功能即可。

 如果需要了解详细信息，请参考[采用 28-nm FPGA 的部分和动态重新配置特性增强设计功能](#)。

## 采用精度可调 DSP

Altera 创新的 DSP 设计支持设计人员单独配置器件中每一 DSP 模块的精度，从 9x9 到 27x27 位，以实现更大封装或者精度要求。例如，简单视频处理只需要 9 位精度，而一些高端颜色系统则需要 24 位。对于 9 位视频应用，一个模块可以分成三个 9 位乘法器，将 DSP 模块的效率提高了三倍。一个精度可调模块能够高效的满足全部范围需求，从而支持设计人员让 FPGA 资源来适应其算法，而不是让算法来适应有限的资源要求。

精度可调 DSP 还支持设计中 FIR 滤波器和 FFT 的位增长，根据需要提高后续级的精度，从而提高了资源利用率。Altera 的 DSP 模块为组合独立模块提供业界唯一的 64 位级联总线 and 加法器，以进一步提高精度。

 关于 Altera 精度可调 DSP 的详细信息，请参考白皮书[采用 28-nm DSP 全系列产品加速 DSP 设计](#)。

Altera 的 28-nm 系列产品为各种应用提供三种不同类型的片内存储器。例如，M20K 存储器模块适用于 100G 和数据包处理应用的高性能工作和高比特密度，这类应用需要较大的存储器以及较高的原始带宽。M10K 模块单位硅片面积的比特密度较低，但是提供较多的端口，非常适合需要大量 DSP 的应用，例如，电机控制、演播设备以及使用部分 M20K 模块的 3D TV。大部分应用只需要较小的缓冲，从而浪费了 90% 的 M10K 模块资源。为能够高效的低成本处理浅缓冲和延时单元，Altera 提供了 640 位 MLAB 模块。

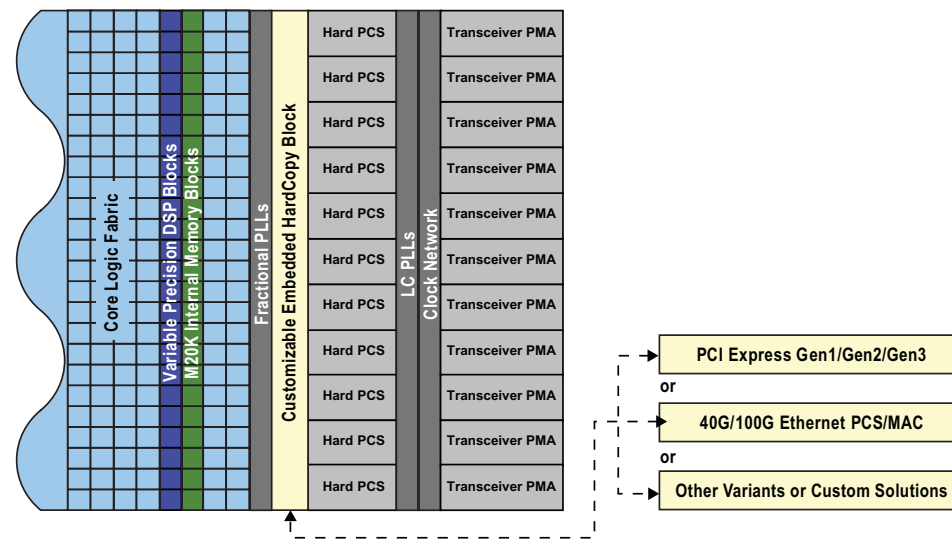
## 专用 I/O 接口

Altera 用于存储器接口和 LVDS 信号的高性能 I/O 模块是高端无线、雷达和 100G 系统的理想选择。但是，远程射频单元和广播设备等中端应用并不需要这些高性能 I/O。相反，设计人员可以使用 Altera 为不同类型应用所提供的各种 I/O 体系结构。高端 I/O 支持 800-MHz DDR3 DIMM 存储器和 1.4-Gbps LVDS，适用于 100GbE 交换等应用。中端 I/O 模块可处理 533-MHz DDR3 存储器和 1.25-Gbps。低成本 I/O 模块非常适合 400-MHz DDR3，为工业应用提供 3.3V-I/O 和 16-mA 驱动。

## 硬核 IP 提高了效率

硬核 IP 最早出现在 Altera 的 40-nm 器件中，作为 PHY 层单元，因此，在高性能串行 I/O 中不再需要采用外部器件。在 Altera 28-nm 器件中，嵌入式 HardCopy 模块实现了 ASIC 的成本、性能和功耗特性，不会牺牲设计灵活性，如图 2 所示。

图 2. 可定制嵌入式 HardCopy 模块



在 FPGA 中采用 HardCopy 模块节省了器件在定制电路上的可编程资源，同时降低了成本。例如，PCIe 协议堆栈需要 150 K 逻辑单元作为软核实现，但是在 HardCopy 模块中只需要三分之一的管芯面积。硬核 IP 还提高了性能。与器件中的 LE 软核实现相比，同样功能的硬核 IP 功耗降低了近 65%，而性能提高了 50%。

HardCopy 模块还支持通用功能，例如，存储器控制器、PCIe 堆栈以及以太网接口等，以满足多种应用需求。而且，这些模块还在一定程度上支持配置功能。例如，设计人员可以根据需要把 PCIe HardCopy 模块配置为 Gen1 或者 Gen2，把以太网模块配置为 40G 或者 100G 工作。

Altera 还可以使用嵌入式 HardCopy 模块来迅速支持新出现的专用器件型号。能够扩展支持当前的器件，就不再需要进行器件移植，从而帮助设计人员缩短了产品面市时间。

## 选择定制应用解决方案

为进一步提高通用性，Altera 的 28-nm 系列产品包括具有各种工艺、体系结构、收发器和系统 IP 特性的器件。每一系列中都有适用于各种收发器速率等级和硬核 IP 模块资源的型号，支持设计人员采用最符合其应用需求的器件。以下章节讨论了这些特性。

### 成本和功耗最低的 Cyclone V

很多应用对性能的要求并不高，但是对成本、功耗（一般小于 5 W）和体积的要求比较高。例如，便携式投影仪应尽可能降低功耗以延长电池使用时间。电机控制器、显示屏和软件无线电对功耗和体积的要求都比较高。每种应用都有其特殊的需求。例如，WDR 监控摄像机等设备需要低数据速率收发器，将信号发送出去，而夜视镜则需要内部视频处理和缓冲功能。

Altera 的 Cyclone V 系列是 Altera 28-nm 系列产品中成本最低、功耗最低的，比较适合这类应用。Cyclone V 器件采用了 LP 工艺进行开发，通过线键合封装降低了成本。Cyclone V 系列包括以下型号：

- Cyclone V GX 器件提供 3-Gbps 收发器、硬核 IP PCIe Gen 1 x 4 接口、M10K 和 MLAB 存储器模块，以及精度可调 DSP。硬核 IP 外部存储器控制器支持低成本、低功耗存储器，例如，移动 DDR、LPDDR2 和 400-MHz DDR3 等。
- Cyclone V GT 器件具有与 Cyclone V GX 相同的特性，增加了 5-Gbps 收发器以及两个 PCIe Gen 2 x 1 硬核 IP 模块。
- Cyclone V E 系列不包括硬核 IP 模块，只含有 LE，以提高设计的灵活性。

## 在性能、功耗和成本上达到均衡的 **Arria V**

对于中端应用，在性能、功耗和成本上达到均衡非常关键。与低成本设备应用需求相比，远程射频单元、广播视频摄像机、10G/40G 线路卡和视频交换机等设备通常需要使用 10-Gbps 收发器。但是，应尽可能降低这类设备的成本，而功耗要小于 10 W。这类应用常见的功能包括视频处理和缓冲、FIR 滤波器以及高性能外部存储器。

中端应用中，Altera 的 Arria V 系列在性能、功耗和成本上达到了均衡。Arria V 器件使用 LP 工艺技术来降低功耗。这些器件含有 M10K/MLAB 存储器模块，同时提供速度更快的收发器来满足更高的性能需求。Arria V 器件还使用倒装焊封装来提高片外信号速度。Arria V 系列包括以下型号：

- Arria V GX 器件含有 6-Gbps 收发器、支持多功能的硬核 IP PCIe Gen 2x4 接口、适用于 FIR 滤波器的精度可调 DSP，以及支持 533 MHz DDR3 SDRAM 的硬核 IP 存储器控制器。
- Arria V GT 器件提供 10-Gbps 收发器，适用于速度要求高一些的应用。逻辑容量在 75,000 至 500,000 LE 之间。

## 性能和带宽最高的 **Stratix V**

对于 FPGA 以外的应用，例如 40/100GbE 交换机、军用雷达和高级 LTE 基站等高性能应用的需求是最苛刻的。这些系统要求性能最好的收发器应用于背板和芯片至芯片通信，还需要高密度、高速外部存储器和内部存储器。这些应用通常需要高精度 DSP，以及超过 350-MHz 时钟速率的逻辑。虽然这类应用的功耗不是主要问题，但是低功耗在降低系统散热成本，提高系统可靠性上有很大的优势。

Altera 的 Stratix V 器件满足了这些高端应用的需求，在同类器件中性能最好而功耗最低。Stratix V 器件使用 HP 工艺技术来提供高达 28 Gbps 的收发器速率，功耗只有 200 mW。可以针对多种存储器类型（包括，DDR3、RLDRAM II 和 QDR II+）来配置软核存储器控制器，达到 72 位宽，处理速率高达 800 MHz。

Stratix V 系列逻辑容量高达 1 百 10 万 LE，提供以下型号：

- Stratix V GX 器件采用了 14.1-Gbps 收发器，支持串行背板和光通信，包括硬核 IP PCIe Gen 3 x8 和 40/100G 以太网 IP 选择。
- Stratix V GT 系列与 Stratix V GX 相似，还为高性能应用提供 28.2-Gbps 收发器。GT 系列含有 14.1-Gbps 收发器，但也提供 54x54 工作的精度可调 DSP 模块。
- Stratix V E 只提供 LE，具有容量最大的可配置逻辑。所有 Stratix V 器件都含有性能最好的高密度 M20K 存储器模块。

## 过渡到 ASIC 的快速 HardCopy 途径

除了这三种 FPGA 系列，Altera 还具有 28-nm HardCopy V ASIC 系列，为 FPGA 设计产品量产提供了低风险、低功耗和低成本移植途径。最终的 ASIC 使用了与 FPGA 相同的工艺技术，具有同样的硬核 IP 模块，包括收发器等，从而减小了移植导致的性能差异。HardCopy ASIC 与最初的 Stratix V 设计在封装和引脚上兼容，具有同样的信号完整性。开发人员使用 HardCopy V ASIC 能够比其他 ASIC 方法更快的推出产品。

## 结论

Altera 的通用 28-nm 器件系列完全符合设计人员的需求，同时降低了成本和功耗。而且，Altera 提供集成设计工具，能够充分发挥器件的所有功能。Quartus II 设计软件包括系统集成和功耗分析工具，有助于在性能和成本上达到平衡。Altera 提供各种 IP 内核，可迅速方便的实现标准功能。设计人员可以使用 Quartus II 软件迅速移植到 HardCopy V ASIC。

Altera 的 28-nm 器件系列代表了一种跨越式发展，使得 FPGA 成为多种应用的理想解决方案。通过组合工艺、体系结构和各种 IP，Altera 提供了集成 FPGA 选择，完全符合各类成本、性能和功耗要求。这类产品为应用开发人员提供了前所未有的快速低风险方法，帮助他们设计并生产下一代产品。

## 详细信息

- *采用全系列 28-nm DSP 加速 DSP 设计*  
<http://www.altera.com/literature/wp/wp-01136-stxv-dsp-portfolio.pdf>
- *在 28-nm 拓展收发器领先优势*  
<http://www.altera.com/literature/wp/wp-01130-stxv-transceiver.pdf>
- *采用 28-nm FPGA 的部分和动态重新配置特性增强设计功能*  
<http://www.altera.com/literature/wp/wp-01137-stxv-dynamic-partial-reconfig.pdf>
- *通过 28-nm FPGA 降低功耗，提高带宽*  
<http://www.altera.com/literature/wp/wp-01148-stxv-power-consumption.pdf>

## 致谢

- Juwayriyah Hussain，产品市场高级工程师，Altera 公司。
- James Adams，企业营销，Altera 公司。
- Umar Mughal，产品市场经理，Altera 公司。