

本文介绍怎样设计 Altera 的 40-nm 和 28-nm FPGA，以帮助实现高度集成的 HD 演播设备产品。文章分析了多通道视频格式转换的性能要求、资源利用情况以及功耗特性。这是视频采集卡、多视角以及视频墙和 A/V 交换机等广播应用要求的常见功能。文章还介绍了 Altera 28-nm FPGA 的体系结构增强特性，专门用于提高广播应用的功能。

## 引言

越来越多的行业需要采用 HD 视频通道，要求演播设备供应商提供集成产品，以满足所需的带宽和处理能力要求，同时降低成本和功耗。某些演播设备供应商采用全定制 ASIC 来满足这些需求，但是考虑到产品及市场压力以及开发成本支出，导致无法采用这一选择。专用标准产品 (ASSP) 在某些应用中提供了替代解决方案，但是灵活性不够，无法提供符合市场需求的高集成度产品。

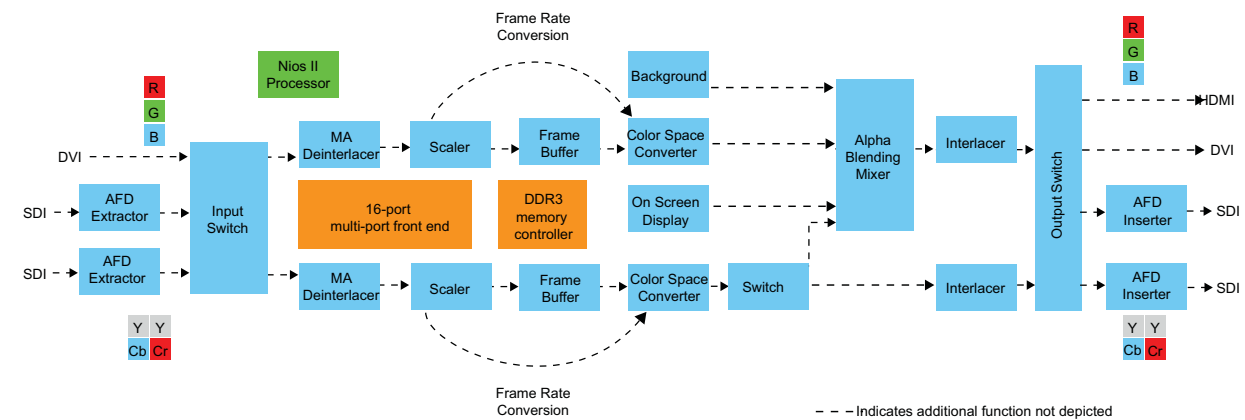
为克服这些缺点，Altera 为演播设备开发人员提供了最新一代 40-nm 和 28-nm FPGA，集成度和定制功能优于 ASSP 系统，同时避免了全定制 ASIC 开发时间较长以及高成本的不足。

## 上 / 下交叉转换 (UDX) 需求


可以把存储、编码以及显示之前对视频进行转换的过程描述为上 / 下交叉转换 (UDX)。图 1 显示了 Altera 开发的 2 通道 UDX 设计的简单结构图。这一设计除了简单格式转换还提供扩展功能，以及满足大部分应用的大量逻辑门资源。这一设计用于分析 Altera FPGA 在演播设备产品中的适用性、性能和功耗特性。

2 通道 UDX 设计采用了串行数字接口 (SDI) 或者数字视觉接口 (DVI) 承载视频。这一设计可以处理两路高达 1080p60 的 SD-SDI、HD-SDI 或者 3G-SDI 逐行或者隔行输入流，例如，NTSC、PAL、720p、1080i 和 1080p。主动格式描述 (AFD) 提取器从 SDI 通道中提取出代码，支持 4:3 和 16:9 高宽比之间双向格式转换的动态剪辑、缩放和填充。然后，输入交换功能完成所需要的 4:2:2 至 4:4:4 色度采样转换，支持从三种输入流中为两个视频处理通道输入选择两种输入流。

图 1. Altera 开发的 2 通道上 / 下交叉转换 (UDX) 设计



在视频处理通道中，运动自适应 (MA) 去隔行器对 4:2:2 模式的视频输入进行去隔行处理，在外部 RAM 进行双路缓冲，每一输入区一个输出帧。然后，将视频帧缩放到所需的分辨率上，在外部存储器中进行缓冲，完成帧速率转换。然后，转换后的图像与第二通道以及标识进行混合，在用户选择的输出上进行显示，例如 SDI、DVI 或者 HDMI。

 成功的实现了这一 UDX 设计，并在硬件中进行了演示。

## 计算资源和存储器需求

Altera UDX 设计的存储器带宽需求由去隔行级和相关的帧缓冲来确定。表 1 列出了 UDX 设计的每通道器件资源要求：

表 1. UDX 设计器件资源要求（每一视频通道）

资源	最少 FPGA 资源	外部 RAM
逻辑单元 (LE)	45K	N/A
内部 RAM (Mbits)	2.6	N/A
DSP (18x18 乘法器)	110	N/A
收发器通道	1 (SDI 或者 DVI)	N/A
外部 RAM (Mbytes)	N/A	13.22

### 1080p 存储器带宽

通道必须处理的最大分辨率视频决定了存储器带宽要求。设计需要处理 1080p 视频分辨率，下面的公式计算了缓冲 1080p 视频所需要的存储器带宽：

$$\langle \text{每一 } 1080p \text{ 帧宽度} \rangle \times \langle \text{高度} \rangle = 1920 \times 1080 = 2073600 \text{ 比特}$$

$$2073600 \times 60 \text{ FPS} \times 2 \text{ 颜色平面} \times 10 \text{ 位分辨率} = 2.48832 \text{ Gbps}$$

因此，至少需要 2.48832 Gbps 的存储器带宽来写入 1080p 视频。但是，设计必须能够适应存储器接口宽度所确定的最大字长。对于目标 FPGA，假设是 64 位存储器接口，它产生 256 位字。为避免像素分割，将每次读或者写操作的 12、20 位像素封装到 256 位字中，具有 16 个未使用的比特：

$$12 \text{ 像素} \times 20 \text{ 比特} = 240 \text{ 比特。}$$

因此，在 64 位存储器接口上读写 1080p 视频而且不会出现像素分割的实际带宽如下所示：

$$2.48832 \text{ Gbps} \times (256/240) = 2.654208 \text{ Gbps}$$

### 运动自适应去隔行算法

运动自适应去隔行算法需要在 1080i 时进行一次写操作，以及 1080i 四次读操作，或者 1080p 两次读操作：

$$1 \text{ 次写操作 @ } 1080i = 0.5 \times 2.654208 \text{ Gbps} = 1.327104 \text{ Gbps}$$

$$4 \text{ 次读操作 @ } 1080i \text{ 或者 } 2 \text{ 次读操作 @ } 1080P = 2 \times 2.654208 \text{ Gbps} = 5.30816 \text{ Gbps}$$

$$\text{总计} = 6.635264 \text{ Gbps}$$

如果去隔行器具有运动补偿功能，那么，当前帧的存储和对比运动值需要与以前存储的数值进行对比。运动自适应去隔行算法还需要对视频运动值进行一次写操作和一次读操作；10 比特运动值每一读写操作所需要的最小带宽如下：

$$1920 \times 1080 \times 60/2 \text{ FPS} \times 10 \text{ 比特} = 0.622 \text{ Gbps}$$

对于每一运动值 10 比特，总共能够把 25 个运动值装入到一个 256 位字中。考虑到在 256 位字上避免出现像素分割，所需带宽为：

$$0.622 \text{ Gbps} \times (256/250) = 0.637 \text{ Gbps}$$

因此，一个运动自适应去隔行通道所需的存储器带宽为：

$$6.635264 \text{ Gbps} + (2 \times 0.637 \text{ Gbps}) = 7.90953984 \text{ Gbps}$$

与帧缓冲所需的带宽相似，读写一个 1080p 帧时加入存储器要求来计算带宽：

$$2.48832 \text{ Gbps} \times (256/240) \times 2 = 5.308 \text{ Gbps}$$

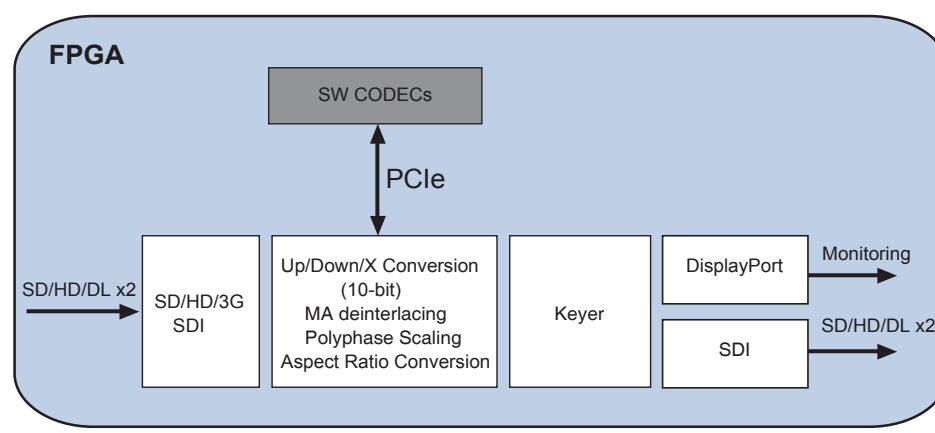
因此，每一 UDX 通道需要的存储器总带宽等于去隔行器和帧缓冲的存储器带宽之和。

$$7.90953984 \text{ Gbps} + 5.308 \text{ Gbps} = 13.21795584 \text{ Gbps}, \text{ 大约 } 13.22 \text{ Gbps}$$

## 在 40-nm 和 28-nm FPGA 中实现 UDX 设计

考虑一个采集卡常用的简单两通道 UDX 设计，如图 2 所示。

图 2. PCIe 采集卡和两通道 UDX



两通道 UDX 设计的存储器带宽要求如下：

$$2 \text{ 通道} \times 13.22 \text{ Gbps} = 26.44 \text{ Gbps}$$

表 2 列出了 2 通道 PCIe®采集卡所需要的资源，包括用于监视的 DisplayPort 输出，向主机传送视频数据并访问软件编解码器的 PCIe 接口。

表 2. 2 通道 PCIe 采集卡所需要的 FPGA 资源

资源类型	每个通道的资源	两种格式转换资源	DisplayPort 和 PCIe 接口资源	采集卡全部资源
逻辑单元 (LE)	45K	90K	12K	102K
内部 RAM (Mbits)	2.6	5.2	0.3	5.5
DSP (18x18 乘法器)	110	220	N/A	220
收发器通道	2 (SDI 或者 DVI)	4 (2 路输入, 2 路输出)	4 (DisplayPort) 以及 4 (PCIe Gen2x4) 或者 8 (PCIe Gen1x8)	12 或者 16

下面的表 3 介绍了最适合采集卡设计的目标 40-nm 和 28-nm FPGA，以及相关的器件资源使用情况。为提高存储器带宽，应使用对称接口（即，至少两个相同带宽和速率的接口），这是因为 FPGA 有时能够通过其他接口支持更大的存储器带宽，这些接口具有不同的数据宽度和速率。但是，由于这种情况并不常见也不是必须的，因此，只列出了具有对称接口的最大带宽。所有 FPGA 都很容易满足 26.44 Gbps 的存储器带宽要求，如表 3 所示。

表 3 还显示了某些目标器件的存储器接口支持特性。Altera 的 40-nm FPGA 通过软核存储器控制器来提供外部存储器接口，在器件的用户可编程逻辑以及存储器中实现它。在实际硬件的 UDX 设计中对这些软核控制器进行了测试和演示，表明它能够实现所需的效率，满足带宽要求。

在 28-nm Arria® V FPGA 中，在硬核存储器控制器中实现存储器接口。这一硬核存储器控制器基于成熟可靠的软核存储器控制器，通过设计进一步提高了效率，支持简单方便的内置时序收敛。

表 3. FPGA 资源和总功耗

FPGA 资源	Arria II GX (40nm)	Arria V (28nm)
目标器件	2AGX190	5AGXA3
逻辑单元 (LE)	190K	150K
存储器总容量 (Mbits)	9.9	10.4
18x18 乘法器最大数量	656	792
收发器通道最大数量	16	12
具有对称接口的最大存储器带宽	51.2 Gbps (软核控制器)	136.4 Gbps (硬核控制器)
PCIe 硬核 IP 支持	Gen1x8	Gen2x4
采集卡总功耗	10.8 瓦	5.8 瓦

中的最后一行表示每一器件中所实现的采集卡设计的总功耗。使用 PowerPlay 早期功耗估算器 (EPE) 工具来计算这一功耗。使用的所有 FPGA 都在其相应的工艺节点提供最低总功耗，在广播领域中对功耗敏感的最终市场上具有很大的优势。

 关于 EPE 工具的详细信息，请访问 [PowerPlay 早期功耗估算器 \(EPE\)](#) 和 [功耗分析网站](#)。

基于 UDX 设计的更大规模设计更好的演示了最先进 FPGA 的全集功能。例如，图 3 所示的 16 输入、8 通道 A/V 交换机。

图 3. 16 输入 AV 交换机和 8 通道 UDX

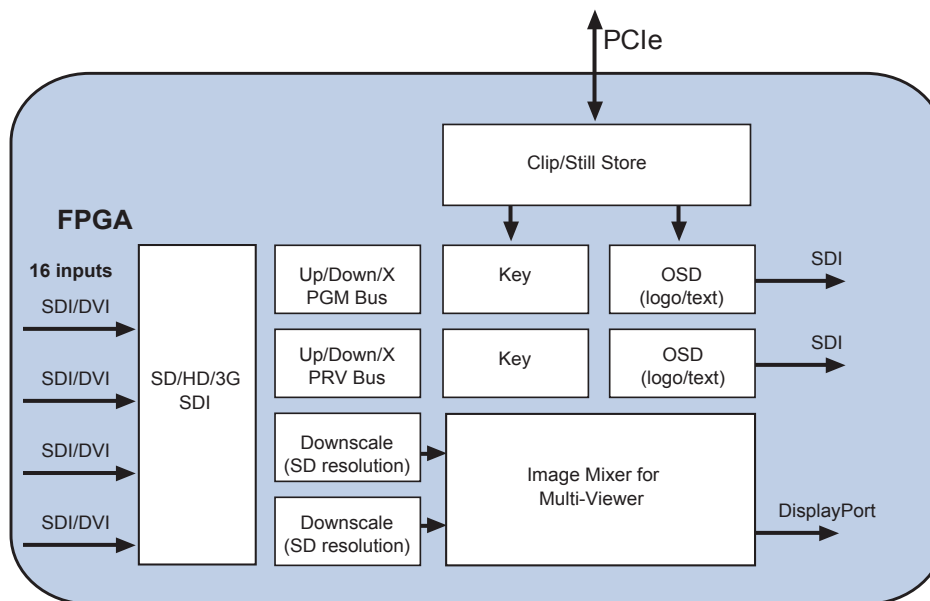


图 3 所示的设计只需要一片 FPGA 即可实现。但是，这一设计需要多片 ASSP 以及相关的电路板，增加了功耗，提高了设计的复杂度。

在一片 FPGA 中实现这一设计的第一步是计算 8 通道 UDX 所需的存储器带宽，如下所示：

$$8 \text{ 通道} \times 13.22 \text{ Gbps} = 105.76 \text{ Gbps}$$

下面的表 4 列出了 16 输入 8 通道交换机所需要的资源，包括用于监视的 DisplayPort 输出，向主机传送视频数据并获得剪辑和静止图像的 PCIe 接口。

表 4. 16 输入 8 通道 A/V 交换机所需要的 FPGA 资源

FPGA 资源	每个通道的资源	每 8 个通道的资源	DisplayPort 和 PCIe 接口	16 输入 8 通道 AV 交换机资源
逻辑单元 (LE)	45K	360K	12K	373K
内部 RAM (Mbits)	2.6	20.8	0.3	21.1
DSP (18x18 乘法器)	110	880	N/A	880
收发器通道	2 (SDI 或者 DVI)	24 (16 路输入, 8 路输出)	4 DisplayPort 以及 8 PCIe (2 Gen2x4, Gen2x8)	36

表 5 介绍了最适合 16 输入 8 通道 A/V 交换机设计的目标 40-nm 和 28-nm FPGA，以及相关的器件资源使用情况。仅采用了对称接口来确定最大存储器带宽，所有选择都很容易满足 105.76 Gbps 的存储器带宽要求。

表 5. 16 输入 8 通道 A/V 交换机所需要的 FPGA 器件资源和总功耗

FPGA 资源	Stratix IV GX (40nm)	Arria V (28nm)
目标器件	EP4SGX530	5AGXB7
逻辑单元 (LE)	531.2K	500K
存储器总容量 (Mbits)	27.3	23.7
18x18 乘法器最大数量	1040	2278
收发器通道最大数量	48	36
具有对称接口的最大存储器带宽	136.4 Gbps (软核控制器)	136.4 Gbps (硬核控制器)
PCIe 硬核 IP 支持	Gen2x8	Gen2x4
采集卡总功耗	22.4 瓦	15 瓦

除了能够在单芯片中实现这一复杂设计之外，在所有的 FPGA 实现方法中，这一 FPGA 在相应的工艺节点上实现了最低总功耗，是每一产品代最合适的解决方案。而且，设计人员还能够受益于移植到下一代 FPGA，这是因为 FPGA 产品代采用了相同的 UDX 设计底层技术以及相关的存储器控制器体系结构。

## 适用于广播应用的 28-nm FPGA

Altera 不但在算法和实现上保持了一致性，而且还增强了 28-nm FPGA 的体系结构，以更好的满足广播应用需求。

### 优化视频嵌入式存储器模块

Altera 配置其嵌入式存储器模块以便高效精确的适应 10 位视频数据。相应的，Altera 在其 28-nm 器件中提供嵌入式存储器模块，能够以 10 位宽递进进行配置（即，x10、x20 和 x40），因此不会浪费比特。Altera 相对于以前的 FPGA 体系结构优化了广播应用，以前采用的 18 位和 36 位宽嵌入式存储器模块效率不高，浪费了存储器资源，使用较大的器件来获得所需的存储器。

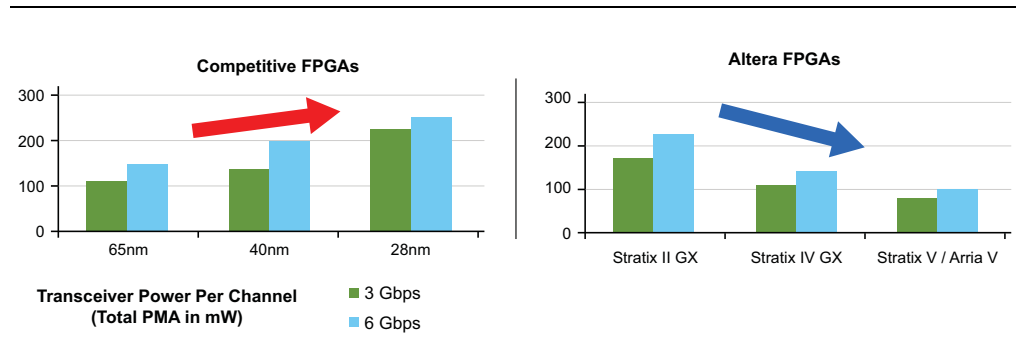
### 精度可调 DSP 模块

另一针对广播应用进行的优化措施是引入了精度可调 DSP 模块。这些模块可以实现各种精度的乘法器，包括 9x9、18x18 和 27x27 乘法器。此外，设计人员能够级联精度可调 DSP 模块，高效的实现精度更高的乘法器。例如，UDX 设计需要 10x16 乘法（10 位 x 16 位系数）。每一精度可调 DSP 模块可以实现两个 18x18 精度的乘法器，涵盖了 UDX 设计所需的 10x16 最大精度。在以前的 FPGA 体系结构中，10x16 乘法需要完整的 DSP 模块，以前的 DSP 模块不能分解成更低的精度，导致使用的 FPGA 资源比实际需求多，效率较低。

## 功耗最低的收发器

另一重要的优化措施是降低了收发器功耗。很多广播应用需要越来越多的 SDI 通道，意味着更多的收发器通道。如果最终设计的功耗非常大，要求提高散热成本，那么就会严重影响高集成度这一优点，推出的产品不具竞争优势。Altera 减小了 28-nm 节点收发器每通道的功耗，继续不断降低收发器功耗。这一低功耗方法支持设计人员在一个器件中集成更多的收发器通道，维持甚至降低其散热预算。图 4 显示了三代 FPGA 每收发器功耗的历史发展趋势，表明 Altera 一直致力于降低收发器功耗以及 Altera 在这方面的能力。这展示了公司多年来在业界一直处于领先地位的内部收发器专业技术优势。大幅度降低收发器功耗表明 Altera 能够提供总功耗最低的 FPGA。

图 4. FPGA 中收发器每通道功耗的历史发展趋势



## 结论

采用现代的 FPGA 可以解决广播设备开发人员所面临的带宽和功耗挑战。设备开发人员能够利用 FPGA 高度集成的硬件加速视频处理功能以及供应商提供的 IP 工作台。这些工作台具有通用视频构建模块，同时支持设计人员集中精力开发专用功能。最全面的 FPGA 产品结合了低功耗方法以及成熟可靠的视频处理技术，从而降低了风险，同时展示了清晰的高级 FPGA 发展路线，增强广播专用体系结构，进一步降低功耗。

## 详细信息

- *满足 28nm 迫切的低功耗需求*  
<http://www.altera.com/literature/wp/wp-01158-low-power-28nm.pdf>
- *通过 28-nm FPGA 降低功耗，提高带宽*  
<http://www.altera.com/literature/wp/wp-01148-stxv-power-consumption.pdf>

## 致谢

- Girish Malipeddi, 技术市场高级经理, Altera 公司。
- Martin S. Won, 技术部资深成员, Altera 公司。