使用外部存储器接口，实现高效的高速存储器解决方案

WP-01169-1.0 白皮书

本白皮书介绍了与外部存储器接口相关的一些因素。Altera 开发的 28-nm FPGA 系列提供高达 921 Gbps 的最大总带宽，以及非常高效的解决方案，支持设计人员获得最高效的带宽。

引言

很多基于 FPGA 的系统需要外部存储器接口。这种存储器接口一般用作外部存储器数据通路和内部 FPGA 处理器模块之间的缓冲，通常它的速度要高于内部 FPGA 架构。随着基于收发器的 FPGA 的出现，存储器接口的作用越来越重要。为保证峰值系统性能，存储器必须能够存储数百吉比特的数据，其速度应与收发器为 FPGA 提供数据的速度一样快。对此，这些数据流需要宽带高速存储器接口。

I/O 性能虽然很重要，但并不是带宽的全部。在确定能够实际获得的系统带宽时，存储控制器的效率非常重要。这种 “高效” 的带宽是确定系统实际性能时的关键因素。

存储器接口

如图 1 所示，Altera 外部存储器接口控制器含有三个模块。多端口前端支持 FPGA 中的多个处理器共享公共存储器块，存储器控制器实现了所有的 DDR3 命令和地址，物理层接口 (PHY) 处理数据通路本身的时序。所有三个模块是设计以及使用存储器接口模块的关键。

图 1. 存储器接口的组成

101 Innovation Drive
San Jose, CA 95134
www.altera.com

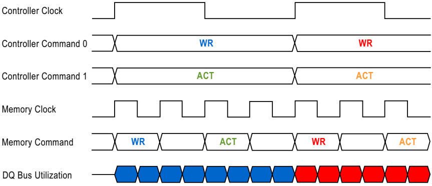
©2011 Altera 公司。保留所有权利。ALTERA、ARRIA、CYCLONE、HARDCOPY、MAX、MEGACORE、NIOS、QUARTUS 和 STRATIX 等字词和标识是 Altera 公司的商标，在美国专利和商标事务所以及其他国家进行了注册。OpenCL 和 OpenCL 标识是 Apple 有限公司的商标。所有其他被认定为商标或者服务标记的字词和标识的所有权属于其各自持有人，www.altera.com/common/legal.html 对此进行了解释。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

ISO 9001:2008 认证

PHY

在 Quartus ® II 开发软件 11.0 中，Altera 引入了一类新的控制器来满足越来越高的 DDR3 存储器速率要求。四分之一速率控制器支持 UniPHY 版的 PHY 和 FPGA 内核架构之间的接口，其运行速率是 DDR3 存储器时钟速率的四分之一。因此，可以通过 UniPHY 来采集采用了 1066-MHz 时钟的 2133 Mbps 数据接口，仅以速率 266-MHz 的时钟就可以将采集到的数据传送给 FPGA 内核架构。这意味着，在每一个 266-MHz 时钟边沿，四比特的数据会出现在内核架构中。四分之一速率控制器还支持 2T 命令时序。这表明，每两个 DDR3 时钟周期会发出一条命令。图 2 显示了支持 2T 命令时序的四分之一速率新控制器的时序图。

图 2. 四分之一速率控制器，支持 2T 命令时序



此外，Altera 支持全速率和半速率控制器，使用哪一控制器与接口速率有关。表 1 显示了不同的 DDR3 时钟速率以及所需的控制器。

表 1. DDR3 时钟速率和控制器配置

DDR3 时钟	四分之一速率	半速率	全速率
1066	✔		
933	✔		
800	✔		
667	✔	✔	
533	✔	✔	
400	✔	✔	
333	✔	✔	✔

在低延时存储器控制器领域，Altera 一直处于领先地位。Altera 的 28-nm 系列 FPGA 在外设时钟网络上达到了平衡，从而减小了开关噪声，增强读数据 FIFO 缓冲保证了时序，适配器很容易放置控制器。采用最新的 UniPHY，这些设计改动大幅度减小了延时。表 2 显示了四分之一速率和半速率控制器基于不同命令类型的延时。与前一代 UniPHY 相比，这些延时减小了 60%。

表 2. UniPHY DDR3 存储器延时

控制器速率	延时类型	延时（存储器时钟周期）		
		控制器	PHY	总计
二分之一	写命令	12	3	15
	读命令	10	3	13
	读数据	0	7	7
四分之一	写命令	20	9	29
	读命令	20	9	29
	读数据	0	11	11

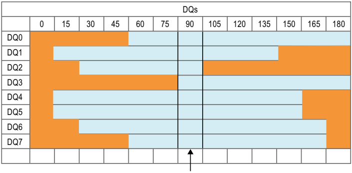
表 3 显示了这些延时也明显优于 Altera 最相近竞争器件的延时。

表 3. DDR3 存储器延时——Altera 与竞争器件相比

控制器速率	延时类型	延时（存储器时钟周期）		优势
		竞争对手	Altera	
四分之一	写命令	46*	29	Altera
	读命令	46*	29	Altera
	读数据	31*	29	Altera

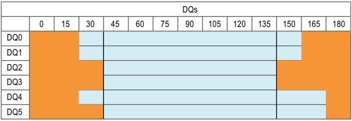
设计 72 位或者大规模 DQ 总线时，走线变化导致较大的电路板偏移，对系统性能造成很大的影响。图 3 显示了电路板偏移怎样劣化了数据有效窗口，导致存储器总线上出现错误。在较高的数据速率情况下，这非常关键。

图 3. 电路板偏移导致数据有效窗口减小



Altera 的 UniPHY 具有可配置延时链，可以调整每一 DQ 引脚的延时。这种调整对齐每一独立的 DQ 信号，然后向存储器发送 PBRS 码型，对总线进行粗校准和精细校准，从而使得数据眼图张开。作为 UniPHY PHY 一部分的嵌入式软核处理器处理这种重复码型，继续偏移信号，直到数据眼图张开达到最大程度，没有误码。图 4 是去偏移后得到的眼图。

图 4. 校准后数据有效宽度增大



	DQs												
	0	15	30	45	60	75	90	105	120	135	150	165	180
DQ0	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧	🟧
DQ1	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧	🟧
DQ2	🟧	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧	🟧	🟧
DQ3	🟧	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧	🟧	🟧
DQ4	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧
DQ5	🟧	🟧	🟧	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟦	🟧

控制器

提高存储器接口速率意味着在存储器带宽上加大投入。然而，DDR3 存储器虽然成本较低，但是无法设计实现最大带宽，因此，通过接口实现最大带宽时，管理 SDRAM 命令的高效控制器非常关键。效率是总线上占用的 DQ 周期 (非空闲) 除以总线周期总数，即

$$\text{Efficiency} = \frac{\text{\# of clock cycles that DQ bus is occupied}}{\text{\# of clock cycles in the period}}$$

有两种方法来提高总线效率。第一种是重新排列命令，利用空闲或者无用周期。Altera 高级块管理功能识别出系统切换块时所需要的预管理功能，在空闲周期中，使这些预管理功能生效。通过去掉操作之间出现的无用周期，这减小了块切换对 DQ 总线的影响。图 5 显示了对两个预管理功能重新排序后的影响。在这个例子中，空闲周期数减小了四个。

图 5. 高级块管理特性

No Look Ahead

With Look Ahead Bank Management

Command	Address	Condition
Read	Bank 0	Activate Required
Read	Bank 1	Precharge Required
Read	Bank 2	Precharge Required

在页面击中的情况下，Quartus II 控制器还能够自动抵消预管理功能，因此，不需要改变块。

提高效率的第二种方法是改变数据顺序或者命令。总线周转时间和块周期时间 (tRC) 会导致较大的空闲周期，降低了总线效率。为减小总线周转时间，对相似的命令进行分组非常重要。换言之，成组发出读写命令以减少总线周转事件的数量。图 6 显示了如果系统能够将读写命令分成组，在会话中，只需要出现一次总线周转时间导致的 4 周期时间击中。总的影响是从总线上去掉了五个无用周期。

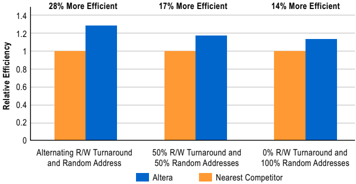
图 6. 数据重新排序，以减少无用周期

Minimize bus turnaround time by grouping read and write transactions

Minimize tRC impact by reordering transactions with bank conflicts

为减小 tRC，将同一块上的命令收集到一起，去掉 SDRAM 存储器块上的四个空闲周期。这类操作导致从这些会话中去掉了 8 个无用周期。采用这类操作，Altera 能够大幅度提高 28-nm 系列器件的效率，如图 7 所示。

图 7. Altera 新的高性能存储器控制器的存储器效率

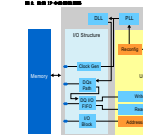


硬核存储器 IP 和软核存储器 IP

Altera 的 28-nm 系列 FPGA 提供两种类型的存储器解决方案：Stratix ® V、Arria ® V 和 Cyclone ® V FPGA 系列的软核 IP，以及 Arria V 和 Cyclone V FPGA 系列的硬核 IP 解决方案。

软核 IP 包括 UniPHY 以及高性能存储器控制器。硬核读 / 写数据通路保证了在最大速率时能够满足时序要求。图 8 显示了软核 IP 中的硬核通路，包括 I/O、PLL、DLL，以及读 / 写 FIFO 缓冲。

图 8. 软核 IP 中的硬核通路



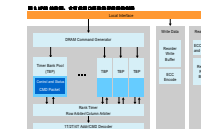
Altera 提供软核 IP 而不是硬核 IP，帮助设计人员选择在哪里放置存储器控制器，能够根据系统要求来调整存储器控制器，特别是 Stratix V FPGA 的情况。

硬核存储器控制器 IP 包括一个硬核 UniPHY、一个高性能存储器控制器，以及一个多端口前端。硬核 IP 位于管芯中的固定位置，具有固定的最大宽度：对于 Cyclone V FPGA 是 x16，对于 Arria V FPGA 则是 x32。而且，硬核 IP 全速率运行，减小了延时，也降低了器件内核所需的信号总线宽度。对于设计人员，这简化了 Arria V 和 Cyclone V FPGA 的存储器总体设计，提供真正的 “开箱即用” 式体验。这样就很容易进行工作。

MPFE

硬核多端口前端 (MPFE) 是 Arria V 和 Cyclone V FPGA 的新特性。它支持内核中的多个内部处理操作使用相同的硬核存储器接口。如图 9 所示，MPFE 有两类端口：四个双向数据端口以及六个地址和命令端口。地址和命令端口支持最多访问四个双向处理操作或者两个单向处理操作。每一个处理操作可以是读或者写会话，每个端口的接口是 Avalon®存储器映射 (Avalon-MM) 系统互联。

图 9. MPFE 结构图，含有单端口高性能存储器控制器



整个存储器控制器为六个地址和命令端口提供两级调度。在 MPFE 中使用每端口调度，在高性能存储器控制器中使用 DRAM 突发调度。

MPFE 器件中的每端口调度器决定最先响应哪个有效地址和命令端口，将每个端口上的会话分成一系列独立的有序 DRAM 突发。根据缺陷罗宾带 (DRR) 仲裁算法来响应这些突发。算法使用能够动态更新的每端口绝对优先级和权重，支持暂时过响应和欠响应，因此，控制器能够流畅的输出存储器数据流。如果端口的最大延时大于控制器允许的最差延时，那么，自动提高端口优先级。可以针对优先级来配置端口，实现多个突发会话，保持 DRAM 页面打开。

结论

Altera 提供速度最快、非常高效、延时最小的存储器控制器，支持设计人员迅速方便的使用目前的高速存储器。Stratix V、Arria V 和 Cyclone V FPGA 提供的软核 IP 使设计人员能够灵活的开发满足系统要求的接口，受益于 Altera 业界领先的性能水平。利用 Arria V 和 Cyclone V FPGA 中的硬核 IP，设计人员在开发存储器控制器时，能够充分感受 “开箱即用” 式体验，不用担心存储器接口就能够迅速实现设计。Altera 知道，对于很多设计人员而言，快速可靠的存储器接口非常重要。Altera 不但致力于成功实现设计，而且保证了快速简单的实现这些设计。

详细信息

- Arria V FPGA：成本、性能和功耗达到均衡：
  www.altera.com/devices/fpga/arria-fpgas/arria-v/arrv-index.jsp
- 视频 “Arria V FPGA 先睹为快 收发器在 6.375 Gbps 和 10.3125 Gbps 时的工作”：
  www.altera.com/b/arria-v-fpga.html

- 网播：“采用高级芯片和存储器 IP 实现 1066-MHz DDR3 性能”：www.altera.com/education/webcasts/all/wc-2010-1066mhz-ddr3-silicon-memory-ip.html
- 白皮书：*采用中端 28-nm FPGA 实现最低系统成本*：www.altera.com/literature/wp/wp-01175-lowest-system-cost.pdf

致谢

- Trung Tran，产品市场经理，高端产品，Altera 公司。

文档修订历史

表 4 列出了本文档的修订历史。

表 4. 文档修订历史

日期	版本	进行的修改
2011 年 11 月	1.0	初次发布。