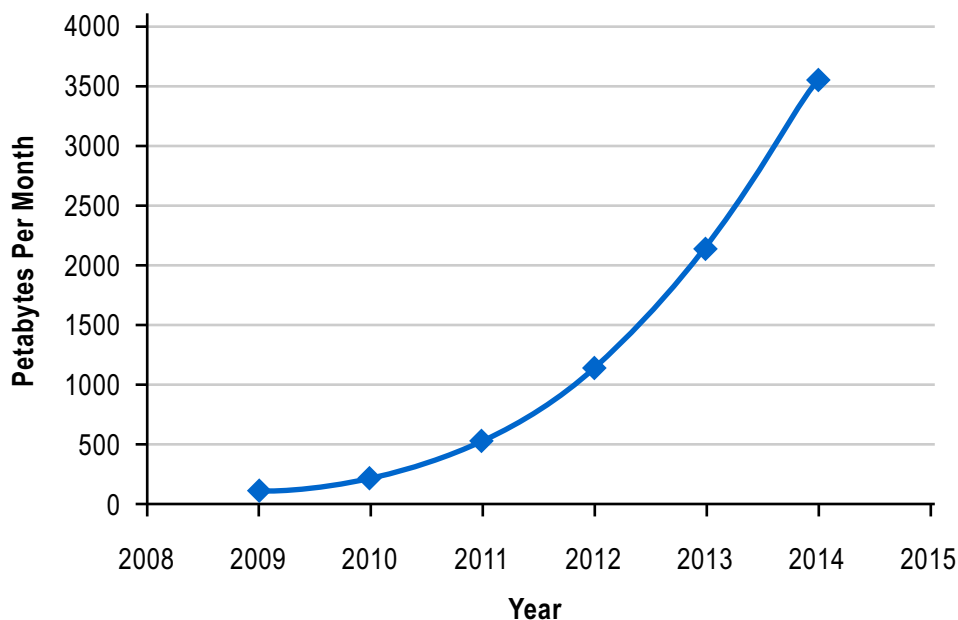


本白皮书介绍怎样采用 Altera® 28-nm FPGA，特别是 Arria® V 系列 FPGA，设计高效多相和非多相数字预失真 (DPD) 前馈通路解决方案。此外，还对比了不同体系结构之间的资源使用情况和功耗，以方便对设计进行全面考虑。

引言

人们越来越多的使用小型电话和设备，推动了移动数据流量呈指数增长。如图 1 所示，移动网络将很快达到每月 4000 petabytes。

图 1. 移动网络的数据增长



来源:

(1) 思科视觉网络指数: 全球移动数据流量预测更新, 思科, 2010 年 2 月 9 号。

由于目前的移动基础设施无法满足日益增长的需求，基站提供商需要更新他们的数字前端 (DFE) 射频设备，以支持越来越宽的 RF 带宽。而且，运营商的压力也越来越大，需要降低运营成本 (OPEX)，绿色技术这一发展趋势也需要在 DFE 射频前端上采用高功效解决方案。

Altera 的 Arria V FPGA 系列专门设计满足这些功耗和带宽需求。这些器件采用了 TSMC 的 28-nm 低功耗 (28LP) 工艺进行开发, 通过降低静态功耗和收发器功耗, 大幅度降低了总功耗。此外, Altera 认识到越来越大的 RF 带宽需要采用多相 DPD 体系结构。如表 1 所示, 与最相近的竞争器件相比, Arria V FPGA 的数字信号处理 (DSP) 模块资源是其两倍, 使用户能够灵活的将目前的设计转换为多相结构, 而不用采用容量更大的 FPGA 器件。

表 1. DSP 资源和器件容量对比

Arria V FPGA		竞争器件	
LE	18x19 乘法器	LE	18x25 乘法器
75K	480		
152K	792	160K	600
190K	1200		
241K	1600		
300K	1840	325K	840
361K	2090	355K	1440
420K	2184	410K	1540
495K	2278	480K	1920

对发送的射频信号进行预失真所需的采样率小于 FPGA 架构最大时钟频率 (f_{MAX}) 时, 采用传统的单链 DPD 前馈通路就可以了。但是, 当 FPGA 架构速率无法满足实际应用的目标信号带宽需求时, 则需要所谓的多相 DPD 前馈通路体系结构。

多相 DPD 前馈通路的体系结构与非多相通路相似, 但是使用了运行速率较低而位宽较大的数据通路。例如, 如果需求是信号带宽的两倍, 那么, 可以将 FPGA 的时钟速率加倍, 或者运行具有双链体系结构的多相结构。一个典型的配置是采用双链体系结构来支持 491 MHz (2 x 245 MHz) 或者 736 MHz (2 x 368 MHz), 其 RF 带宽超过了 100 MHz。可以使用基于查找表 (LUT) 的方法或者基于 DSP 的直接计算方法来实现多相和非多相结构。

本白皮书主要对这些多相和非多相 DPD 前馈通路实现方法在功耗、资源使用情况以及不同约束场景下的灵活性进行了对比。本文档使用基于 Volterra 级数的 DPD 方法, 它是最著名而且也是应用最广泛的方法。而以下的分析和评估很容易从本文介绍的工作扩展到任何其他 DPD 模型。

此外, 对于 DPD 解决方案的前馈通路, 本文介绍了一种基于 DSP 直接计算体系结构的新方法, 与目前文献介绍的传统方法相比, 它能够显著降低对资源的占用 [1, 2, 3, 4]。对于远程射频前端 (RRH) 系统, 这一新体系结构应用了 Arria V FPGA 大量的 DSP 资源, 满足了 DSP 直接计算所需的高功耗和大量的资源需求, 使其成为可行而且适用的解决方案。

DPD 背景

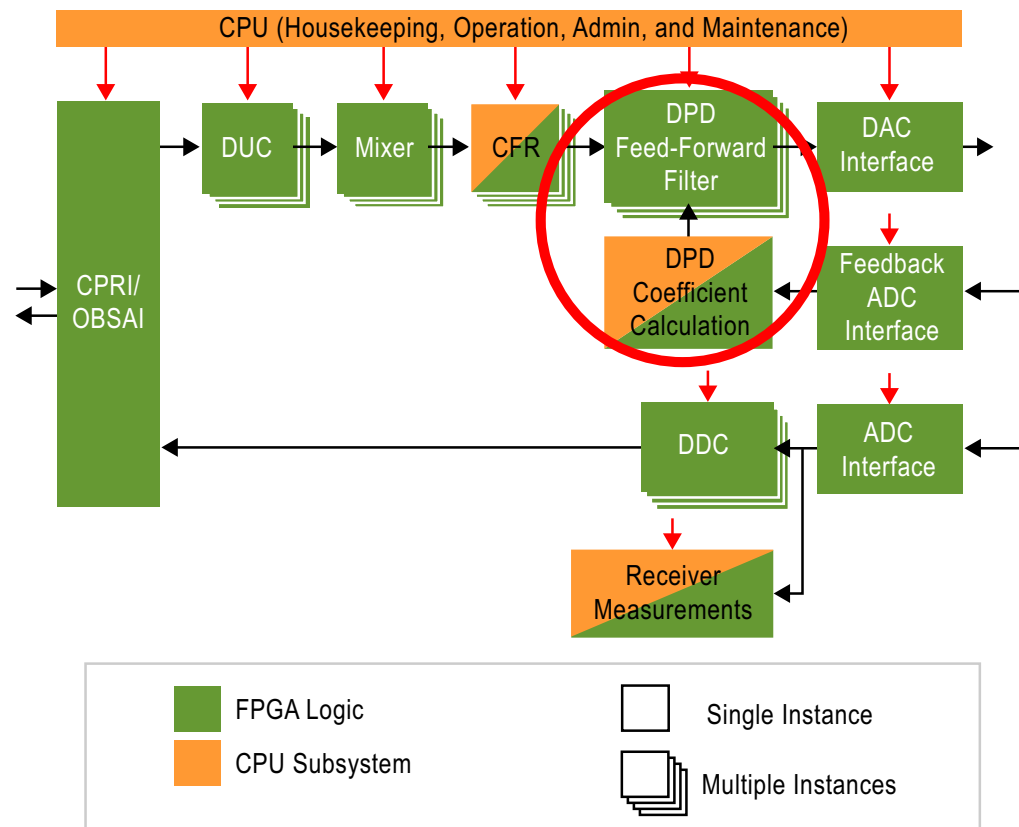
在现代射频接入网络 (RAN) 中，提高系统的功效越来越重要。服务运营商采用绿色技术，以及通过减小散热成本和电费开支来降低运营支出，这种发展趋势要求进一步提高功效。由于设计大功率线性功率放大器 (PA) 的技术难度较大，因此，DPD 技术通常用于补偿 PA 的非线性。DPD 技术旨在提高 PA 的效率，使其能够工作在饱和区（非线性区），而不会将性能劣化到不可接受的程度。与前馈等其他方法相比，DPD 技术之所以能够流行，主要源自低成本实现和灵活性。由于预失真信号的带宽要远远高于（一般至少是五倍）发送信号带宽，因此，基于 FPGA 的 DPD 实现方法面临的重大难题是在 FPGA 架构有限的速率性能条件下满足越来越大的带宽，同时尽可能减少对资源的占用。

一个 DPD 解决方案主要包括三个方面：PA 行为建模、调整 DPD 模型参数以适应 PA 模型，以及最终实现。PA 的行为建模是 DPD 解决方案的算法基础，可以把调整模型参数的步骤当做数学模型的校准 / 优化，以更好的匹配系统的模拟特性，DPD 的实现是将校准后的 DPD 算法映射到硬件数字域的实时信号处理模块中。

PA 行为建模一般主要有两种方法：随机方法和分析方法。在本文中，所有讨论和分析都基于分析建模方法，描述起来比随机方法简单一些。该方法使用了预先确定的 PA 模型来描述 PA 的行为，通过曲线拟合练习来确定模型参数。最著名而且应用最广泛的数学模型是 Volterra 级数模型，它能够采集 PA 的功耗和存储器特性。其他不太复杂的模型是 Wiener 和 Hammerstein 模型 [6, 7]。

图 2 显示了一个典型 RRH 系统的例子，DPD 分成所谓的 DPD 前馈通路模块以及 DPD 系数计算模块。DPD 前馈通路使用系数计算模块在调整级得到的系数，对信号进行预失真以提前补偿 PA 的非线性 and 存储器效应。

图 2. RRH 应用中的 DPD 体系结构实例



一般而言，DPD 前馈通路所需的采样率大约是发送信号带宽的五到七倍。这意味着，对于 60-MHz 发送信号带宽，DPD 前馈通路的采样率大约是 300 至 420 Msp/s。

最近几年，随着射频信号带宽的显著增长，而且预计这一趋势今后会继续下去，由于采样率最终会超过 FPGA 架构时钟速率极限，因此，在硬件上越来越难以实现前馈通路。但是，仍然可以采用多相方法，将 DPD 前馈通路的大采样率需求映射到 FPGA 器件中，其时钟速率要低于采样率。以前很多的数字信号滤波器应用都采用了多相技术，但是，相对于非多相方法，使用这一方法的成本和功耗优势不是很明显。而且，与典型的滤波器结构相比，DPD 前馈通路有更复杂的数据依赖性。

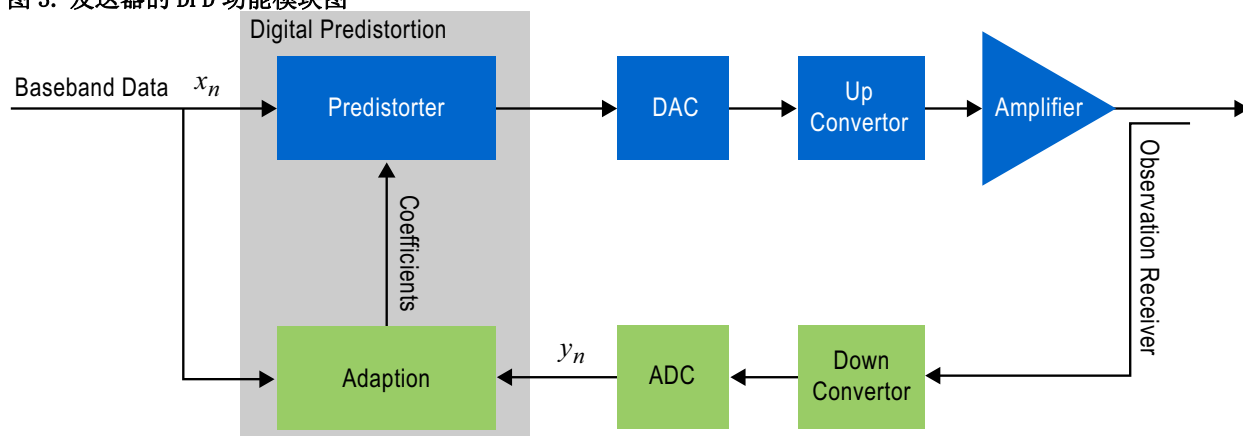
多相方法的基本理念是将输入数据采样分成多个（在这个例子中，是两个）并行信号处理链。处理采样所需的数据吞吐量以及 f_{MAX} 要远远低于非多相方法。在功能上并行处理了数据后，输出至 DAC 之前，使用 FPGA I/O 模块中的半数据速率串化器 / 解串器 (SERDES) 模块将多个预失真信号流重新组合到一起。

在调整 DPD 模型以匹配 PA 的过程中，通常采用最小二乘法来评估分析模型的参数。在这种情况下，针对 Volterra 模型，主要是因为其最佳线性无偏估算特性 [8]。在应用一个参数期间，当图 2 中所示的 DPD 系数计算模块进行系数计算时，假设 PA 特性保持不变。周期性的进行精确调整，意味着，DPD 模型可适应任何可能的 PA 变化。通过观察 PA 输出，采用 DPD 模型来观察 PA 行为的变化来实现这一功能。在图 2 中，反馈 ADC 接口（观察通路）采集 PA 输出，然后，反馈到 DPD 系数计算组件的调整模块中。由于周期性的进行 DPD 分析模型的系数计算 / 调整，在进行后续计算之前，一般要缓冲所选的数据采样。如果一个系数调整模块不能满足观察通路的时序和吞吐量要求，那么，会采用相似的并行计算结构，以实现所需的调整计算。

详细的 DPD 模型

这一部分更详细的介绍 DPD，包括前馈通路体系结构简介，以及面向 Volterra 级数模型的实现。如图 3 所示，在基带中实现 DPD 操作，它包括两个主要部分：前馈预失真器和适应模块。预失真器对 PA 逆行为进行建模。考虑到大采样率以及越来越复杂的计算，唯一的选择是硬件映射实现预失真器。适应模块负责对预失真器中使用的 PA 行为模型参数进行估算和更新。假设从发送器采集的数据 x_n ，以及观察接收器采集的数据 y_n 是对齐的。

图 3. 发送器的 DPD 功能模块图



在支持存储器的时间恒定系统中对非线性进行建模时，Volterra 级数 [9] 是非常著名而且应用很广泛的方法。如方程 1 所示，它包括线性卷积的级数之和：

方程 1. Volterra 级数

$$x_n^{PD} = \sum_{k=0}^K \sum_{m_1=0}^M \cdots \sum_{m_k=0}^M a_{km_1m_2\dots m_k} \prod_{q=1}^k x_{n-m_q}$$

其中， x_n^{PD} 是 nth 预失真器采样， $a_{km_1m_2\dots m_k}$ 是 Volterra 内核。以前的模型在计算上非常复杂，因此，本文采用了 Volterra 近似——称为多相模型，除 $m_1, m_2, \dots, m_k = m$ 之外的所有内核都是零。方程 2 显示了一个简化的预失真器，存储器深度是 M，阶次是 K 阶：

方程 2. Volterra 多项式模型

$$x_n^{PD} = \sum_{k=0}^K \sum_{m=0}^M a_{km} x_{n-m} |x_{n-m}|^k$$

大家都知道只有奇数项产生带外失真 [9]。因此，在这一例子中，K 阶求和是一组奇数项。可以通过最小二乘法来计算 Volterra 内核，实际表明该方法能够得出最佳线性无偏估算。对应于发送和观察数据采集的 N 采样用于对 Volterra 内核进行估算。应按照国家来选择足够大的采样以实现精确的估算。对内核进行估算后，它们用作预失真模块的系数。

为能够在硬件中高效的实现前馈通路（预失真器），重新编写 Volterra 级数方程，得到方程 3：

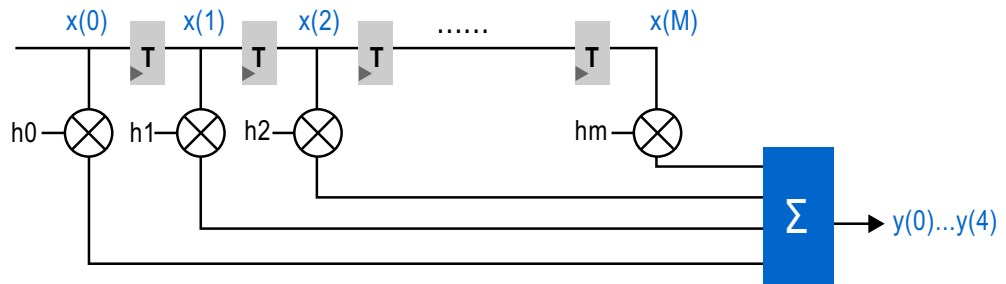
方程 3. 修改后的多项式模型

$$x_n^{PD} = \sum_{m=0}^M x_{n-m} \cdot \left(\sum_{k=0}^K a_{km} |x_{n-m}|^k \right)$$

$$= \sum_{m=0}^M x_{n-m} \cdot h |x_{n-m}|$$

如方程 3 所示，可以将前馈通路理解为滤波器链，其中， x_{n-m} 项是输入信号，一般能够以寄存器延时线来实现它，而第二项 $h(|x_{n-m}|)$ 表示在输入信号功率电平基础上每个时钟周期馈入链中的系数。图 4 显示了一个前馈通路滤波链形结构的例子，其中， h_0, h_1, \dots, h_m 表示系数 $\left(\sum_{k=0}^K a_{km} |x_{n-m}|^k \right)$ 。

图 4. 前馈通路硬件



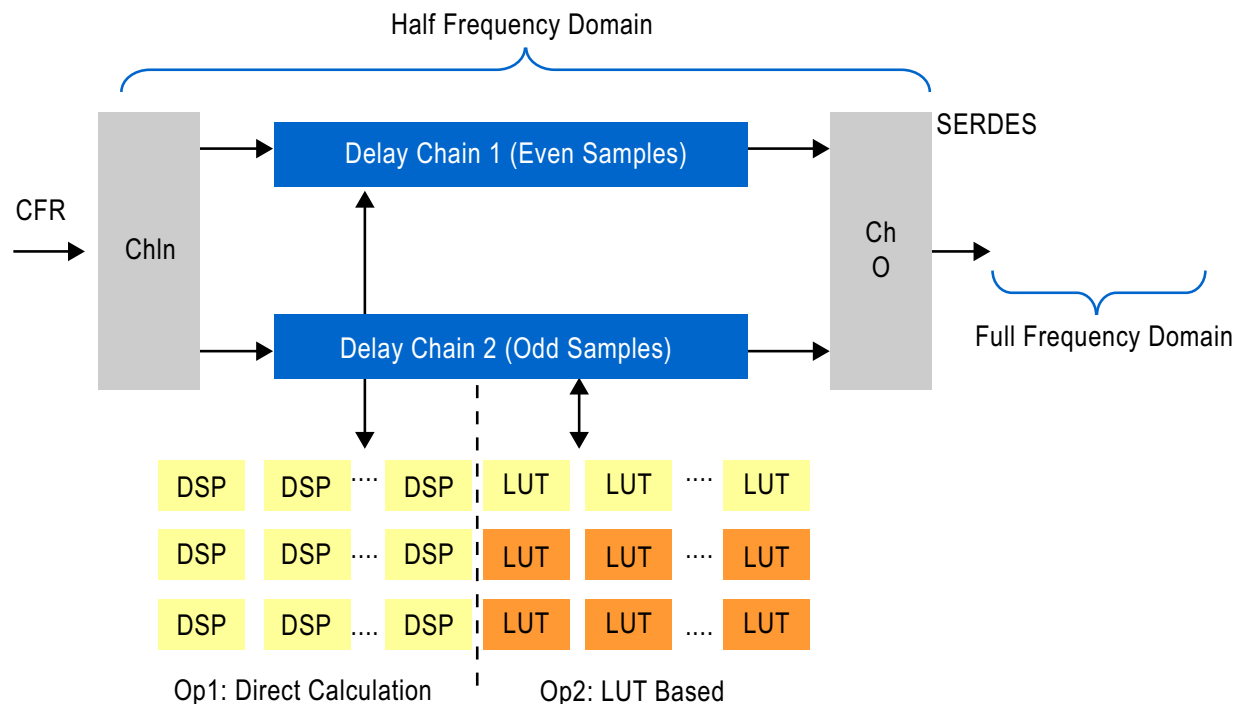
本文中，考虑了计算系数 $h(x_{n-m})$ 的两种方法：LUT 和直接 DSP。在基于 LUT 的体系结构中，预先计算了这些数值，并存放在存储器中，而基于 DSP 的体系结构使用了 FPGA DSP 模块，通过实现函数来进行系数值计算。

多相 DPD 前馈通路体系结构

如前所述，当信号带宽大于 FPGA 最大时钟频率时，一条处理 DPD 前馈通路不足以处理流数据吞吐量。在这种情况下，需要使用多相前馈通路结构。

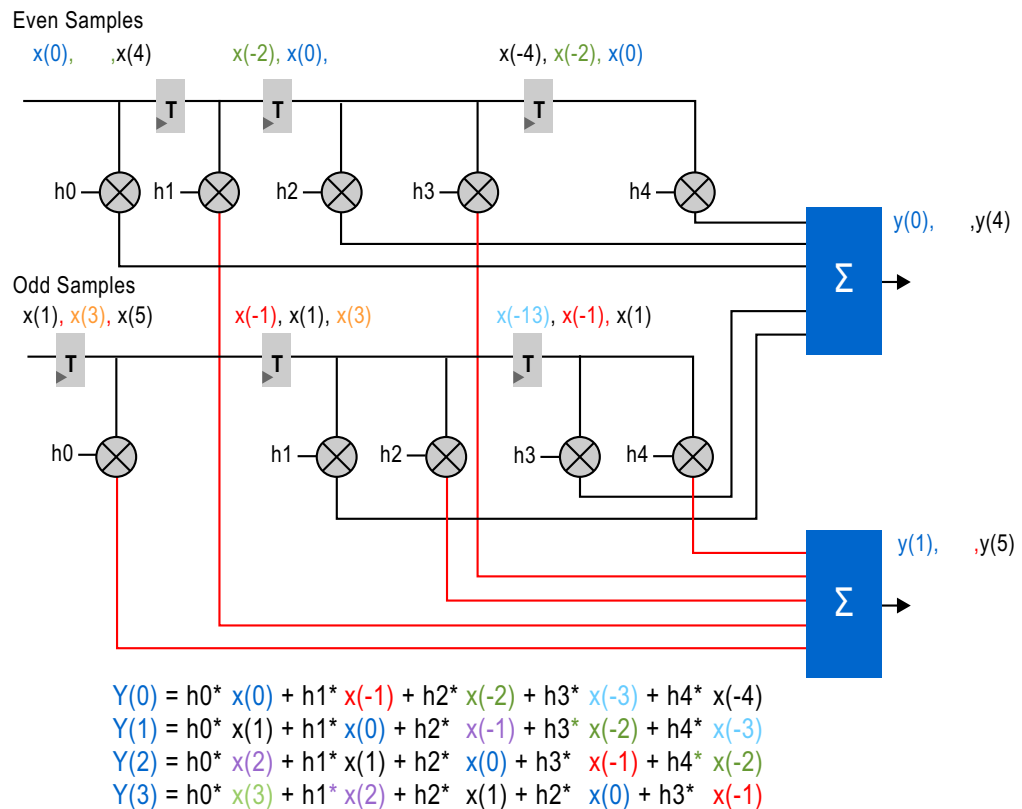
图 5 显示了多相通路 DPD 前馈通路的高级概念结构图。输入数据被分成两部分，偶数采样和奇数采样，分别由一个延时链来承载它们。但是，与一条链设计相比，每条链的吞吐量减半。例如，如果发送信号带宽是 60 MHz，预失真带宽大约是 300 MHz 至 420 MHz，得到 300 Msps 至 420 Msps 的数据吞吐量，然后，每一多相链需要 150-Msps 至 210-Msps 处理能力。因此，这一结构适合 FPGA f_{MAX} 。在预失真的最后，重新组合分开的数据流，用于 FPGA 中的 SERDES。将得到相同的处理结果，但是设计只需要以非多相体系结构一半的频率来运行，成本与并行操作相当，结果占用了较多的资源。因此，需要掌握采用多相 DPD 体系结构后的资源和功耗使用情况。

图 5. 多相前馈通路结构



与图 4 中的非多相 DPD 前馈通路实例相比，图 6 所示为等价的多相通路，它提供从单链体系结构向双链体系结构转换的详细信息，可以实现相同的吞吐量性能。需要两倍的乘法器来进行系数和流水线流数据的乘法运算。还可以观察到馈入双链结构的系数数量加倍了，导致有可能增大成本。可以使用基于 DSP 的方法，也可以使用基于 LUT 的方法，采用与传统非多相体系结构同样的方式来产生系数。在方程 3 中，系数是输入信号功率的函数，因此，系数产生频率应与输入信号吞吐量相同。由于多相结构使用了更多的资源，因此，多相和非多相体系结构的唯一不同在于有可能增加对资源的占用，功耗也会增大。此处的目的是减小对资源的占用，以便在 FPGA 中实现高性价比解决方案。

图 6. 多相前馈通路实例



LUT 解决方案

基于 LUT 的解决方案使用输入信号功率电平来选择系数值，将其存储在经过预先计算的 LUT 中。通过使用内置存储器模块，LUT 能够在 FPGA 器件中高效的实现，由发送信号的归一化功率进行索引。通过适应步骤对 LUT 内容进行周期性的更新，这是指前面提到的调整过程。后面章节将讨论基于 LUT 的解决方案相对于 DSP 解决方案的优点，可以总结为：

- 减少了所需的乘法，因此，也就减少了乘法器的数量。
- 增强了运行时多项式阶次设置的灵活性
- 低延时系数产生

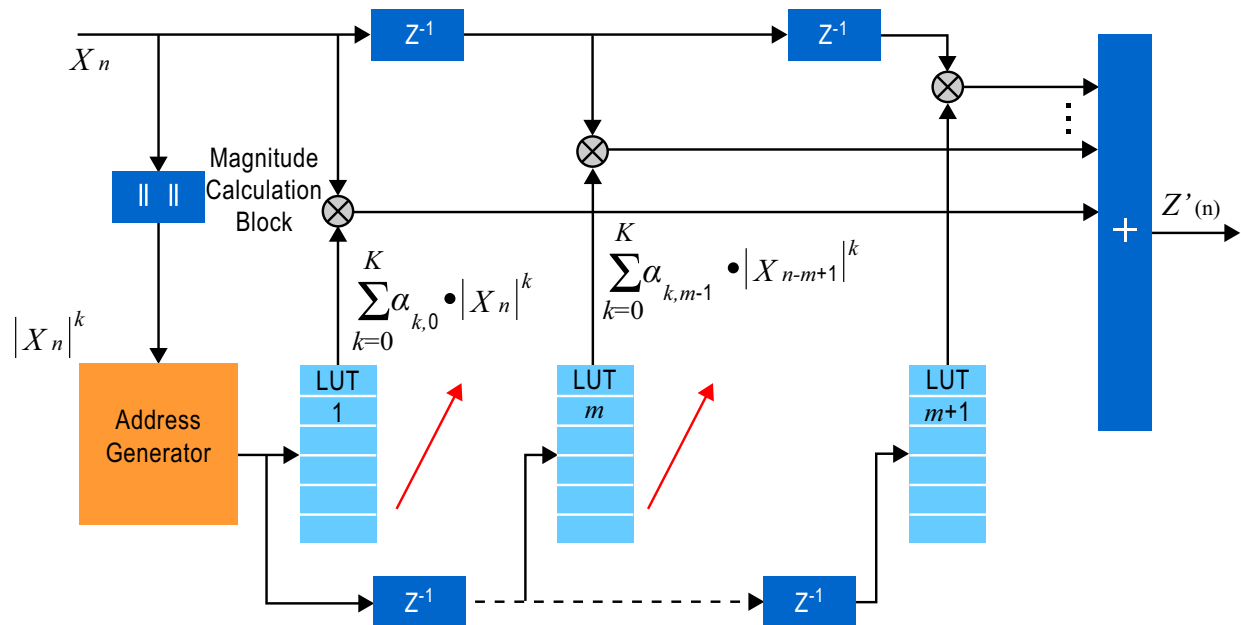
方程 4 描述了滤波器链的系数产生，其中，K 表示所支持的多项式最大阶次：

方程 4. 系数函数

$$h(|x_n - m|) = \sum_{k=0}^K a_{km} |x_n - m|^k$$

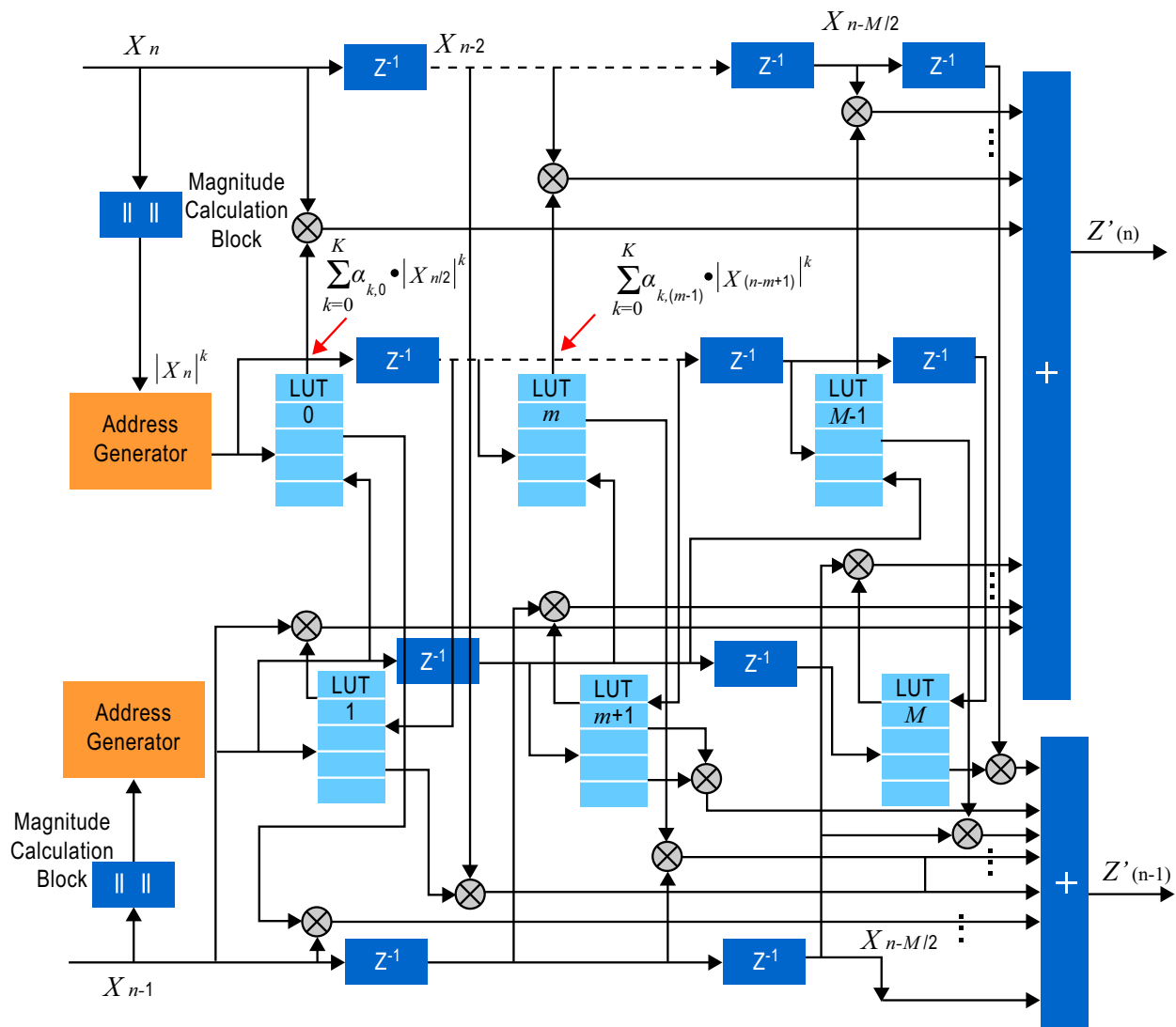
图 7 详细介绍了基于 LUT 的系数实现方法，及其在整个 DPD 前馈通路中的具体表现。地址发生器利用发送信号功率电平幅值对 LUT 中最相应的系数值进行索引。对于所有 LUT 可实现相同的索引映射，因此，只需要一个地址发生器。Altera 的 CORDIC MegaCore[®] 函数能够高效实现幅值函数。

图 7. 基于 LUT 来实现预失真器模块



在前面介绍的实现方法的基础上，通过例化两个并行 LUT 结构可以实现多相基于 LUT 的 DPD。由于两个临近存储器抽头的系数索引工作方式相同，因此，多相通路之间可以共享相同的 LUT。利用 FPGA 存储器模块的双端口模式，这一资源共享实现方法所占用的存储器并不比多相单相基于 LUT 的 DPD 方法多。复制了地址发生器以及幅值计算模块，以满足两倍的系统吞吐量需求。图 8 介绍了多相前馈 DPD 通路，怎样对前面介绍的最初基于 LUT 的方法进行优化，以及这些优化怎样反映在这一资源共享多相设计中。还可以观察到，第一个链进行计算时还需要一个额外的延时级。

图 8. 多相基于 LUT 的预失真器结构



DSP 解决方案

虽然基于 LUT 的 DPD 方法在资源共享方面具有一定的优势，但是，FPGA 存储器资源一般比较昂贵也相对缺乏，因此，在基于 FPGA 的 RRH 实现方法中，这种存储器资源的使用很可能成为主要的资源瓶颈。因此，需要采用一种基于 DSP 的不同实现方法。这种方法提供额外的设计空间，能够更好的利用 FPGA 器件中的多种资源。

为说明怎样设计基于 DSP 的高效解决方案来计算系数，展开方程 4（方程 5）以展示这一高效的嵌套方法：

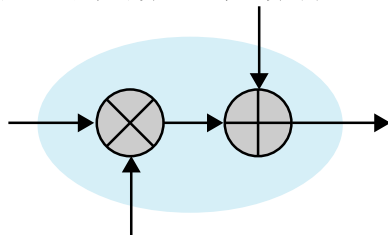
方程 5. DSP 高效系数计算

$$h(|x_{n-m}|) = \sum_{k=0}^{\wedge} a_{km} |x_{n-m}|^k$$

$$= (a_{0,m} + |x_{n-m}| \cdot (a_{1,m} + |x_{n-m}| \cdot (a_{2,m} + |x_{n-m}| \cdot (\dots \cdot (a_{k,m} + |x_{n-m}|))))))$$

这一系数方程新表达式揭示了一种 $h(|x_{n-m}|)$ 计算的嵌套方法，可以通过引入乘累加结构作为基本处理单元来实现，如图 9 所示。这一单元能够高效的适配到 Altera Arria V 或者 Stratix® V 系列 FPGA 的容量可调 DSP 模块中，这是因为 DSP 模块中的内置预加器和后累加器能够在乘法之前或者之后并入级联加法操作。而且，能够以不同模式来配置可调 DSP 模块，支持高阶定点甚至是浮点精度的计算。

图 9. 系数计算的基本运算单元



具体而言，在系数计算时只考虑奇数多项式项也非常普遍。这样能够显著降低计算的复杂度，因为除零阶项之外，只有偶数项对应于带外失真。例如，设计人员会考虑在 Volterra 模型中使用 {0, 1, 3, 5, 7} 多项式阶次，将方程 5 转换为方程 6：

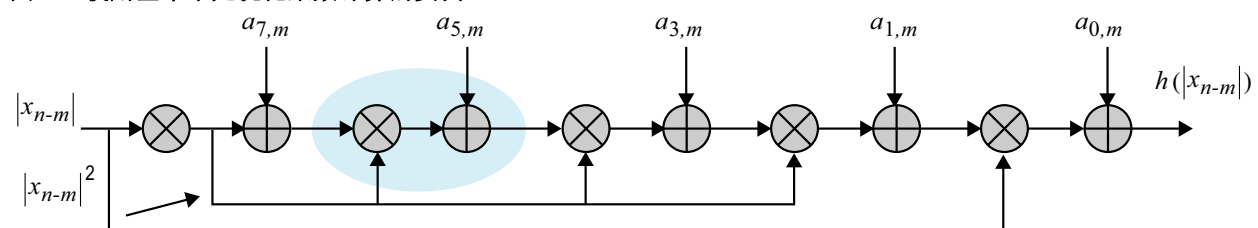
方程 6. 高效的系数直接计算实例

$$h(|x_{n-m}|) = a_{0,m} + a_{1,m}|x_{n-m}| + a_{3,m}|x_{n-m}|^3 + a_{5,m}|x_{n-m}|^5 + a_{7,m}|x_{n-m}|^7$$

$$= a_{0,m} + |x_{n-m}| \cdot (a_{1,m} + |x_{n-m}|^2 \cdot (a_{3,m} + |x_{n-m}|^2 \cdot (a_{5,m} + |x_{n-m}|^2 \cdot (a_{7,m} + |x_{n-m}|^2))))))$$

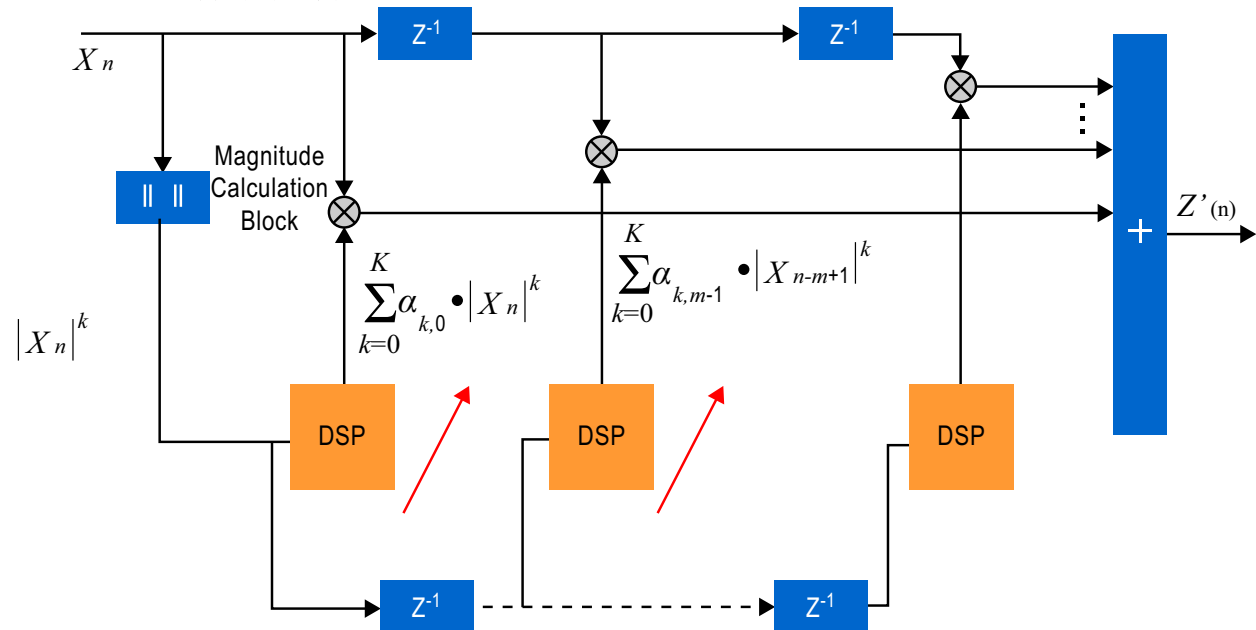
利用基本运算单元，可以设计高效的硬件体系结构，如图 10 所示。采用信号功率电平平方值而不是一阶系数馈入通路能够显著减少例化 DSP 模块的总数量。或者，设计人员也可以使用方程 6 来计算所有项，尽管其中接近一半都是零。

图 10. 使用基本单元优化系数计算的实例



在这一特殊的例子中，需要 Altera Arria V 或者 Stratix V 系列 FPGA 中的五个精度可调 DSP 模块来计算系数。将这些基于 DSP 的系数计算模块集成到 DPD 前馈通路中，其实现的高级视图如图 11 所示，其中，每个 DSP 模块代表一个 DSP 函数单元（图 10 中的例子），用于计算系数。

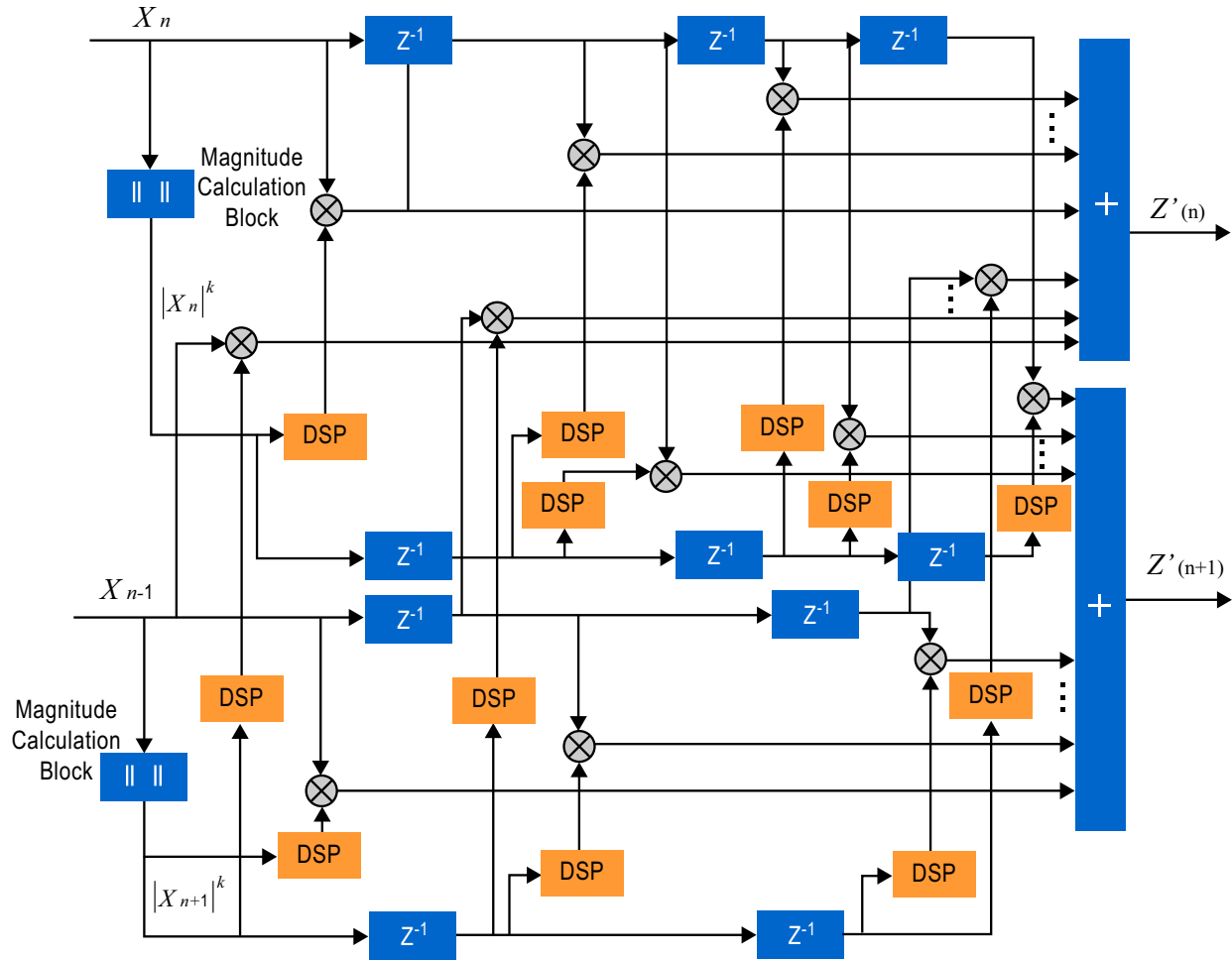
图 11. 基于 DSP 来实现预失真器



基于 DSP 的实现方法是 DPD 前馈通路的另一种设计选择，利用目标 FPGA 器件大量的资源，进一步扩展了设计空间，更容易实现 RRH 应用。

对于多相 DPD 前馈解决方案，图 12 中所示的复制 DSP 链能够实现两倍的多相 DPD 前馈通路系数的计算，如图 6 所示。除此之外，对于第二条链，还需要一个额外的模块计算流信号的功率电平，第一条链需要额外的延时级来计算第二条输出链。

图 12. 多相基于 DSP 的预失真器结构

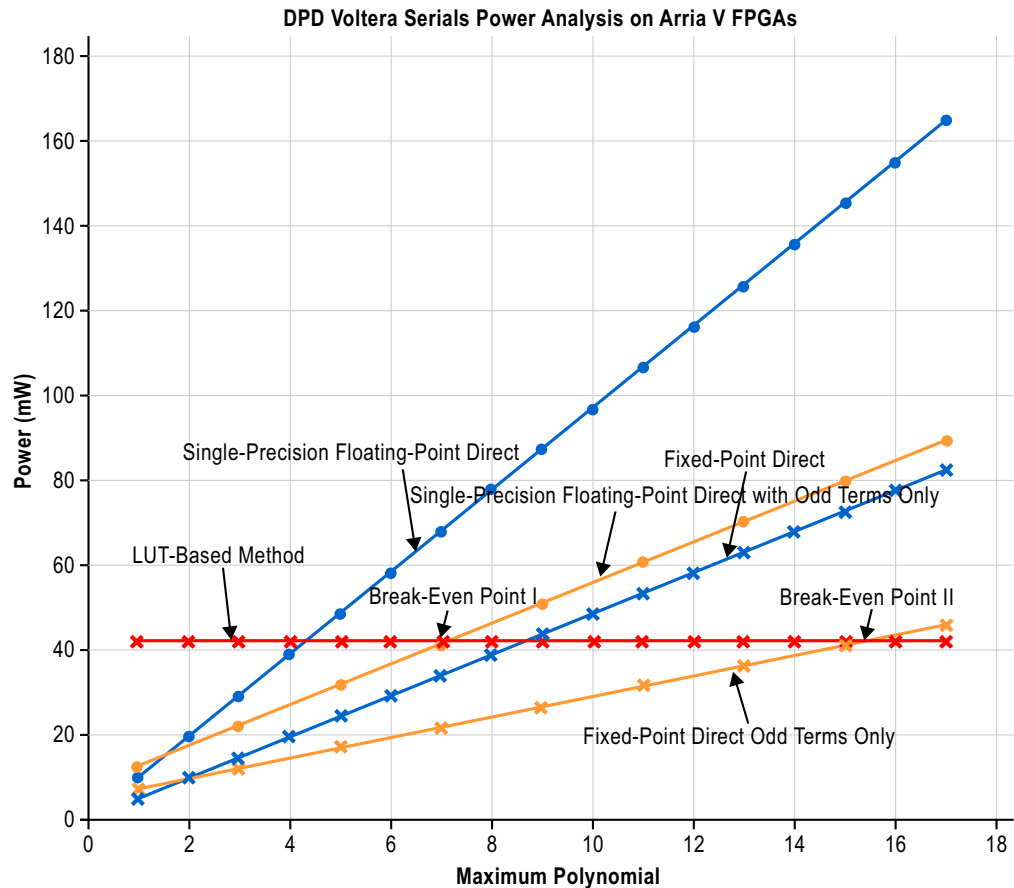


不同体系结构的功耗对比

从前面的讨论中可以看出，使用基于 LUT 的体系结构或者基于 DSP 的体系结构选项适用于多相和非多相场景，因此，设计人员可以根据带宽、多项式深度以及存储器项数量等约束和指标来进行选择。随着 RRH 系统对带宽的需求越来越大，基于 FPGA 的 DPD 前馈通路实现方法最终将不可避免的采用多相体系结构。因此，这一节将定量讨论在不同场景下选择 LUT 方法或者 DSP 直接计算方法的成本和功耗优点。

用于选择体系结构的一个重要指标是体系结构的功耗。在基于 DSP 的前馈通路体系结构以及基于 LUT 的前馈通路体系结构对比基础上，很明显，这两种体系结构的唯一不同是在方程 4 中怎样计算系数。在 LUT 方法中，可以使用相同的 LUT 结构来实现任意阶次的多项式，而在 DSP 方法中，高阶多项式的实现需要增加乘法器的数量，增加了计算量。因此，随着多项式阶次的增加，这两种不同的选择之间有一个功耗平衡点。图 13 介绍了六种不同方法的功耗，很显然，基于 LUT 的解决方案具有固定的功耗，与多项式最高阶次或者项数无关，例如是否仅采用奇数项，而基于 DSP 的解决方案的功耗与最大多项式阶次成正比，也取决于所采用的多项式项。

图 13. 不同 DPD 前馈通路体系结构之间的功耗对比



对于 DSP 方法，需要考虑的另一重要因素是实现 DPD 性能所需的精度。对所需精度的分析已经超出了本文的范围，但是，很显然，选择不同精度定点（18 位实数或者虚数信号）或者单精度浮点体系结构以及全多项式集或者仅有奇数项的多项式，其功耗曲线具有不同的梯度。

在图 13 中，很容易观察到 DSP 和基于 LUT 的解决方案不同配置之间的功耗平衡点。只有奇数项的 DPD 很有可能在实数系统中实现，因此，在功耗基础上选择体系结构时，图 13 所示的平衡点 I 和平衡点 II 是最有用的指南。在这个特殊的例子中，如果设定的多项式最高阶次小于 15，那么，只有奇数项的 18 位定点 DSP 体系结构在功效上要优于基于 LUT 的方法，而如果阶次减少到 7，使用单精度浮点的等价结构则具有一定的优势。

具体而言，表 2 显示了支持两种并行发送器的不同前馈通路体系结构的功耗。对于所有基于 DSP 的方法，假设只有 11 个奇数项，包含零阶项。注意，这些选择之间不同的功耗处于同一量级范围内。这是因为，与硬件频率成正比的动态功耗是最终功耗结果的主要构成：与相应的非多相相比，多相设计所需的硬件时钟速率只有一半，即使多相解决方案的资源几乎加倍了，也能得到相似的功耗值。

表 2. 不同 DPD 前馈通路体系结构的功耗对比

体系结构	例化数量	功耗 (W)	f_{MAX} (MHz)
非多相定点 DSP	2	1.5	245.76
非多相浮点 DSP	2	3.9	245.76
非多相定点 LUT	2	1.3	245.76

表 2. 不同 DPD 前馈通路体系结构的功耗对比

体系结构	例化数量	功耗 (W)	f _{MAX} (MHz)
多相定点 DSP	2	2.0	122.88
多相浮点 DSP	2	4.9	122.88
多相定点 LUT	2	1.4	122.88

不同体系结构之间的资源使用情况对比

当评估不同 DPD 前馈通路体系结构时，资源使用情况是要考虑的最重要因素之一。表 2 列出了六种不同 DPD 前馈通路体系结构的资源使用情况，假设最高多项式阶次是 11，多项式方程除零阶项之外，只包括奇数项。还假设 LUT 体系结构使用具有 2048 个输入的 LUT，DSP 定点体系结构使用 18 位定点数，浮点体系结构是单精度。表 3 显示了 DSP 体系结构比 LUT 体系结构占用了更多的 DSP 模块，而存储器要少一些。

表 3. 不同 DPD 前馈通路体系结构的资源估算

DPD 前馈通路的资源估算		逻辑		DSP	分布式存储器	存储器模块	
		ALUT	LE	2 18x18 乘法器	存储器 ALUT	M9K	M20K
前馈通路非多相	定点 DSP	2200	2400	114	170	5	3
	浮点 DSP	46800	83400	225	320	10	5
	LUT	4300	4300	20	320	109	52
前馈通路多相	定点 DSP	4400	4800	226	340	10	6
	浮点 DSP	48100	84700	450	340	10	5
	LUT	5900	5900	21	340	109	52

考虑基于 DSP 的方法时，还可以看出，多相基于 DSP 的解决方案使用的 DSP 模块数量大约是非多相体系结构的两倍。多相方法使用的其他资源主要是一组复制系数计算，而增加的存储器用于第二个 CORDIC 组件，进行幅值计算，所占用的存储器总资源还是比较少的。浮点实现方法在逻辑上非常昂贵，因此，如果设计对成本非常敏感，那么这不是合适的选择。但是，浮点解决方案支持更高的精度以及更大的动态范围，实现更好的 DPD 预失真性能，可能需要这一方法来满足 DPD 的性能要求。

考虑基于 LUT 的方法时，可以看出，使用了相对较少的 DSP 模块，而存储器资源使用的相对较多。重要的是，注意多相和非多相 LUT 体系结构之间资源的差别较小，意味着，只需要适当的增加成本，系统吞吐量就能够加倍。

分析数据时，可以进行以下观察。浮点 DSP 解决方案占用了最多的资源。取决于设计中剩余部分的乘法器和存储器使用情况，可以采用基于 DSP 或者基于 LUT 的解决方案。

采用多相结构时，相对于非多相基于 LUT 的方法，基于 LUT 的体系结构只需要稍微增加对资源的占用。这是因为基于 LUT 的体系结构在支持多相方法时，不需要增加存储器数量，相同的存储器可以用于具有双端口 FPGA 存储器模块的所有延时链。之所以适当增加了对逻辑的占用是因为多相方法中额外的延时链以及第二个 CORDIC 内核。因此，在 FPGA 资源使用情况基础上，多相方法适合采用 LUT 结构。

综合考虑观察到的这些因素，表 4 对比了两种可用 FPGA 器件，2x2 RRH 估算的资源包括 DPD，以及其他所需的功能，例如，峰值因子抑制 (CFR) 和数字上变频以及下变频等。考虑了一个 300K-LE 的 Altera 器件和竞争 325K-LE 器件。

表 4. Arria V FPGA 和竞争器件

体系结构	资源使用情况	逻辑	DSP	分布式存储器	存储器模块	支持多相？
		LE	18x18 乘法器			
2x2 RRH, 具有基于 LUT 的 DPD	所需的资源	145000	588	19200	775	
	Arria V FPGA (5AGXB1)	48%	32%	1%	55%	是
	竞争器件	45%	70%	1%	174%	否, 资源不足
具有基于定点 DSP 的 DPD	所需的资源	413900	793	19100	630	
	Arria V FPGA (5AGXB1)	48%	43%	1%	45%	是
	竞争器件	44%	94%	0%	142%	否
具有基于浮点的 DPD	所需的资源	223800	1017	19100	629	
	Arria V FPGA (5AGXB1)	74%	55%	1%	45%	是
	竞争器件	69%	121%	0%	141%	否

结论

为满足今后射频系统体系结构越来越大的带宽要求，需要采用 DPD 前馈通路多相体系结构。本文介绍了 DPD 基础，展示了怎样通过基于 DSP 的体系结构或者基于 LUT 的体系结构来开发高效 DPD 前馈通路，还介绍了一种直接 DSP 计算新方法，采用 Altera FPGA 器件容量可调 DSP 模块很容易实现基于 DSP 的前馈通路。而且，还阐述了不同体系结构的功耗和成本，以及在各种条件下选择体系结构的设计指南。这些指南可以总结如下：

- 所需信号带宽超出 FPGA 实现射频 DFE 电路的最大时钟速率时，可以高效采用多相 DPD。一个典型的配置是采用双链体系结构来支持 491 MHz (2 x 245 MHz) 或者 736 MHz (2 x 368 MHz)，其 RF 带宽超过了 100 MHz。
- 一般而言，基于多相的体系结构占用的资源多于等价的非多相设计。取决于资源（存储器、乘法器和逻辑），多相体系结构要求是非多相设计的 1.0 到 1.35 倍。多相基于 DSP 方法的其他资源要求更高一些，DSP 乘法器几乎加倍。Altera 提供具有大量乘法器的 FPGA，针对射频应用进行了优化，从而支持这些需求。
- 多相体系结构的功耗稍高于等价的非多相体系结构。虽然还需要其他的资源，其时钟速率只是等价非多相设计的一半，从而降低了动态功耗。
- 总体上，当考虑设计最适合采用基于 LUT 的方法还是基于 DSP 的方法时，需要考虑多种因素，包括要使用的多项式的最大阶次、DPD 性能要求，以及相对成本和功耗。
- 考虑 RF 带宽大于 60 MHz 的典型系统时，并且采用了 11th 阶多项式，那么，多相 LUT 方法是比较合适的选择，因为，它提供的体系结构适应较高的带宽，只是功耗稍高，占用的资源也相对稍多一些。非多相 DSP 直接计算体系结构在成本上与非多相 LUT 体系结构大致相当。

无论采用哪种多相方法，Altera 都有足够的资源满足其需求。

参考文献

1. K.J. Muhonen, M. Kavehrad, and R. Krishnamoorthy, "Look-up table techniques for adaptive digital predistortion: a development and comparison," *IEEE Transactions on Vehicular Technology*, pp. 1995-2002, 2000.
2. Sung Won Chung, J.W. Holloway, and J.L. Dawson, "Energy-Efficient Digital Predistortion With Lookup Table Training Using Analog Cartesian Feedback," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 10, pp. 2248 - 2258, 2008.
3. P.L. Gilibert, A. Cesari, G. Montoro, E. Bertran, and J.-M. Dilhac, "Multi-Lookup Table FPGA Implementation of an Adaptive Digital Predistorter for Linearizing RF Power Amplifiers With Memory Effects," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 372 - 384, 2008.
4. G. T. Zhou, D. R. Morgan, et al. L. Ding, "A robust digital baseband predistorter constructed using memory polynomials," *IEEE Transactions on Communications*, vol. 52, no. 1, pp. 159-165, 2004.
5. M. Rawat, K. Rawat, and F.M. Ghannouchi, "Adaptive Digital Predistortion of Wireless Power Amplifiers/Transmitters Using Dynamic Real-Valued Focused Time-Delay Line Neural Networks," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 1, pp. 95-104, 2010.
6. E. Abd-Elrady, "A Recursive Prediction Error algorithm for digital predistortion of FIR Wiener systems," in *6th International Symposium on Communication Systems, Networks and Digital Signal Processing*, 2008, pp. 698 - 701.
7. O. Hammi and F.M. Ghannouchi, "Twin Nonlinear Two-Box Models for Power Amplifiers and Transmitters Exhibiting Memory Effects With Application to Digital Predistortion," *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 8, pp. 530-532, 2009.
8. George C. S. Wang, *Regression Analysis: Modeling & Forecasting.*: Graceway Publishing Company, 2003.
9. Timo Rahkonen, Joel Vuolevi, *Distortion in RF Power Amplifiers.*: Artech House Publishers, 2003.

详细信息

- Arria V FPGA: 成本、性能和功耗达到均衡:
www.altera.com/devices/fpga/arria-fpgas/arria-v/arrv-index.jsp
- 文档: Arria V 器件:
www.altera.com/literature/lit-arria-v.jsp
- DSP Builder:
www.altera.com/products/software/products/dsp/dsp-builder.html

致谢

- Lei Xu 博士，技术部成员，无线设计工程师，Altera 公司。
- Trung Tran，产品市场经理，高端产品，Altera 公司。
- Mike Fitton，高级系统规划师，通信业务部，Altera 公司。

文档修订历史

表 5 列出了本文档的修订历史。

表 5. 文档修订历史

日期	版本	进行的修改
2012 年 1 月	1.0	初次发布。