

使用闪存实现 MAX 系列配置控制器

Altera 闪存配置控制器为基于高密度 FPGA 的设计提供了更好的配置解决方案。灵活的使用大容量闪存来存储更多的配置数据，设计人员可以在 Altera MAX® II、MAX 3000A 或者 MAX 7000 器件中实现闪存控制器，用于 Stratix 系列、Arria 系列和 Cyclone 系列 FPGA。

引言

随着高密度 FPGA 的推出，配置比特流的带宽越来越大。这就需要采用更多的配置器件来存储数据，配置这些 FPGA。作为其他配置器件的替代方案，设计人员可以采用闪存来存储配置数据。在使用闪存并进行配置时，设计人员必须采用闪存配置控制器，它还可以在设计中实现远程系统更新配置方案。本白皮书介绍怎样在 MAX® II、MAX 3000A 以及 MAX 7000 器件中实现闪存控制器。

配置控制器的特性

设计人员可以采用 MAX 系列配置控制器完成以下功能：

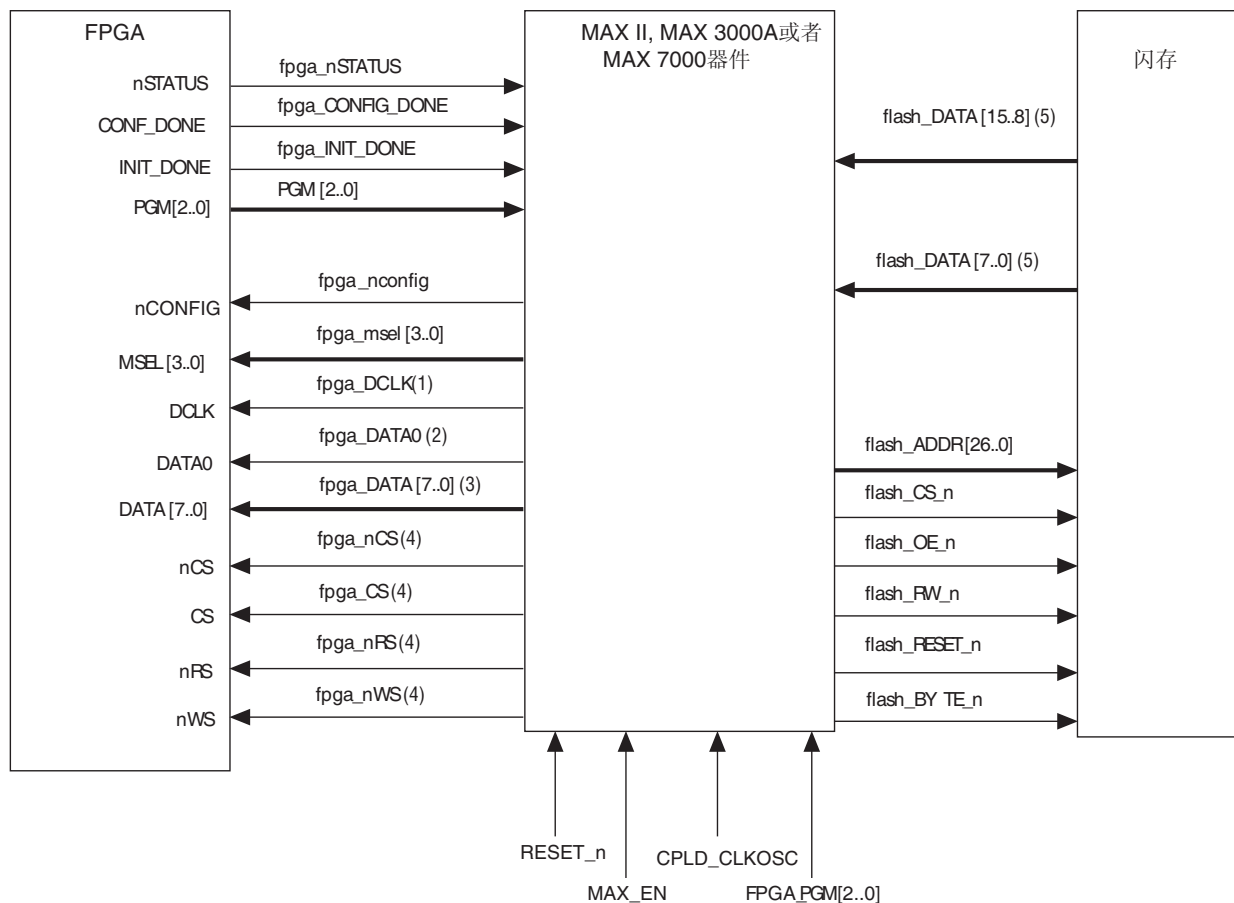
- 从闪存中读取配置数据
- 配置 Altera® FPGA
- 远程系统更新配置 (仅在 Altera Stratix® 系列、Arria® 系列和 Cyclone® 系列 FPGA 中)
- 从配置数据的多个页面进行配置。设计人员可以利用 FPGA_PGM 引脚，选择一个配置页面来配置 FPGA。

MAX 系列配置控制器支持以下配置模式：

- 快速被动并行 (FPP) 模式 (采用或者不采用解压缩)
- 被动串行 (PS) 模式 (采用或者不采用解压缩)
- 被动并行异步 (PPA) 模式
- 远程系统更新 (仅在 Stratix 系列、Arria 系列和 Cyclone 系列 FPGA 中)

图 1 所示为闪存控制器结构图。

图 1. 闪存配置控制器结构图



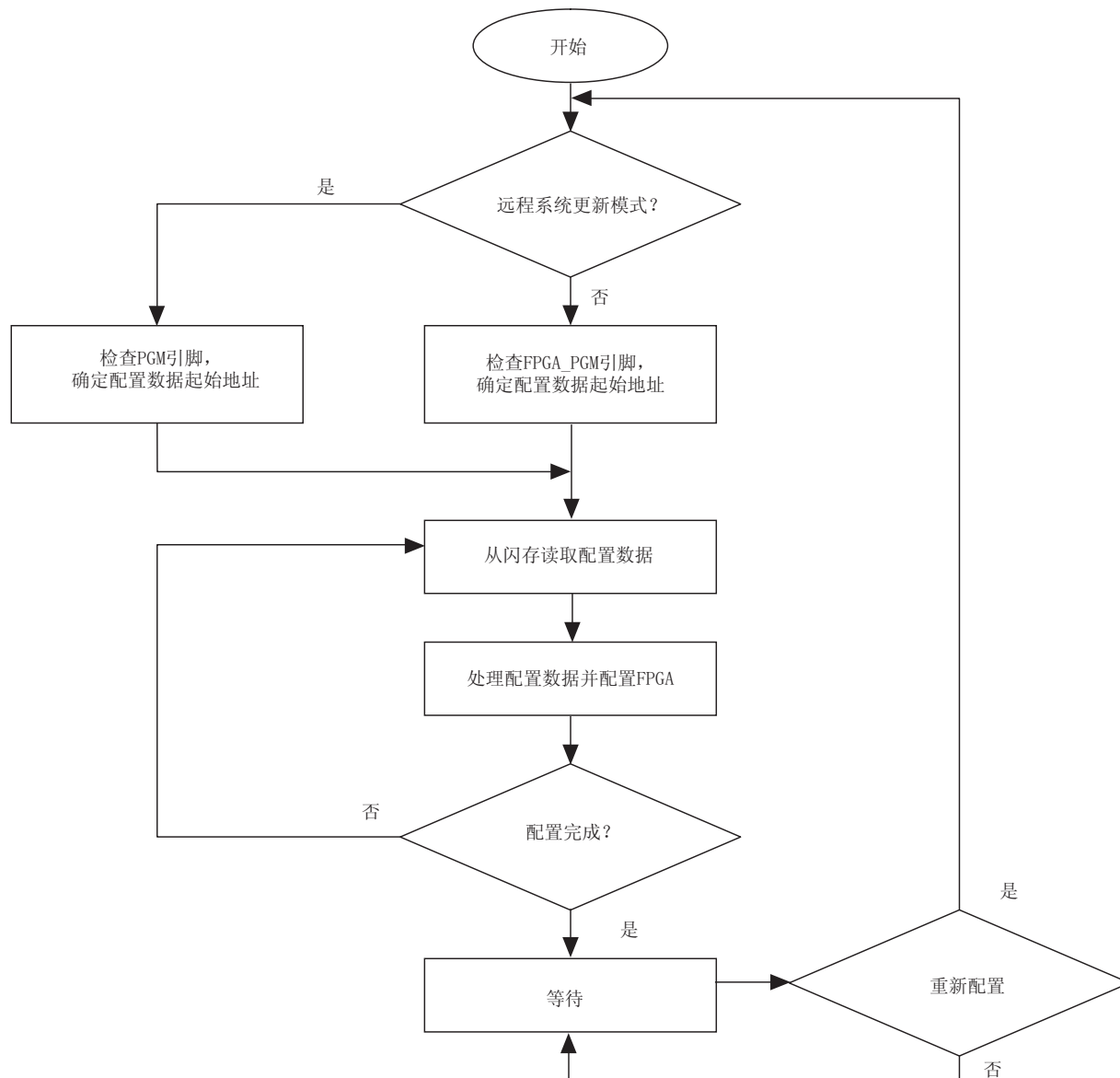
注释:

- (1) PPA 模式没有使用。
- (2) FPP 或者 PPA 模式没有使用。
- (3) PS 模式没有使用。
- (4) PS 或者 FPP 模式没有使用。
- (5) 控制器采用了 8 位和 16 位闪存。

配置控制器操作

图 2 显示了配置控制器在上电后，怎样执行基本操作。

图 2. 闪存配置控制器基本操作流程图



配置控制器页面选择

闪存可以在不同地址存储多个配置页面。配置控制器还支持设计人员在配置过程中，选择装入闪存中的哪一配置页面。为确定要装入的页面，控制器读取非远程更新模式的 FPGA_PGM 引脚，或者读取远程更新模式的 PGM 引脚。Stratix 系列、Arria 系列或者 Cyclone 系列 FPGA 控制器通过 FPGA 的远程系统更新模块来控制 PGM 引脚。设计人员可以使用 DIP 开关或者其他器件控制 FPGA_PGM 引脚。

读取和处理配置数据

配置控制器通过 flash_DATA [7..0] 数据总线或者 flash_DATA [15..8] 数据总线读取配置数据。在 PS 模式下, 配置控制器通过 fpga_DATA0 引脚发送串行配置比特流。在 FPP 模式下, FPP 采用了解压缩, 在 PPA 模式下, 配置控制器通过 fpga_DATA[7..0] 数据总线发送配置数据。

在配置过程中, 配置控制器执行以下操作:

PS 模式

- 从闪存中读取一个字节 (8 位) 或者两个字节 (16 位) 的配置数据, 将数据串化。
- 产生 DLCK 信号, 为每个 DLCK 信号发送一个比特的配置数据。
- 8 个或者 16 个 DLCK 信号后, 从闪存读取下一字节的配置数据。

FPP 模式

- 从闪存中读取一个字节 (8 位) 或者两个字节 (16 位) 的配置数据。
- 产生 DLCK 信号, 为每个 DLCK 信号发送一个字节 (8 位) 的配置数据。
- 1 个或者 2 个 DLCK 信号后, 从闪存读取下一字节的配置数据。

采用了解压缩的 FPP 模式

- 从闪存中读取一个字节 (8 位) 或者两个字节 (16 位) 的配置数据。
- 产生 DLCK 信号, 每 4 个 DLCK 信号发送一个字节 (8 位) 的配置数据。
- 每 4 个 DLCK 信号后, 从闪存读取下一字节的配置数据。

PPA 模式

- 从闪存中读取一个字节 (8 位) 或者两个字节 (16 位) 的配置数据。
- 向 FPGA 发送一个字节 (8 位) 或者两个字节 (16 位) 的配置数据, 产生控制信号 (nWS, nRS, CS 和 nCS), 以控制数据的发送。
- 发送一个或者两个字节的配置数据后, 从闪存读取下一字节的配置数据。

 关于配置模式的详细信息, 请参考 [配置手册](#)。

 关于配置控制器的详细信息, 请参考 [AN 386: 通过 Quartus II 软件使用并行闪存加载程序](#)。

重新配置

如果在配置状态期间出现了错误 (nSTATUS 变为低电平), 配置控制器对 FPGA 重新进行配置。

在远程更新模式下, FPGA 能够启动重新配置。远程更新模块可以更新 PGM 引脚, 通过 FPGA core_nconfig 启动重新配置。在用户模式下, 当 FPGA 启动 core_nconfig 时, CONF_DONE 引脚变为低电平。CONF_DONE 变为低电平后, 配置控制器检查 CONF_DONE 引脚, 重新配置 FPGA。

 关于远程系统更新的详细信息, 请参考 [远程更新电路 \(ALTREMOTE_UPDATE\) 宏功能用户指南](#)。

配置模式

配置控制器支持以下配置模式：

- FPP 模式
- PS 模式
- PPA 模式
- 远程系统更新

FPP 模式

Stratix 系列、Arria 系列、部分 Cyclone 系列以及 APEX™ II 器件支持 FPP 配置模式。

在 FPP 配置过程中，配置数据从闪存发送至 FPGA 的 DATA[7..0] 引脚。在 DCLK 上升沿，配置数据被锁存至 FPGA。对于没有采用解压缩，或者不具有设计安全特性的 FPP 模式，每一时钟周期发送一个字节的配置数据。对于采用了解压缩，具有设计安全特性的 FPP 模式，每 4 个时钟周期发送一个字节的配置数据。

PS 模式


Stratix 系列、Arria 系列、Cyclone 系列、APEX II、APEX 20K、Mercury™、ACEX® 1K、FLEX® 10K 和 FLEX 6000 器件系列支持 PS 配置模式。

在 PS 配置过程中，配置数据从闪存传送到 FPGA 的 DATA（FLEX 6000 器件）或者 DATA0（Stratix 系列、Arria 系列、Cyclone 系列、APEX II、APEX 20K、Mercury、ACEX 1K 和 FLEX 10K 器件）引脚。在 DCLK 上升沿，配置数据被锁存至 FPGA。每个时钟周期发送一个比特的配置数据。

PPA 模式

Stratix 系列、Arria 系列、APEX II、APEX 20K、Mercury、ACEX 1K 和 FLEX 10K 器件支持 PPA 配置模式。

在 PPA 配置过程中，配置数据从配置器件或者闪存等存储器件发送至 FPGA 的 DATA[7..0] 引脚。由于这一配置方案是异步的，因此，由控制信号 (nWS, nRS, CS 和 nCS) 控制配置周期。

 关于 FPP、PS 和 PPA 配置模式的详细信息，请参考 [配置手册](#)。

远程系统更新

远程更新电路宏功能支持远程系统更新，使用 FPP、PS 或者 PPA 配置模式来配置 Stratix 系列、Arria 系列和 Cyclone 系列 FPGA。

在远程系统更新模式下，配置控制器读取 FPGA 的 PGM 引脚，确定装入哪一页。配置控制器监视 nSTATUS 引脚，探测配置期间是否出现错误，或者在配置模式后启动重新配置。FPGA 的远程系统更新模块启动重新配置，以改变页面。

 关于远程系统更新的详细信息，请参考 [远程更新电路 \(ALTREMOTE_UPDATE\) 宏功能用户指南](#)。

闪存

设计人员必须将配置数据从 SRAM 目标文件 (.sof) 转换为 HEXOUT 文件 (.hex 或者 .hexout)，并将其设置到闪存中。设计人员可以通过选择 Quartus® II 设计软件文件菜单中的 **Convert Programming Files** 来产生 HEXOUT 文件。

 关于 HEXOUT 文件格式的详细信息，请参考 Intel 公司的 [十六进制目标文件格式规范](#)。

在闪存被放置到电路板上之前，设计人员可以采用标准编程设备对闪存进行编程，也可以使用测试设备在系统对闪存编程。由于不同的闪存器件有不同的算法，因此，建议阅读闪存数据表以获得准确的编程信息。


 **AN 386:** [通过 Quartus II 软件使用并行闪存加载程序](#)列出了所支持的所有闪存。

源代码

以 Verilog HDL 和 VHDL 代码的形式提供配置控制器参考设计源代码。可以将相同的源代码进行编译，支持以下四种配置模式：

- FPP
- FPP 解压缩
- PS
- PPA

为 MAX II、MAX 3000A 和 MAX 7000 器件编写了配置控制器宏功能源代码。从闪存读取代码，配置 FPGA。设计人员可以根据其他硬件要求来定制或者修改宏功能。

 关于配置控制器宏功能源代码的详细信息，请参考 [AN 386: 通过 Quartus II 软件使用并行闪存加载程序](#)。

结论

闪存配置控制器为使用高密度 FPGA 的设计提供了更好的配置解决方案。它支持灵活的使用大容量闪存来存储更多的配置数据。设计人员可以使用并行闪存加载程序和 ALTREMOTE_UPDATE 宏功能来设计 FPP、PS 和 PPA 模式下的 Stratix 系列、Arria 系列和 Cyclone 系列 FPGA 远程更新系统。

详细信息

- **配置手册:**
www.altera.com/literature/lit-config.jsp
- **AN 386: 通过 Quartus II 软件使用并行闪存加载程序:**
www.altera.com/literature/an/an386.pdf
- **远程更新电路 (ALTREMOTE_UPDATE) 宏功能用户指南:**
www.altera.com/literature/ug/ug_altremote.pdf
- **Intel 十六进制目标文件格式规范:**
<http://microsym.com/editor/assets/intelhex.pdf>



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。